

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-150109

(43)Date of publication of application : 23.05.2003

(51)IntCl.

G09G 3/30
G09F 9/00
G09F 9/30
G09G 3/20
H05B 33/10
H05B 33/12
H05B 33/14
H05B 33/26

(21)Application number : 2001-347015

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.11.2001

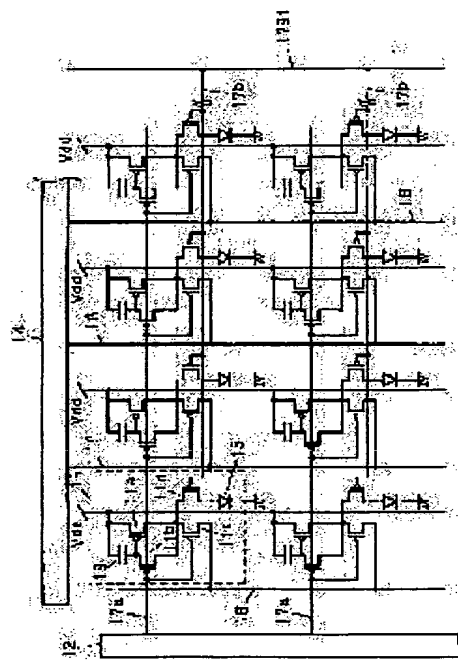
(72)Inventor : TAKAHARA HIROSHI

(54) METHOD FOR DRIVING EL DISPLAY DEVICE AND EL DISPLAY DEVICE AND ITS MANUFACTURING METHOD, AND INFORMATION DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an EL (electroluminescent) display device capable of realizing easily a three-side free constitution.

SOLUTION: In this EL display device, each pixel 16 is constituted of four TFTs (thin film transistor) 11 and the data outputted to a source signal line 18 from a source driver 14 are written in a capacitor 19 so that the luminance of an EL element 15 becomes larger than a prescribed luminance by controlling ON/OFF of the TFTs 11b, 11c with a gate signal line 17a which is connected to a gate driver 12. ON/OFF of the TFT 11d connected to a gate signal line 17b is operated to control a current to the EL element 15. The gate signal line 17b makes the EL element 15 emit light with luminance higher than the prescribed luminance for every block and makes the EL element 15 to be a prescribed luminance by controlling ON/OFF of the element with an ON/OFF signal which is applied by a lighting control line 1791 which is connected for every plural pixel rows.



LEGAL STATUS

[Date of request for examination]	01.11.2004
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	withdrawal
[Date of final disposal for application]	03.09.2007
[Patent number]	
[Date of registration]	
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-150109

(P2003-150109A)

(43) 公開日 平成15年5月23日 (2003. 5. 23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/00	3 4 8	G 0 9 F 9/00	3 4 8 C 5 C 0 8 0
9/30	3 3 0	9/30	3 3 0 Z 5 C 0 9 4
	3 3 8		3 3 8 5 G 4 3 5
	3 6 5		3 6 5 Z

審査請求 未請求 請求項の数16 O L (全 175 頁) 最終頁に続く

(21) 出願番号 特願2001-347015(P2001-347015)

(22) 出願日 平成13年11月13日 (2001. 11. 13)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高原 博司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

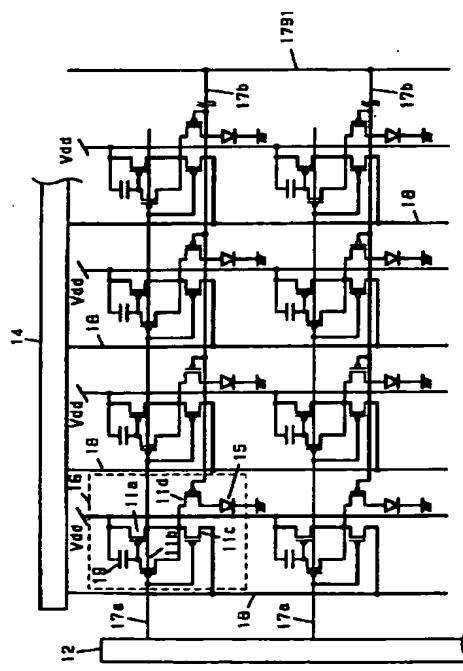
最終頁に続く

(54) 【発明の名称】 E L 表示装置の駆動方法と E L 表示装置およびその製造方法と情報表示装置

(57) 【要約】

【課題】 3 辺フリー構成を容易に実現できる E L 表示装置を提供する。

【解決手段】 各画素 1 6 を 4 つの T F T 1 1 で構成し、ゲートドライバ 1 2 に接続したゲート信号線 1 7 a が T F T 1 1 b、1 1 c をオンオフ制御し、ソースドライバ 1 4 がソース信号線 1 8 に出力するデータを所定輝度よりも大きくなるようにコンデンサ 1 9 に書き込む。ゲート信号線 1 7 b に接続した T F T 1 1 d は、オンオフ動作させて E L 素子 1 5 への電流を制御する。ゲート信号線 1 7 b は複数の画素行ごとに接続した共通の点灯制御線 1 7 9 1 より印加されたオンオフ信号によってブロックごとに E L 素子 1 5 を所定輝度よりも高い輝度で発光させてオンオフ制御し、所定の表示輝度にする。



【特許請求の範囲】

【請求項1】 アクティブマトリックス型E L表示装置であって、
各画素に形成されたE L素子と、
前記E L素子に電流を供給する駆動素子と、
前記駆動素子と前記E L素子間に配置されたスイッチング素子と、
前記スイッチング素子を制御する制御信号線とを具備し、
前記制御信号線は複数の画素行に共通となるように形成されていることを特徴とするE L表示装置。

【請求項2】 アクティブマトリックス型E L表示装置であって、
各画素に形成されたE L素子と、
前記E L素子に電流を供給する駆動素子と、
前記駆動素子と前記E L素子間に配置されたスイッチング素子と、
前記スイッチング素子を制御する制御信号線とを具備し、
前記制御信号線は複数の画素行に共通となるように形成され、
隣接した画素行は異なる制御信号線に接続されていることを特徴とするE L表示装置。

【請求項3】 各画素に形成されたE L素子と、
前記E L素子に電流を供給する駆動素子と、
前記駆動素子と前記E L素子間に配置された第1のスイッチング素子と、
前記第1のスイッチング素子を制御する第1の制御信号線と、
前記E L素子の一方の端子に電圧を印加する第2のスイッチング素子と、
前記第2のスイッチング素子を制御する第2の制御信号線を具備し、
前記第1の制御信号線および第2の制御信号線は複数の画素行に共通となるように形成され、
前記第1の制御信号線と第2の制御信号線は同期をとって制御信号が印加されることを特徴とするE L表示装置。

【請求項4】 各画素はE L素子と、前記E L素子に電流を供給する駆動素子と、前記駆動素子と前記E L素子間に配置されたスイッチング素子とを有し、
前記画素を選択するドライバ回路が、前記画素と同時に基板上に形成され、
前記スイッチング素子を制御する制御信号線が複数の画素行に共通となるように形成されていることを特徴とするE L表示装置。

【請求項5】 マトリックス状に形成された画素と、
映像信号を出力するソースドライバI Cと、
前記画素を選択して、前記ソースドライバI Cが出力する映像信号を印加するゲートドライバI Cとを具備し、

各画素はE L素子と、前記E L素子に電流を供給する駆動素子と、前記駆動素子と前記E L素子間に配置されたスイッチング素子とを有し、
前記スイッチング素子を制御する制御信号線が複数の画素行に共通となるように形成され、
前記ソースドライバI Cと前記ゲートドライバI Cの両方が、表示領域の一边に積載されていることを特徴とするE L表示装置。

【請求項6】 E L表示装置の駆動方法であって、
画面の一部を表示し、他の部分を非表示状態とし、
画面の上下方向に順次、表示領域を移動させ、
前記移動スピードが、画面の部分で異なっていることを特徴とするE L表示装置の駆動方法。

【請求項7】 E L表示装置の駆動方法であって、
画面の第1の部分と、第2の部分で、選択する回数を異ならせることにより、表示輝度を変化させることを特徴とするE L表示装置の駆動方法。

【請求項8】 各画素に形成されたE L素子と、前記E L素子に電流を供給する駆動素子と、前記駆動素子と前記E L素子間に配置されたスイッチング素子と、前記スイッチング素子を制御する制御信号線とを有し、前記制御信号線が複数の画素行に共通となるように形成されたE L表示装置と、
ダウンコンバータと、
アップコンバータと、
受話器と、
スピーカーとを具備することを特徴とする情報表示装置。

【請求項9】 マトリックス状にE L素子が形成された第1の基板と、
前記基板に積載されたドライバI Cと、
前記E L素子を保護する封止板とを具備し、
前記封止板は、前記ドライバI CとE L素子の両方を封止していることを特徴とする情報表示装置。

【請求項10】 マトリックス状に画素が形成された表示パネルと、
前記表示パネルの裏面に形成されたミラーと、
前記表示パネルが取り付けられた筐体とを具備し、
前記表示パネルは所定の支点で位置を変化できるように構成され、
第1の状態では、前記表示パネルの表示画像を観察でき、
第2の状態では、前記表示パネルの裏面のミラーを観察できるように構成されていることを特徴とする情報表示装置。

【請求項11】 マトリックス状に画素が形成された表示パネルと、
前記表示パネルが取り付けられた筐体と、
外光の明るさを検出する光センサーと、
テンキーと、

前記筐体の側面または裏面に配置されたファンクションキーとを具備し、

前記ファンクションキーとテンキーとを同時に押さえることにより、前記テンキーの入力内容が変化するように構成されていることを特徴とする情報表示装置。

【請求項12】 EL表示装置であって、
1画素が、赤色の点灯部と、緑色の点灯部と、青色の点灯部と、白色の点灯部とを具備し、
前記画素のそれぞれの点灯部に薄膜トランジスタが形成されており、
前記白色の点灯部は、赤色と緑色と青色の点灯部の材料から形成されており、
前記画素がマトリックス状に配置されていることを特徴とするEL表示装置。

【請求項13】 EL表示装置であって、
1画素が、赤色の点灯部と、緑色の点灯部と、青色の点灯部とを具備し、
前記画素のそれぞれの点灯部に薄膜トランジスタが形成されており、
前記画素がマトリックス状に配置され、
かつ、前記画素の各色の点灯部の配置が隣接した画素行で、逆方向になっていることを特徴とするEL表示装置。

【請求項14】 ゲートドライバ回路が基板上に画素と同時に形成され、

前記ゲートドライバ回路上にEL膜が形成され、
かつ、前記EL膜上にアノード電極と一体となった金属膜が形成されていることを特徴とするEL表示装置。

【請求項15】 ゲートドライバ回路が基板上に画素と同時に形成され、

前記ゲートドライバ回路上にEL膜が形成され、
かつ、前記EL膜上にアノード電極と一体となった金属膜が形成され、
前記金属膜は、画素に対応して凹凸または円弧状に形成されていることを特徴とするEL表示装置。

【請求項16】 第1の基板に画素を駆動する画素回路を形成する第1の工程と、

前記第1の工程後、前記画素回路上の絶縁膜を形成する第2の工程と、

前記絶縁膜上にマスクを形成し、前記マスクを介して、
前記絶縁膜を画素に対応して円弧状に形成する第3の工程と、

前記絶縁膜上に画素電極を形成する第4の工程と、

前記画素電極上にEL膜を形成する第5の工程と、

前記EL膜上に金属からなる共通電極を形成する第6の工程と、

前記共通電極上に、保護膜を形成する第7の工程を行うことを特徴とするEL表示パネルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】主として本発明は自発光で画像を表示するEL表示パネルとおよびこれらのEL表示パネルを用いた携帯電話などの情報表示装置などに関するものである。

【0002】

【従来の技術】液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビなどの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

【0003】

【発明が解決しようとする課題】しかし、液晶表示パネルは自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが大きくなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。

【0004】

【課題を解決するための手段】この課題を解決するために本発明は第1に、EL表示装置において、アクティブマトリックス型EL表示装置であって、各画素に形成されたEL素子と、前記EL素子に電流を供給する駆動素子と、前記駆動素子と前記EL素子間に配置されたスイッチング素子と、前記スイッチング素子を制御する制御信号線とを具備し、前記制御信号線は複数の画素行に共通となるように形成されていることを特徴とする。

【0005】第2に、EL表示装置において、アクティブマトリックス型EL表示装置であって、各画素に形成されたEL素子と、前記EL素子に電流を供給する駆動素子と、前記駆動素子と前記EL素子間に配置されたスイッチング素子と、前記スイッチング素子を制御する制御信号線とを具備し、前記制御信号線は複数の画素行に共通となるように形成され、隣接した画素行は異なる制御信号線に接続されていることを特徴とする。

【0006】第3に、EL表示装置において、各画素に形成されたEL素子と、前記EL素子に電流を供給する駆動素子と、前記駆動素子と前記EL素子間に配置された第1のスイッチング素子と、前記第1のスイッチング素子を制御する第1の制御信号線と、前記EL素子の一方の端子に電圧を印加する第2のスイッチング素子と、前記第2のスイッチング素子を制御する第2の制御信号線を具備し、前記第1の制御信号線および第2の制御信号線は複数の画素行に共通となるように形成され、前記第1の制御信号線と第2の制御信号線は同期をとって制御信号が印加されることを特徴とする。

【0007】第4に、EL表示装置において、各画素はEL素子と、前記EL素子に電流を供給する駆動素子と、前記駆動素子と前記EL素子間に配置されたスイッ

チング素子とを有し、前記画素を選択するドライバ回路が、前記画素と同時に基板上に形成され、前記スイッチング素子を制御する制御信号線が複数の画素行に共通となるように形成されていることを特徴とする。

【0008】第5に、EL表示装置において、マトリックス状に形成された画素と、映像信号を出力するソースドライバICと、前記画素を選択して、前記ソースドライバICが出力する映像信号を印加するゲートドライバICとを具備し、各画素はEL素子と、前記EL素子に電流を供給する駆動素子と、前記駆動素子と前記EL素子間に配置されたスイッチング素子とを有し、前記スイッチング素子を制御する制御信号線が複数の画素行に共通となるように形成され、前記ソースドライバICと前記ゲートドライバICの両方が、表示領域の一辺に積載されていることを特徴とする。

【0009】第6に、EL表示装置の駆動方法において、画面の一部を表示し、他の部分を非表示状態とし、画面の上下方向に順次、表示領域を移動させ、前記移動スピードが、画面の部分で異なっていることを特徴とする。

【0010】第7に、EL表示装置の駆動方法において、画面の第1の部分と、第2の部分で、選択する回数を異ならせることにより、表示輝度を変化させることを特徴とする。

【0011】第8に、情報表示装置において、各画素に形成されたEL素子と、前記EL素子に電流を供給する駆動素子と、前記駆動素子と前記EL素子間に配置されたスイッチング素子と、前記スイッチング素子を制御する制御信号線とを有し、前記制御信号線が複数の画素行に共通となるように形成されたEL表示装置と、ダウンコンバータと、アップコンバータと、受話器と、スピーカーとを具備することを特徴とする。

【0012】第9に、情報表示装置において、マトリックス状にEL素子が形成された第1の基板と、前記基板に積載されたドライバICと、前記EL素子を保護する封止板とを具備し、前記封止板は、前記ドライバICとEL素子の両方を封止していることを特徴とする。

【0013】第10に、情報表示装置において、マトリックス状に画素が形成された表示パネルと、前記表示パネルの裏面に形成されたミラーと、前記表示パネルが取り付けられた筐体とを具備し、前記表示パネルは所定の支点で位置を変化できるように構成され、第1の状態では、前記表示パネルの表示画像を観察でき、第2の状態では、前記表示パネルの裏面のミラーを観察できるように構成されていることを特徴とする。

【0014】第11に、情報表示装置において、マトリックス状に画素が形成された表示パネルと、前記表示パネルが取り付けられた筐体と、外光の明るさを検出する光センサーと、テンキーと、前記筐体の側面または裏面に配置されたファンクションキーとを具備し、前記ファ

ンクションキーとテンキーとを同時に押さえることにより、前記テンキーの入力内容が変化するように構成されていることを特徴とする。

【0015】第12に、EL表示装置において、1画素が、赤色の点灯部と、緑色の点灯部と、青色の点灯部と、白色の点灯部とを具備し、前記画素のそれぞれの点灯部に薄膜トランジスタが形成されており、前記白色の点灯部は、赤色と緑色と青色の点灯部の材料から形成されており、前記画素がマトリックス状に配置されていることを特徴とする。

【0016】第13に、EL表示装置において、1画素が、赤色の点灯部と、緑色の点灯部と、青色の点灯部とを具備し、前記画素のそれぞれの点灯部に薄膜トランジスタが形成されており、前記画素がマトリックス状に配置され、かつ、前記画素の各色の点灯部の配置が隣接した画素行で、逆方向になっていることを特徴とする。

【0017】第14に、EL表示装置において、ゲートドライバ回路が基板上に画素と同時に形成され、前記ゲートドライバ回路上にEL膜が形成され、かつ、前記EL膜上にアノード電極と一体となった金属膜が形成されていることを特徴とする。

【0018】第15に、EL表示装置において、ゲートドライバ回路が基板上に画素と同時に形成され、前記ゲートドライバ回路上にEL膜が形成され、かつ、前記EL膜上にアノード電極と一体となった金属膜が形成され、前記金属膜は、画素に対応して凹凸または円弧状に形成されていることを特徴とする。

【0019】第16に、EL表示パネルの製造方法において、第1の基板に画素を駆動する画素回路を形成する第1の工程と、前記第1の工程後、前記画素回路上の絶縁膜を形成する第2の工程と、前記絶縁膜上にマスクを形成し、前記マスクを介して、前記絶縁膜を画素に対応して円弧状に形成する第3の工程と、前記絶縁膜上に画素電極を形成する第4の工程と、前記画素電極上にEL膜を形成する第5の工程と、前記EL膜上に金属からなる共通電極を形成する第6の工程と、前記共通電極上に、保護膜を形成する第7の工程を行うことを特徴とする。

【0020】

【発明の実施の形態】本明細書において、各図面は理解を容易にまたは作図を容易にするため、省略や拡大縮小した箇所がある。例えば、図5の表示パネルの断面図では封止膜73などを十分厚く図示している。また、図6等では画素電極に信号を印加する薄膜トランジスタ(TFT)などを省略している。また、本発明の表示パネルなどでは、位相補償のための位相フィルムなどを省略しているが、適時付加することが望ましい。以上のことは他の図面に対しても同様である。また、同一番号または記号を付した箇所は同一の材料あるいは機能もしくは動作を有するものである。

【0021】なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。例えば、図6の表示パネルにタッチパネルなどを付加し、図199、図210のような情報表示装置とすることができる。また、拡大レンズを取り付け、ビデオカメラ（図130参照）などのビューファインダ（図206参照）を構成することもできる。また、図38、図39、図49、図216などで説明した本発明の駆動方法は、本発明の表示装置または表示パネルのいずれにも適用することができる。また、本発明は各画素にTFTが形成されたアクティブマトリックス型表示パネルを主として説明するがこれに限定されるものではなく、単純マトリックス型にも適用することができることは言うまでもない。

【0022】このように、明細書、図面で説明した事項、内容、仕様は、特に例示されていなくとも、互いに組み合わせて適用させることができる。

【0023】（実施の形態1）現在、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、複数の有機エレクトロルミネッセンス（EL）素子をマトリックス状に配列して構成される有機EL表示パネルが注目されている。

【0024】有機EL表示パネルは、図2に示すように、画素電極48としての透明電極が形成されたアレイ基板49上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機EL層47、及び反射膜46が積層されたものである。透明電極（画素電極）48の陽極（アノード）にプラス、反射膜46の陰極（カソード）にマイナスの電圧を加え、これらの間に直流電流を印加することにより、有機EL層47が発光する。このように、良好な発光特性を期待することのできる有機化合物を有機EL層に使用することによって、EL表示パネルが実用に耐え得るものになっている。

【0025】なお、カソード電極、アノード電極あるいは反射膜は、ITO電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜とは低屈折率の誘電体膜と高屈折率の誘電体膜とを交互に多層形成したもの（誘電体ミラー）である。この誘電体多層膜は有機EL構造から放射される光の色調を良好なものにする機能（フィルタ効果）を有する。

【0026】アノードあるいはカソードへ電流を供給する配線63、51には大きな電流が流れる。例えば、EL表示装置の画面サイズが40インチサイズになると100A程度の電流が流れる。そのため、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術により導体の厚みを太く形成している。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。

【0027】また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線を用いて、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線を用いて電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示されている。

【0028】反射膜46には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなもの、特にAl-Li合金を用いることが好ましい。また、透明電極（画素電極）48には、ITO（錫ドープ酸化インジウム）等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0029】なお、画素電極48などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜を成膜するとよい。また、画素電極48としてのITO上にカーボン膜を20nm以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。

【0030】また、有機EL膜は蒸着で形成することによって限定されるものではなく、インクジェットで形成してもよいことは言うまでもない。

【0031】（実施の形態2）以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0032】放熱性を良くするため、アレイ基板49はサファイアガラスで形成してもよい。または熱伝導性のよい薄膜あるいは厚膜を形成してもよい。例えば、ダイヤモンド薄膜を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板や銅などからなる金属板を使用したり、絶縁膜に金属膜を蒸着あるいは塗布などのコーティングを施したものを用いてもよい。画素電極を反射型とする場合、基板材料としては基板の表面方向より光が射出されるので、ガラス、石英や樹脂等の透明ないし半透明材料の他、ステンレスなどの非透過材料を用いることもできる。この構成を図5に図示する。図5では、カソード電極をITOなどの透明電極72で形成している。

【0033】なお、本発明の実施例では、カソードなどを金属膜で形成するとしたが、これに限定されるものではなく、ITO、IZOなどの透明膜で形成してもよい。このように、EL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる。つまり、金属膜を使わずに透過率

を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるような構成にすることができる。

【0034】また、アレイ基板49にはプラスチック基板を用いてもよい。プラスチック基板は割れにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板は板に限定されるものではなく、厚さ0.05mm以上

0.3mm以下のフィルムでもよい。
【0035】ベース基板の材料として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製のARTON（厚さ200 μ mの1枚板）が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。

【0036】このように、アレイ基板49をプラスチックで構成する場合、アレイ基板49はベース基板と2枚の補助基板から構成されるので、ベース基板の他方の面にも、前述と同様にハードコート層およびガスバリア層が形成されたポリエーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【0037】接着剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、アレイ基板49の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に、接着剤は先に記載したような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【0038】各々の補助基板をベース基板に貼り合わせる際には、各々の補助基板の光学的遅相軸同士がなす角度を45度以上120度以下、さらに好ましくは80度以上100度以下（ほぼ90度）とすることがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、有機EL表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。

【0039】この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせること

により直線偏光を楕円偏光に設計通りに変換できるようになるからである。アレイ基板49などに位相差があると、この位相差により設計値との誤差が発生する。

【0040】補助基板におけるハードコート層は、材料としてエポキシ系樹脂、ウレタン系樹脂またはアクリル系樹脂等を用いることができ、ストライプ状電極あるいは画素電極を有する透明導電膜の第1のアンダーコート層とを兼ねる。また、ガスバリア層としては、SiO₂、SiO_xなどの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは100 μ m以下とするが、基板など表面の凹凸を平滑化するために、10 μ m以上とすることが好ましい。

【0041】また、アレイ基板49を構成する補助基板および補助基板として、厚さ40 μ m以上400 μ m以下のものを用いることが好ましい。また、各々の補助基板の厚さを120 μ m以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し成形時のむらまたは位相差を低く抑えることができるので、好ましくは厚さを50 μ m以上80 μ m以下とする。

【0042】次に、この積層基板に、透明導電膜の補助アンダーコート層としてSiO_xを形成し、画素電極となるITOからなる透明導電膜をスパッタ技術で形成する。このようにして製造した有機EL表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値25 Ω/\square 、透過率80%を実現することができる。

【0043】ベース基板の厚さが50 μ m～100 μ mのように薄い場合には、有機EL表示パネルの製造工程において、有機EL表示パネル用プラスチック基板が熱処理によりカールしてしまう。また、ストライプ状電極などを構成するITOにクラックが発生し、それ以降の搬送が不可能となる。また、回路部品の接続においても良好な結果は得られない。しかし、ベース基板を1枚板で厚さ200 μ m以上500 μ m以下とした場合は、基板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、適度な柔軟性と平面性をもっているため、厚さを250 μ m以上450 μ m以下とすることがよいと考えられる。

【0044】なお、アレイ基板49として前述のプラスチック基板などの有機材料を使用する場合は、液晶層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この無機材料からなるバリア層は、AIRコートと同一材料で形成されることが好ましい。なお、封止フタ41もアレイ基板49と同様の技術あるいは構成により作製できる。

【0045】また、バリア層を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。例えば、フッ素を添加したアモルファスカーボン膜（比誘電率2.0～2.5）が例示される。その他、JSR社が製造販売しているLKDシリーズ（LKD-T200シリーズ（比誘電率2.5～2.7））、LKD-T400シリーズ（比誘電率2.0～2.2））が例示される。LKDシリーズはMSQ（methy-sil sesquioxane）をベースにしたスピン塗布形であり、比誘電率も2.0～2.7と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、SiNx、SiO₂などの無機材料でもよい。これらのバリア層材料は補助基板に用いても問題はない。

【0046】プラスチックで形成したアレイ基板49あるいは封止フタ41を用いることにより、割れない、軽量化できるという利点を発揮できる他に、プレス加工できるという利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できるということである（図3を参照）。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することもできる。例えば、円形にしたり、球形（曲面など）にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸部252を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

【0047】また、プラスチックをプレス加工することにより形成したアレイ基板49の穴に、バックライトあるいはカバー基板の位置決めピンを挿入できるように形成することも容易である。また、アレイ基板49、封止フタ41内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、封止フタ41に凹部（図示せず）を形成し、アレイ基板49に凸部251を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、封止フタ41とアレイ基板49とをはめ込みにより一体化することができるよう構成してもよい。

【0048】ガラス基板を用いた場合は、画素16の周辺部にEL素子を蒸着する際に使用する土手を形成していた。土手（リブ）は樹脂材料を用いて、1.0μm以上3.5μm以下、さらに好ましくは1.5μm以上2.5μm以下の厚みで凸部状に形成する。この樹脂からなる土手（凸部）251を封止フタ41またはアレイ基板49のプレス加工による形成と同時に作製することもできる（図3を参照）。これは封止フタ41、アレイ基板49を樹脂で形成することにより発生する大きな効果である。なお、土手材料はアクリル樹脂、ポリイミド樹脂の他、SOG材料でもよい。

【0049】このように、樹脂部を基板と同時に形成す

ることにより製造時間を短縮できるので低コスト化が可能である。また、アレイ基板49などの製造時に、表示領域部にドット状に凸部251を形成する。この凸部251は隣接画素間に形成することで、封止フタ41とアレイ基板49との所定の空間を保持する。なお、土手形状は、画素電極を取り囲む□状の他、ストライプ状でもよい。

【0050】なお、以上の実施例では、土手として機能する凸部251を形成するとしたが、これに限定されることはない。例えば、画素部をプレス加工などにより掘り下げる（凹部）としてもよい。なお、凹凸部252、凸部251は基板と同時に形成される他、平面な基板を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

【0051】また、封止フタ41、アレイ基板49を直接着色することにより、モザイク状のカラーフィルタを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し浸透させる。浸透後、高温で乾燥させ、表面をUV樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピンナーで膜を塗布し現像する半導体パターン形成技術などでカラーフィルタを形成してもよい。カラーフィルタの他、同様の技術を用いて、黒色もしくは暗色あるいは変調する光の補色関係にあるブラックマトリックス（BM）を着色により直接形成してもよい。また、基板面上に画素に対応するように凹部を形成し、この凹部にカラーフィルタ、BMあるいはTFTを埋め込むように構成してもよい。特に、表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平滑化されるという利点もある。

【0052】また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極あるいはカソード電極を直接構成してもよい。さらには、基板に大きく穴を開け、この穴にコンデンサなどの電子部品を挿入する構成も例示される。これにより、基板が薄く構成できる利点が発揮される。

【0053】また、基板の表面を切削することにより、自由に模様を形成してもよい。また、封止フタ41、アレイ基板49の周辺部を溶かすことにより形成してもよい。また、有機EL表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【0054】以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。

【0055】また、封止フタ41とアレイ基板49を多層回路基板あるいは両面基板として利用できるようにするため、封止フタ41とアレイ基板49に穴をあけ、こ

10

20

30

40

50

の穴に導電樹脂などを充填し、基板の表と裏とを電氣的に導通させることも可能である。

【0056】また、封止フタ41、アレイ基板49自身を多層の配線基板としてもよい。例えば、導電樹脂のかわりに導電ピンなどを挿入したり、形成した穴にコンデンサなどの電子部品の端子を差し込めるようにしたり、または基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。多層化は薄い基板を貼り合わせることで構成されるので、この際、貼り合わせる基板（フィルム）の1枚以上を着色してもよい。

【0057】また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすることができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色することにより、積載したICチップに光が照射されることで誤動作を防止できる。

【0058】また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術（インジェクション加工、コンプレクション加工など）を応用すればよい。また、同様の加工技術を用いることにより表示領域の半分を異なるEL層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

【0059】また、封止フタ41またはアレイ基板49に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、封止フタ41、アレイ基板49を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成することで、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン（株）が開発したマイクロレンズを形成するスタンパ技術で実現できる。

【0060】封止フタ41、アレイ基板49には、ストライプ状電極（図示せず）が形成されている。また、基板が空気と接する面には、反射防止膜（AIRコート）が形成され、偏光板（偏光フィルム）など他の構成材料が貼り付けられている場合は、その構成材料の表面などに反射防止膜（AIRコート）が形成される。また、封止フタ41、アレイ基板49に偏光板などが貼り付けられていない場合は、封止フタ41、アレイ基板49に直接、反射防止膜（AIRコート）が形成される。

【0061】なお、以上の実施例は封止フタ41、アレイ基板49がガラスチックで形成されることを中心に説明してきたが、これに限定されるものではない。例えば、封止フタ41、アレイ基板49がガラス基板、金属基板であっても、プレス加工、切削加工などにより、凹部252、凸部251などを形成または構成できる。

また、基板に限定されるものでもない。例えば、フィルムあるいはシートでもよい。

【0062】また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる薄膜を形成することが有効である。また、静電気防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

【0063】なお、表示パネル82の光入射面あるいは光出射面に配置または形成される偏光板（偏光フィルム）は直線偏光するものに限定されるものではなく、楕円偏光となるものであってもよい。また、複数の偏光板を貼り合わせたり、偏光板と位相差板とを組み合わせたり、貼り合わせたものを用いてもよい。

【0064】偏光フィルムを構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製膜技術で作製することが最適である。

【0065】AIRコートは誘電体単層膜もしくは多層膜で形成される構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。例えば、フッ素系のアクリル樹脂などが例示され、特に屈折率が1.37以上1.42以下のものが良好である。

【0066】また、AIRコートには3層構成あるいは2層構成がある。3層の場合は広い可視光の波長帯域での反射を防止するために用いられ、これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられ、これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、AIRコートは2層以上に限定されるものではなく、1層でもよい。この場合は、フッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda/2$ 積層して形成する。

【0067】マルチコートの場合は、酸化アルミニウム（ Al_2O_3 ）を光学的膜厚 $nd = \lambda/4$ 、ジルコニウム（ ZrO_2 ）を $nd1 = \lambda/2$ 、フッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda/4$ 積層して形成する。通常、薄膜は $\lambda = 520nm$ もしくはその近傍の値として形成される。

【0068】Vコートの場合は、一酸化シリコン（ SiO ）を光学的膜厚 $nd1 = \lambda/4$ とフッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda/4$ 、もしくは酸化イットリウム（ Y_2O_3 ）とフッ化マグネシウム（ MgF_2 ）を $nd1 = \lambda/4$ 積層して形成する。 SiO は青色側に吸収帯域があるため、青色光を変調する場合は物質の安定性からも Y_2O_3 を用いた方がよい。また、 SiO_2 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。例えば、フッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用い

ることが好ましい。

【0069】なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネル82などの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料を親水性が良好な材料で構成しておくことが好ましい。その他、表面反射を防止するため、偏光板54の表面などにエンボス加工を行ってもよい。

【0070】1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ(TFT)を形成する。形成するTFTは、同じ種類のTFTであってもよいし、Pチャンネル型とNチャンネル型のTFTというように、違う種類のTFTであってもよいが、望ましくはスイッチング用薄膜トランジスタ、駆動用薄膜トランジスタとも同極性のものが望ましい。またTFTの構造は、プレーナ型のTFTというように限定されるものではなく、スタガー型でも逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域(ソース、ドレイン)が形成されたものでも、非セルフアライン方式によるものでもよい。

【0071】本発明のEL素子15は、アレイ基板上に、ホール注入電極(画素電極)となるITOと、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有し、前記アレイ基板にはTFTが設けられている。

【0072】本発明のEL素子を製造するには、まず、基板上にTFTのアレイを所望の形状に形成する。そして、平滑化膜上の透明電極(画素電極)であるITOをスパッタ法で成膜、パターニングする。その後、有機EL層、電子注入電極等を積層する。

【0073】TFTとしては、通常多結晶シリコンTFTを用いればよい。TFTは、EL構造体の各画素の端部に設けられ、その大きさは10~30 μ m程度で、この際の画素の大きさは20 μ m \times 20 μ m~300 μ m \times 300 μ m程度である。

【0074】アレイ基板上には、TFTの配線電極が設けられる。配線電極は抵抗が低く、しかもホール注入電極を電氣的に接続して抵抗値を低く抑える機能があり、一般的にその配線電極は、Al、Alおよび遷移金属(ただしTiを除く)、Tiまたは窒化チタン(TiN)のいずれか1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とTFTの配線電極とを併せた全体の厚さは、特に制限はないが、通常100~1000nm程度とすればよい。

【0075】TFT11の配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO₂等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG(スピン・オン・グラス)で形成した酸化ケイ素層、フォトレジスト、ポリイ

ミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよいが、中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0076】EL構造体の発光ピークは2つ以上であってもかまわない。例えば、本発明のEL素子における緑および青色発光部は、青緑色発光のEL構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のEL構造体と、このEL構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【0077】次に、本発明のEL素子15を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層を順次有する。なお、ホール輸送層はなくてもよい。本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。

【0078】ホール注入電極の材料としては、ホール注入電極側から発光した光を取り出す構造であるため、ITO(錫ドープ酸化インジウム)、IZO(亜鉛ドープ酸化インジウム)、ZnO、SnO₂、In₂O₃等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常10~500nm程度とすることが好ましい。また、ホール注入電極の材料には、素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、10~30 Ω /□(膜厚50~300nm)のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満たすように、電極の膜厚や光学定数を設定すればよい。このホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成されることが好ましい。スパッタガスは、特に制限されるものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0079】電子注入電極は、スパッタ法等や好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金を用いた材料で構成される。例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、または3成分の合金系を用いることが好ましい。合金系としては、例えばAg-Mg(Ag:1~20at%)、Al-Li(Li:0.3~14at%)、In

・Mg (Mg: 50~80at%)、Al・Ca (Ca: 5~20at%) 等が好ましい。電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。また、その上限値に特に制限はないが、通常、膜厚は100~500nm程度とすればよい。

【0080】正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0081】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、電子を輸送する機能および正孔を妨げる機能を有する。

【0082】これらの正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・封止し、再結合領域を最適化させ、発光効率を改善する働きがある。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0083】発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常5~100nm程度とすることが好ましい。

【0084】正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10~10倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1nm以上、輸送層は20nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100nm程度、輸送層で100nm程度である。このような膜厚については注入輸送層を2層設けるときも同じである。

【0085】また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0086】本発明のEL素子15の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、例えば、特開昭63-264692号公報等に開示されているようなトリス（8-キノリノラト）アルミニウム（Alq3）等の金属錯体色素、特開平6-110569号公報（フェニルアントラセン誘導体）、特開平6-114456号公報（テトラアリールエテン誘導体）、特開平6-100857号公報、特開平2-247278号公報等に開示されている

ような青緑色発光材料が挙げられる。

【0087】青色発光のEL素子15は、発光層の材料に発光波長が約400nmの「DMPhen (Triphenylamine)」を用いるとよい。この際、発光効率を高める目的で、電子注入層 (Bathocuproine) と正孔注入層 (m-MTDATA) にバンド・ギャップが発光層と同じ材料であるものを採用することが好ましい。これは、バンド・ギャップが3.4eVと大きいDMPhenを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまるので、発光層で電子と正孔の再結合が起こりにくいからである。DMPhenのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、DMPhen中で励起したエネルギーをドーバントに移動させ、ドーバントから発光させることにより解決できる。

【0088】EL材料として、りん光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率が2~3%程度である。蛍光発光材料は内部量子効率（励起によるエネルギーが光に変わる効率）が25%なのに対し、りん光発光材料は100%近くに達するため、外部量子効率が高くなる。

【0089】また、EL素子の発光層のホスト材料にはCBPを用いるとよい。ここでは赤色 (R) や緑色 (G)、青色 (B) のりん光発光材料をドーピングしている。ドーピングした材料はすべてIrを含む。R材料はBtp2Ir(acac)、G材料は(ppy)2Ir(acac)、B材料はFIrpicを用いると良い。

【0090】また、正孔注入層・正孔輸送層には、例えば、特開昭63-295695号公報、特開平2-191694号公報、特開平3-792号公報、特開平5-234681号公報、特開平5-239455号公報、特開平5-299174号公報、特開平7-126225号公報、特開平7-126226号公報、特開平8-100172号公報、EP0650955A1等に記載されている各種有機化合物を用いることができる。

【0091】なお、上記これらの正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

【0092】（実施の形態3）以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。先にも説明したように、まず、アレイ基板49に画素を駆動するTFT11を形成する。1つの画素は4個または5個のTFTで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧値としてコンデンサ19に保持される。このTFT11の組み合わせなど画素構成については後に説明をする。次に、TFT11に正孔注入電極としての画素電極48

を形成する。画素電極48はフォトリソグラフィによりパターン化する。なお、TFT11の下層、あるいは上層にはTFT11に光入射することにより発生するホットコンダクタ現象（以後、ホットコンと呼ぶ）による画質劣化を防止するために、遮光膜を形成または配置する。

【0093】プラスチック基板にTFTを形成するためには、有機半導体を形成する表面を加工し、炭素と水素からなるベンタセン分子を利用した電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20~100倍の大きさを持つとともに、電子デバイス製造に適した十分

な半導体特性を具備する。
【0094】ベンタセン分子は、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子バッファ」を塗布するとよい。この層がシリコン上の「sticky sites（くっつきやすい場所）」を覆うため、清浄な表面ができてベンタセン分子が非常に大きな結晶粒にまで成長する。このような新しい結晶粒の大きなベンタセン分子の薄膜を低い温度で塗布して使うことにより、フレキシブルなトランジスタを大量生産することができる。

【0095】また、基板上にゲートとなる金属薄膜を島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化する。そのため、モビリティが良好となる。

【0096】有機トランジスタ（TFT）として、静電誘導トランジスタ（SIT）と呼ぶ構造を採用することが好ましく、アモルファス状態のベンタセンを使用する。正孔の移動度は $1 \times 10 \text{ cm}^2/\text{Vs}$ と結晶化したベンタセンよりも低い。しかし、SIT構造を採用することにより周波数特性を高めることができる。なお、ベンタセンの膜厚は100nm以上300nm以下とすることが好ましい。

【0097】また、有機TFTとしてP型電界効果トランジスタでもよく、プラスチック基板上にTFTを形成できる。この場合、プラスチック基板ごと折り曲げることが可能なので、フレキシブルなTFT型表示パネルを構成できるベンタセンは多結晶状態とすることが好ましい。また、ゲート絶縁膜の材料にはPMMAを使用することが好ましい。

【0098】洗浄時に酸素プラズマ、 O_2 アッシャーを使用すると、画素電極48の周辺部の平滑化膜71も同時にアッシングされ、画素電極48の周辺部がえぐられてしまう。この課題を解決するために、本発明では図4で示すように、画素電極48の周辺部にアクリル樹脂からなるエッジ保護膜81を形成している。エッジ保護膜81の構成材料としては、平滑化膜71を構成するアク

リル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 SiO_2 、 SiN_x などの無機材料や、 Al_2O_3 なども例示される。

【0099】エッジ保護膜81は画素電極48のバタニング後、画素電極48間を埋めるように形成される。もちろん、このエッジ保護膜81を2 μm 以上4 μm 以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手（メタルマスクが画素電極48と直接接しないようにするスペーサ）としてもよいこと言うまでもない。

【0100】真空蒸着装置は市販の高真空蒸着装置（日本真空技術株式会社製、EBV-6DA型）を改造した装置を用いる。主たる排気装置は排気速度1500リットル/minのターボ分子ポンプ（大阪真空株式会社製、TC1500）であり、到達真空度は約 $1 \times 10^{-6} \text{ Torr}$ （Pa）以下であり、全ての蒸着は2~3 $\times 10^{-8} \text{ Torr}$ （Pa）の範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ポートに直流電源（菊水電子株式会社製、PAK10-70A）を接続して行うとよい。

【0101】このようにして真空層中に配置したアレイ基板上に、カーボン膜20~50nmを成膜する。次に、正孔注入層として4-（N,N-ビス（p-メチルフェニル）アミノ）- α -フェニルスチルベンを0.3nm/sの蒸着速度で膜厚約5nmに形成する。

【0102】正孔輸送層として、N,N'-ビス（4'-ジフェニルアミノ-4-ピフェニル）-N,N'-ジフェニルベンジジン（保土ヶ谷化学株式会社製）と、4-N,N'-ジフェニルアミノ- α -フェニルスチルベンを、それぞれ0.3nm/sおよび0.01nm/sの蒸着速度で共蒸着して膜厚約80nmに形成する。

【0103】発光層（電子輸送層）として、トリス（8-キノリノラト）アルミニウム（同仁化学株式会社製）を0.3nm/sの蒸着速度で膜厚約40nmに形成する。

【0104】次に、電子注入電極として、Al-Li合金（高純度化学株式会社製、Al/Li重量比99/1）から低温でLiのみを、約0.1nm/sの蒸着速度で膜厚約1nmに形成し、続いてそのAl-Li合金をさらに昇温し、Liが出尽くした状態から、Alのみを、約1.5nm/sの蒸着速度で膜厚約100nmに形成し、積層型の電子注入電極とした。

【0105】このようにして作成した有機薄膜EL素子は、蒸着槽内を乾燥窒素でリークした後、乾燥窒素雰囲気下で、コーニング7059ガラス製の封止フタ41をシール剤45（アネルパ株式会社製、商品名：スーパーバックシール953-7000）で貼り付けて表示パネルとした。なお、封止フタ41とアレイ基板49との空間には乾燥剤55を配置する。これは、有機EL膜が湿度に弱いいため、乾燥剤55によりシール剤45を浸透す

る水分を吸収し、有機EL層47の劣化を防止しているのである。

【0106】シール剤45からの水分の浸透を抑制するためには外部からの経路（パス）を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹部43、凸部44を形成している。アレイ基板49の周辺部に形成した凸部44は少なくとも二重に形成する。凸と凸との間隔（形成ピッチ）は100 μ m以上500 μ m以下に、また、凸の高さは30 μ m以上300 μ m以下とすることが好ましい。この凸部はスタンプ技術で形成する。このスタンプ技術にはオムロン社がマイクロレンズ形成方法として採用している方式、松下電器がCDのピックアップレンズで微小レンズの形成方法として用いている方式を応用する。

【0107】一方、封止フタ41にも凹部43を形成する。凹部43の形成ピッチは凸部44の形成ピッチと同一にする。このように、形成ピッチを同一にすることで凹部43に凸部44がちょうどはまり込み、表示パネルの製造時に封止フタ41とアレイ基板49との間に位置ずれが発生しない。凹部43と凸部44間にはシール剤45を配置する。シール剤45は封止フタ41とアレイ基板49とを接着するとともに、外部からの水分の浸入を防止する。

【0108】シール剤45としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いること、また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。特に、シール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で65%以上95%以下の割合で添加し、この微粉末の粒子径の平均直径を20 μ m以上100 μ m以下とすることが好ましい。これは微粉末の重量比が多くなるほど外部からの湿度の進入を抑制する効果が高くなるからである。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0109】乾燥剤の重量はシールの長さ10mmあたり0.04g以上0.2g以下、特に0.06g以上0.15g以下とすることが望ましい。これは乾燥剤の量が少なすぎると、水分防止効果が薄れ、すぐに有機EL層が劣化するためである。逆に多すぎると、乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。

【0110】図2ではガラスの封止フタ41を用いて封止する構成であるが、図5のようにフィルムを用いた封止であってもよい。例えば、封止フィルムとしては電解コンデンサのフィルムにDLC（ダイヤモンドライクカーボン）を蒸着したものを用いることが例示され

る。このフィルムは水分浸透性が極めて悪い（防湿）ので、封止膜73として使用できる。また、DLC膜を透明電極72の表面に直接蒸着する構成でもよい。薄膜の膜厚は $n \cdot d$ （ n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合（各薄膜の $n \cdot d$ を計算）して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。）が、EL素子15の発光主波長 λ 以下となるようにするとよい。この条件を満たすことにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【0111】有機EL層47から発生した光の半分は、反射膜46で反射され、アレイ基板49を透過して出射される。しかし、反射膜46は外光を反射するため写り込みが発生し、表示コントラストを低下させる。この対策のために、アレイ基板49に入/4板50および偏光板54を配置している。なお、画素が反射電極の場合は、有機EL層47から発生した光は上方向に出射される。したがって、 $\lambda/4$ 板50および偏光板54は光出射側に配置されなければならない。なお、反射型画素は、画素電極48を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極48の表面に、凸部（もしくは凹凸部）を設けることで有機EL層47との界面が広がって発光面積が大きくなり、発光効率が向上する。

【0112】アレイ基板49と偏光板（偏光フィルム）54間には1枚あるいは複数の位相フィルム（位相板、位相回転手段、位相差板、位相差フィルム）が配置される。位相フィルムとしてはポリカーボネートを使用することが好ましい。この位相フィルムは入射光を出射光に対して位相差を発生させ、効率よく光変調を行うのに寄与する。

【0113】その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。1つの位相板の位相差は一軸方向に50nm以上350nm以下、さらには80nm以上220nm以下とすることが好ましい。

【0114】なお、図5に図示するように、位相フィルムと偏光板とを一体化した円偏光板74（円偏光フィルム）を用いてもよい。

【0115】 $\lambda/4$ 板（位相フィルム）50は染料あるいは顔料で着色し、カラーフィルタとしての機能をもたせることが好ましい。特に、有機EL層は赤（R）の純度が悪いので、着色した $\lambda/4$ 板50で一定の波長範囲をカットして色温度を調整する。カラーフィルタは、染

色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的であり、この顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

【0116】以上のように、位相フィルムの一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成してもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することにより、かまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

【0117】先にも記述したが、カラーフィルタの形成時に圧延、もしくは光重合により位相差を発生させることができるので、位相フィルムの機能はカラーフィルタに持たせてもよい。その他、図5の平滑化膜71を光重合させることにより位相差を持たせてもよい。このように構成すれば、位相フィルムを基板外に構成あるいは配置する必要がなくなり、表示パネルの構成も簡易になり低コスト化が望める。なお、以上の事項は偏光板54にも適用できる。

【0118】偏光板54はヨウ素などをポリビニールアルコール(PVA)樹脂に添加した樹脂フィルムのものが例示される。一対の偏光分離手段の偏光板は入射光のうち特定の偏光軸方向と異なる方向の偏光成分を吸収することにより偏光分離を行うので、光の利用効率が比較的悪い。そこで、入射光のうち、特定の偏光軸方向と異なる方向の偏光成分(reflective polarizer:リフレクティブ・ポライザー)を反射することにより偏光分離を行う反射偏光子を用いてもよい。このように構成すれば、反射偏光子により光の利用効率が高まって、偏光板を用いた上述の例よりもより明るい表示が可能となる。

【0119】また、このような偏光板や反射偏光子以外にも、本発明の偏光分離手段としては、コレステリック液晶層と(1/4)λ板を組み合わせたもの、プリュースターの角度を利用して反射偏光と透過偏光とに分離するもの、ホログラムを利用するもの、偏光ビームスプリッター(PBS)等を用いることも可能である。

【0120】なお、図2では図示していないが、偏光板54の表面にはAIRコートを実施している。

【0121】画素電極48にはTFTが接続されるとしたがこれに限定されるものではない。アクティブマトリックスには、スイッチング素子として薄膜トランジスタ(TFT)の他、ダイオード方式(TFD)、バリスタ、サイリスタ、リングダイオード、ホトダイオード、ホトトランジスタ、FET、MOSトランジスタ、PL

ZT素子などでも可能である。つまり、スイッチング素子、駆動素子を構成するものはこれらのいずれでも使用することができる。

【0122】また、TFTにはLDD(ロー ドーピング ドレイン)構造を採用することが好ましい。なお、TFTとは、FETなどスイッチング等のトランジスタ動作をするすべての素子一般を意味する。また、EL膜の構成、パネル構造などは単純マトリックス型表示パネルにも適用できる。また、本明細書ではEL素子として有機EL素子(OEL、PEL、PLED、OLED)を例にあげて説明するがこれに限定されるものではなく、無機EL素子にも適用される。

【0123】有機EL表示パネルに用いられるアクティブマトリックス方式は、(1)特定の画素を選択し、必要な表示情報を与えられること、(2)1フレーム期間を通じてEL素子に電流を流すことができることという2つの条件を満たさなければならない。

【0124】この2つの条件を満たすため、図220に示す従来の有機ELの素子構成において、第1のTFT11aは画素を選択するためのスイッチング用薄膜トランジスタ、第2のTFT11bはEL素子15に電流を供給するための駆動用薄膜トランジスタとする。

【0125】ここで液晶に用いられるアクティブマトリックス方式と比較すると、スイッチング用TFT11aは液晶用にも必要であるが、駆動用TFT11bはEL素子15を点灯させるために必要である。この理由として、液晶の場合は、電圧を印加することでオン状態を保持することができるが、EL素子15の場合は、電流を流し続けなければ画素16の点灯状態を維持できないからである。

【0126】したがって、有機EL表示パネルでは電流を流し続けるために、駆動用TFT11bをオンさせ続けなければならない。まず、走査線、データ線が両方ともオンになると、スイッチング用TFT11aを通してコンデンサ19に電荷が蓄積される。このコンデンサ19が駆動用TFT11bのゲートに電圧を加え続けるため、スイッチング用TFT11aがオフになっても、電流供給線20から電流が流れ続け、1フレーム期間にわたり画素16をオンできる。

【0127】この構成を用いて階調を表示させる場合、駆動用TFT11bのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用TFT11bのオン電流のばらつきがそのまま表示に現れる。

【0128】トランジスタのオン電流は単結晶で形成されたトランジスタであれば極めて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、±0.2V~0.5Vの範囲でその閾値のばらつきを持つため、駆動用TFT11bを流れるオン電流がこれに対応してばらつき、表示にむらが発生す

る。これらのむらは、閾値電圧のばらつきのみならず、TFTの移動度、ゲート絶縁膜の厚みなどでも発生する。また、TFT11の劣化によっても特性は変化する。

【0129】したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があり、現状の低温多結晶ポリシリコンTFTではこのばらつきを所定範囲以内に抑えるというスペックを満たせない。この問題を解決するため、1画素内に4つのトランジスタを設けて、閾値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法や、定電流回路を1画素ごとに形成し電流の均一化を図る方法などが考えられる。

【0130】しかしながら、これらの方法は、プログラムされる電流がEL素子15を通じてなされるため、電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し、駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。そのため、駆動電圧が高くなるという課題を有することになる。

【0131】また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があり、この動作範囲がEL素子15の特性変動により影響を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生した場合、またはトランジスタの閾値電圧の変動が発生した場合、記憶された電流値が変動するという課題もある。

【0132】本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するTFT11が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小限に抑えることができ、記憶される電流値の変動を小さくすることができる構成である。

【0133】本発明のEL素子構造は、具体的には図6(a)に示すように、単位画素が最低4つからなる複数のTFT11ならびにEL素子15により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平滑化膜を形成して絶縁し、この絶縁膜上に画素電極を形成する。このように、ソース信号線18上に画素電極を重ねる構成をハイパーチャ(HA)構造と呼ぶ。

【0134】第1のゲート信号線(第1の走査線)17aをアクティブ(ON電圧を印加)とすることにより、第1のTFT(あるいはスイッチング素子)11aおよび第3のTFT(あるいはスイッチング素子)11cを通して、前記EL素子15に流すべき電流値を流し、第1のTFT11aのゲートとドレイン間を短絡するように第2のTFT11bが第1のゲート信号線17aをアクティブ(ON電圧を印加)とすることで開くと共に、

第1のTFT11aのゲートとソース間に接続されたコンデンサ19に、前記電流値を流すように第1のTFT11aのゲート電圧(あるいはドレイン電圧)を記憶する。

【0135】なお、第1のTFT11aのソースゲート間容量であるコンデンサ19は0.2pF以上の容量とすることが好ましい。他の構成として別途、コンデンサ19を形成する例もある。つまり、これはコンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。M3トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からは、このように別途コンデンサを構成する方が好ましい。なお、コンデンサ19の大きさは、0.2pF以上2pF以下、中でも0.4pF以上1.2pF以下とすることがよい。

【0136】また、コンデンサ19は隣接する画素間の非表示領域に形成されることが好ましい。一般的に、フルカラー有機EL層を作成する場合、有機EL層をメタルマスクによるマスク蒸着で形成するため、有機EL層の形成位置にマスク位置ずれが発生し、各色の有機EL層が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は10μm以上離れなければならない。また、この部分は発光に寄与しない部分となる。したがって、コンデンサ19をこの領域に形成することは開口率向上のために有効な手段となる。

【0137】次に、第1のゲート信号線17aを非アクティブ(OFF電圧を印加)、第2のゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のTFT11aならびにEL素子15に接続された第4のTFT11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する。

【0138】この回路は1画素内に4つのTFT11を有しており、第1のトランジスタM1のゲートは第2のトランジスタM2のソースに接続されており、第2のトランジスタM2および第3のトランジスタM3のゲートは第1のゲート信号線17aに、第2のトランジスタM2のドレインは第3のトランジスタM3のソースならびに第4のトランジスタM4のソースに接続され、第3のトランジスタM3のドレインはソース信号線18に接続されている。第4のトランジスタM4のゲートは第2のゲート信号線17bに接続され、第4のトランジスタM4のドレインはEL素子15のアノード電極に接続されている。

【0139】なお、図6ではすべてのTFTはPチャンネルで構成している。Pチャンネルは多少、NチャンネルのTFTと比較してモビリティが低いが、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定されるものではない。Nチャンネルのみで構成して

もよいし（図74、図126、図127などを参照）、また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0140】なお、第3および第4のトランジスタは同一の極性で構成し、かつNチャンネルで構成し、第1および第2のトランジスタはPチャンネルで構成することが好ましい。一般的に、PチャンネルトランジスタはNチャンネルトランジスタと比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るEL素子に対しては、第1のTFT11aをPチャンネルにすると効果が大きくなる。

【0141】（実施の形態4）以下、本発明のEL素子構成について図7を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは、必要な電流値を記憶させるタイミングである。このタイミングでTFT11bならびにTFT11cがONすることにより、等価回路として図7（a）となる。ここで、信号線より所定の電流I1が書き込まれ、TFT11aはゲートとドレインが接続された状態となり、このTFT11aとTFT11cを通じて電流I1が流れる。したがって、TFT11aのゲートソース間の電圧は電流I1が流れるようにV1となる。

【0142】第2のタイミングは、TFT11aとTFT11cが閉じ、TFT11dが開くタイミングであり、そのときの等価回路は図7（b）となる。この場合、M1のTFT11aは常に飽和領域で動作するため電流I1は一定となり、TFT11aのソースゲート間の電圧V1は保持されたままとなる。

【0143】なお、TFT11aのゲートとTFT11cのゲートは同一のゲート信号線17aに接続している。しかし、TFT11aのゲートとTFT11cのゲートとを異なるゲート信号線17bに接続してもよい（SA1とSA2とを個別に制御できるようにする）。つまり、1画素のゲート信号線は3本となる（図6の構成は2本である）。TFT11aのゲートのON/OFFタイミングとTFT11cのゲートのON/OFFタイミングを個別に制御することにより、TFT11のばらつきによるEL素子15の電流値ばらつきをさらに低減することができる。

【0144】第1のゲート信号線17aと第2のゲート信号線17bとを共通にし、第3および第4のトランジスタを異なる導電型（NチャンネルとPチャンネル）とすると、駆動回路の簡略化、ならびに画素の開閉率を向上させることが出来る。このように構成すれば、本発明の動作タイミングとしては信号線からの書き込み経路がオフになる。すなわち、所定の電流が記憶される際に、電流の流れる経路に分岐があると、正確な電流値がM1のソースゲート間容量（コンデンサ）に記憶されない。第3のトランジスタM3と第4のトランジスタM

4を異なる導電形とし、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずM3がオフした後にM4がオンすることを可能にする。ただしこの場合、お互いの閾値を正確にコントロールする必要があるのでプロセスへの注意を要する。

【0145】なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにTFT11e（M5）を図6（b）に示すようにカスケード接続してトランジスタの総数を4以上にしても動作原理は同じである。このように、TFT11eを加えた構成とすることにより、第3のトランジスタM3を介してプログラムした電流をより精度よくEL素子15に流すことができるようになる。

【0146】図6の構成において、第1のTFT11aの飽和領域における電流値I_{ds}が下式の条件を満たすことがさらに好ましい。なお、下式においてλの値は、隣接する画素間において、0.01以上0.06以下の条件を満たす。

$$I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda) \quad (1)$$

本発明では、TFT11aの動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースドレイン間電圧の影響を受ける（ミラー効果）。

【0148】隣接する画素におけるそれぞれのTFT11aにΔV_tなる閾値のシフトが発生した場合を考える。この場合、記憶される電流値は同じである。閾値のシフトをΔLとすれば、約ΔV_t×λはTFT11aの閾値が変動することによる、EL素子15の電流値のずれに相当する。したがって、電流のずれをx（%）以下に抑えるためには、閾値のシフトの許容量を隣接する画素間でy（V）として、λは0.01×x/y以下でなければならないことが判る。この許容値はアプリケーションの輝度により変化する。輝度が100cd/m²～1000cd/m²までの輝度領域においては、変動量が2%以上あれば人間は変動した境界線を認識する。したがって、輝度（電流量）の変動量が2%以内であることが必要である。輝度が100cd/cm²より高い場合は隣接する画素の輝度変化量は2%以上となる。本発明のEL表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は100cd/m²程度である。実際に、図6の画素構成を試作し、閾値の変動を測定すると、隣接する画素のTFT11aにおいては閾値の変動の最大値は0.3Vであることが判った。したがって、輝度の変動を2%以内に抑えるためにはλは0.06以下でなければならない。しかし、人間が変化を認識することができないので、0.01以下にする必要はない。また、この閾値のばらつきを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的であ

る。

【0149】また、第1のTFT11aの飽和領域における電流値 I_{ds} が下式を満たすように構成されることが好ましい。なお、 λ の変動は隣接する画素間において1%以上5%以下とする。

$$【0150】I_{ds} = k * (V_{gs} - V_{th})^2 * (1 + V_{ds} * \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式の λ に変動があれば、EL素子を通る電流値が変動する。変動を $\pm 2\%$ 以内に抑えるためには、 λ の変動を $\pm 5\%$ に抑えなければならない。しかし、人間が変化を認識することができないので、1%以下にする必要はない。また、1%以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、非現実的である。

【0151】また、実験、アレイ試作および検討によれば、第1のTFT11aのチャンネル長を $10\mu m$ 以上 $200\mu m$ 以下、さらには、 $15\mu m$ 以上 $150\mu m$ 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和され、キンク効果が低く抑えられるためであると考えられる。

【0152】また、画素を構成するTFT11が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコンTFTで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。

【0153】本発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのためにトランジスタが4つ以上必要である。これらのトランジスタ特性により回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と垂直方向では移動度、閾値の平均値が異なるので、画素を構成するすべてのトランジスタのチャンネル方向は同一である方が望ましい。

【0154】また、コンデンサ19の容量値を C_s 、第2のTFT11bのオフ電流値を I_{off} とした場合、次式を満たすことが好ましい。

$$【0155】3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満たすことが好ましい。

$$【0156】6 < C_s / I_{off} < 18$$

TFT11bのオフ電流を $5pA$ 以下とすることにより、EL素子を通る電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持でき

ないためである。したがって、コンデンサ19の蓄積容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0157】また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタによって構成され、TFT11bがデュアルゲート構造以上であるマルチゲート構造とされることが好ましい。TFT11bは、TFT11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。この要求を満たすために、TFT11bのゲートの構造をマルチゲート構造とすることでON/OFF比の高い特性を実現できるようになるのである。

【0158】また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）を $54\mu m^2$ 以下とすることが好ましい。（チャンネル幅 W ）*（チャンネル長 L ）とトランジスタ特性のばらつきとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが多く、これを吸収するためには、できるだけレーザーの照射ピッチ（一般的には 10 数 μm ）をチャンネル内により多く含む構造とすることが望ましい。そこで、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）を $54\mu m^2$ 以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生するので、各トランジスタの（チャンネル幅 W ）*（チャンネル長 L ）は $9\mu m^2$ 以上、さらには、 $16\mu m^2$ 以上 $45\mu m^2$ 以下となるようにすることが好ましい。

【0159】また、隣接する単位画素での第1のTFT11aの移動度変動を20%以下にすることが好ましい。なぜなら、移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、第1のトランジスタM1のゲートソース間の容量が充電できないからである。したがって、移動のばらつきを20%以内に抑えることで画素間の輝度のばらつきを認知限以下にすることができる。

【0160】以上、図6を画素構成として説明したが、これらは図8、図9に図示する構成にも適用することができる。以下、図8などの画素構成について説明する。

【0161】EL素子15に流す電流を設定する時、変換用TFT11aに流す信号電流を I_w 、その結果、変換用TFT11aに生ずるゲートソース間電圧を V_{gs} とする。書き込み時はTFT11dによって変換用TFT11aのゲートドレイン間が短絡されているので、変換用TFT11aは飽和領域で動作する。よっ

て、信号電流 I_w は、以下の式で与えられる。

* * 【0162】

$$(数1) \quad I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2$$

ここでの C_{ox} は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。 V_{th} は TFT の閾値、 μ はキャリアの移動度、 W はチャンネル幅、 L はチャンネル長、 ϵ_0 は真空の移動度、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みである。

【0163】 EL 素子 15 に流れる電流を I_{dd} とする※

$$(数2) \quad I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2$$

絶縁ゲート電界効果型の薄膜トランジスタ (TFT) が飽和領域で動作するための条件は、 V_{ds} をドレインソース間電圧として、一般に以下の式で与えられる。

【0165】

$$(数3) \quad |V_{ds}| > |V_{gs} - V_{th}|$$

ここで、変換用 TFT11a と駆動用 TFT11b は、★

$$(数4) \quad I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1)$$

ここで注意すべき点は、(数1) 式及び (数2) 式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(数4) 式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。仮に、 $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となり、EL 素子 15 に流れる駆動電流 I_{dd} は、TFT の特性ばらつきによらず、正確に信号電流 I_w と同一になるので、結果として EL 素子 15 の発光輝度を正確に制御できる。

【0167】 以上のように、変換用 TFT11a の閾値 V_{th1} と駆動用 TFT11b の閾値 V_{th2} は基本的に同一である為、両 TFT における共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、変換用 TFT11a 及び駆動用 TFT11b は共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 V_{th1} よりも V_{th2} が低くなってしまうことがある。この時、駆動用 TFT11b にサブスレッショルドレベルのリーク電流が流れる為、EL 素子 15 が微発光を呈する。この微発光により画面のコントラストが低下し、表示特性が損なわれる。

【0168】 本発明では特に、駆動用 TFT11b の閾電圧 V_{th2} が画素内で対応する変換用 TFT11a の閾電圧 V_{th1} より低くならないように設定している。例えば、駆動用 TFT11b のゲート長 L_2 を変換用 TFT11a のゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならないようにしており、微少な電流リークを抑制することが可能である。以上の事項は図 6 の変換用 TFT11a と TFT11d の関係

※と、 I_{dd} は、EL 素子 15 と直列に接続される駆動用 TFT11b によって電流レベルが制御される。本発明では、そのゲートソース間電圧が (数1) 式の V_{gs} に一致するので、駆動用 TFT11b が飽和領域で動作すると仮定すれば、以下の式が成り立つ。

【0164】

★小さな画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき (数1) 式及び (数2) 式から容易に以下の式が導かれる。

【0166】

にも適用される。

20 【0169】 図 8 に示すように、信号電流が流れる変換用 TFT11a、EL 素子 15 等からなる発光素子に流れる駆動電流を制御する駆動用 TFT11b の他、第 1 の走査線 $scanA$ (SA) の制御によって画素回路とデータ線 $data$ とを接続もしくは遮断する取込用 TFT11c、第 2 の走査線 $scanB$ (SB) の制御によって書き込み期間中に変換用 TFT11a のゲートドレイン間を短絡するスイッチング用 TFT11d、変換用 TFT11a のゲートソース間電圧を書き込み終了後も保持するためのコンデンサ 19 および発光素子としての EL 素子 15 などから構成される。このように、ゲート信号線は各画素 2 本であることから、前述した図 6 などに基づく本発明の明細書全体の構成、機能、動作などを適用することができる。

30 【0170】 図 8 における取込用 TFT11c は N チャンネル MOS (NMOS)、その他のトランジスタは P チャンネル MOS (PMOS) で構成されているが、これは一例であって、必ずしもこの通りである必要はない。コンデンサ 19 は、その一方の端子が変換用 TFT11a のゲートに接続され、他方の端子は V_{dd} (電源電位) に接続されているが、 V_{dd} に限らず任意の一定電位でも良い。EL 素子 15 のカソード (陰極) は接地電位に接続されている。したがって、以上の事項は図 6 などにも適用されることは言うまでもない。

50 【0171】 EL 素子 15 の端子電圧は温度によっても変化する。通常、温度が低い時は高く、温度が高くなるにつれて低くなる。この傾向はリニアの関係にある。したがって、 V_{dd} 電圧を外部温度によって (正確には EL 素子 15 の温度によって) 調整することが好ましい。温度センサで外部温度を検出し、 V_{dd} 電圧発生部のフィードバックをかけて V_{dd} 電圧を変化させる。 V_{dd}

電圧は摂氏10℃の変化で、2%以上8%以下、中でも3%以上6%以下とすることが好ましい。

【0172】なお、図6などのV_{dd}電圧はTFT11のオフ電圧よりも低くすることが好ましい。具体的には、V_{gh}（ゲートのオフ電圧）は少なくともV_{dd}-0.5Vよりも高くするべきである。これよりも低いとTFTのオフリークが発生し、レーザアニールのショットむらが目立つようになる。また、あまりにも高いと逆にオフリーク量が増加するので、V_{dd}+4Vよりも低くすべきである。したがって、ゲートのオフ電圧V_gh、つまり、図6におけるV_{dd}電源電圧は、-0.5V以上+4V以下、さらに好ましくは0V以上+2V以下とすべきであり、ゲート信号線に印加するTFTのオフ電圧が、十分オフになるようにする。TFTがNチャンネルの場合は、V_{g1}がオフ電圧となるので、V_{g1}はGND電圧に対して-4V以上0.5V以下、さらには-2V以上0V以下の範囲となるようにすることが好ましい。

【0173】以上、図6の電流プログラムの画素構成について述べたが、これに限定されるものではなく、図74、図76などの電圧プログラムの画素構成にも適用できることは言うまでもない。なお、電圧プログラムのV_tオフセットキャンセルは、R、G、Bごとに個別に補償することが好ましい。

【0174】図8の構成は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流I_wを生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差部に配されて、駆動電流の供給を受けて発光する電流駆動型のEL素子15を含む複数の画素とを備えている。

【0175】特徴事項として図8に示した画素構成は、当該走査線scanAが選択された時、当該データ線dataから信号電流I_wを取り込む受入部（具体的には、取込用TFT11cから構成される）と、取り込んだ信号電流I_wの電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLED（他に、EL、OEL、PEL、PLEDと略称する場合がある）に流す駆動部とからなる。

【0176】前記変換部は、ゲート、ソース、ドレイン及びチャンネルを備えた変換用TFT11aと、そのゲートに接続したコンデンサ19とを含んでいる。変換用TFT11a、受入部によって取り込まれた信号電流I_wをチャンネルに流して変換された電圧レベルをゲートに発生させ、コンデンサ19に生じた電圧レベルを保持する。

【0177】また、前記変換部は、変換用TFT11aのドレインとゲートとの間に挿入されたスイッチング用

TFT11dを含んでいる。スイッチング用TFT11dは、信号電流I_wの電流レベルを電圧レベルに変換する時に導通し、変換用TFT11aのドレインとゲートを電気的に接続してソースを基準とする電圧レベルを変換用TFT11aのゲートに生ぜしめる。又、スイッチング用TFT11dは、電圧レベルをコンデンサ19に保持する時に遮断され、変換用TFT11aのゲート及びこれに接続したコンデンサ19を変換用TFT11aのドレインから切り離す。

【0178】また、前記駆動部は、ゲート、ドレイン、ソース及びチャンネルを備えた駆動用TFT11bを含んでいる。駆動用TFT11bは、コンデンサ19に保持された電圧レベルをゲートに受け入れ、それに応じた電流レベルを有する駆動電流がチャンネルを介してEL素子15に流れる。変換用TFT11aのゲートと駆動用TFT11bのゲートとが直接接続されてカレントミラー回路を構成し、信号電流I_wの電流レベルと駆動電流の電流レベルとが比例関係となるようにしている。

【0179】駆動用TFT11bは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子15に流す。

【0180】駆動用TFT11bは、その閾電圧が画素内で対応する変換用TFT11aの閾電圧より低くならないように設定されている。具体的には、駆動用TFT11bは、そのゲート長が変換用TFT11aのゲート長より短くならないように設定されている。あるいは、駆動用TFT11bは、そのゲート絶縁膜が画素内で対応する変換用TFT11aのゲート絶縁膜より薄くならないように設定されても良い。

【0181】また、駆動用TFT11bは、そのチャンネルに注入される不純物濃度を調整して、閾電圧が画素内で対応する変換用TFT11aの閾電圧より低くならないように設定されてもよい。仮に、変換用TFT11aと駆動用TFT11bの閾電圧が同一となるように設定した場合、共通接続された両薄膜トランジスタのゲートにカットオフレベルの信号電圧が印加されると、変換用TFT11a及び駆動用TFT11bは両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、変換用TFT11aの閾電圧より駆動用TFT11bの閾電圧が低くなる場合がある。

【0182】この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用TFT11bに流れる為、EL素子15は微発光し、画面のコントラスト低下が現れる。そこで、駆動用TFT11bのゲート長を変換用TFT11aのゲート長よりも長くしている。これにより、薄膜トランジスタのプロセスパラメータが画素内で変動しても、駆動用TFT11bの閾電圧が変換用TFT11aの閾電圧よりも低くならない。

【0183】ゲート長 L が比較的短い短チャネル効果領域Aでは、ゲート長 L の増加に伴いTFTの閾値 V_{th} が上昇する。一方、ゲート長 L が比較的大きな抑制領域Bではゲート長 L に関わらず、TFTの閾値 V_{th} はほぼ一定である。この特性を利用して、駆動用TFT11bのゲート長を変換用TFT11aのゲート長よりも長くしている。例えば、変換用TFT11aのゲート長が $7\mu m$ の場合、駆動用TFT11bのゲート長を $10\mu m$ 程度にする。

【0184】変換用TFT11aのゲート長が短チャネル効果領域Aに属する一方、駆動用TFT11bのゲート長が抑制領域Bに属するようにしても良い。これにより、駆動用TFT11bにおける短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能とする。以上により、駆動用TFT11bに流れるサブスレッショルドレベルのリーク電流を抑制してEL素子15の微発光を抑え、コントラスト改善に寄与可能である。

【0185】図8に示した画素回路の駆動方法を簡潔に説明する。まず、書き込み時には第1の走査線scanA、第2の走査線scanBを選択状態とする。両走査線が選択された状態でデータ線dataに電流源CSを接続することにより、変換用TFT11aに輝度情報に応じた信号電流 I_w が流れる。電流源CSは輝度情報に応じて制御される可変電流源である。このとき、変換用TFT11aのゲートドレイン間はスイッチング用TFT11dによって電氣的に短絡されているので(数3)式が成立し、変換用TFT11aは飽和領域で動作する。したがって、そのゲートソース間には(数1)式で与えられる電圧 V_{gs} が生ずる。

【0186】次に、第1の走査線scanA、第2の走査線scanBを非選択状態とする。詳しく述べると、まず第2の走査線scanBを低レベルとしてスイッチング用TFT11dをoff状態とする。これによって、電圧 V_{gs} がコンデンサ19によって保持される。次に、第1の走査線scanAを高レベルにしてoff状態とすることにより、画素回路とデータ線dataとが電氣的に遮断されるので、その後はデータ線dataを介して別の画素への書き込みを行うことができる。ここで、電流源CSが信号電流の電流レベルとして出力するデータは、第2の走査線scanBが非選択となる時点では有効とされるが、その後は任意のレベル(例えば、次の画素の書き込みデータ)とされて良い。

【0187】駆動用TFT11bは変換用TFT11aとゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、駆動用TFT11bが飽和領域で動作していれば、駆動用TFT11bを流れる電流は(数2)式で与えられ、これがすなわちEL素子15に流れる駆動電流 I_{dd} となる。駆動用TFT11bを飽和領域で動作させるには、EL素

子15での電圧降下を考慮してもなお(数3)式が成立するよう、十分な電源電位を V_{dd} 電圧に与えれば良い。

【0188】なお、図6(b)などと同様に、インピーダンスを増大させることなどを目的として、図9に図示するように、TFT11e、11fを付加しても良く、これによりより良好な電流駆動を実現できる。他の事項は図6で説明しているで省略する。

【0189】このようにして作製した図6、図8などで説明したEL表示素子に直流電圧を印加し、 $10mA/cm^2$ の一定電流密度で連続駆動させた。EL構造体においては、 $7.0V$ 、 $200cd/cm^2$ の緑色(発光極大波長 $\lambda_{max}=460nm$)の発光が確認できた。青色発光部では、輝度 $100cd/cm^2$ で、色座標が $x=0.129$ 、 $y=0.105$ 、緑色発光部では、輝度 $200cd/cm^2$ で、色座標が $x=0.340$ 、 $y=0.625$ 、赤色発光部では、輝度 $100cd/cm^2$ で、色座標が $x=0.649$ 、 $y=0.338$ の発光色が得られた。

【0190】(実施の形態5)以下、図6、図8、図9などを用いた表示装置、表示モジュール、情報表示装置およびその駆動回路と駆動方法などについて説明をする。

【0191】フルカラー有機EL表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るTFTの面積を小さくすればよい。低温多結晶Si-TFTはアモルファスシリコンと比較して10~100倍の性能を持ち、その上、電流の供給能力が高いため、TFTのサイズを非常に小さくできる。したがって、有機EL表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【0192】ゲートドライバ12あるいはソースドライバ14などの駆動回路をアレイ基板49上に形成することにより、電流駆動の有機EL表示パネルで特に問題になる抵抗を下げることができる。つまり、TCPの接続抵抗がなくなる上に、TCP接続の場合に比べて電極からの引き出し線が2~3mm短くなり、配線抵抗が小さくなる。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点がある。

【0193】(実施の形態6)次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図10はEL表示装置の回路を中心とした説明図である。画素16がマトリックス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ14が接続されている。ソースドライバ14の出力段には映像信号のビット数に対応した

10

20

30

40

50

カレントミラー回路が形成されている。例えば、64階調であれば、63個のカレントミラー回路が各ソース信号線ごとに形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。なお、1つのカレントミラー回路の最小出力電流は10nA以上50nA以下、特に15nA以上35nA以下にすることがよい。これはソースドライバ14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【0194】また、ソース信号線18の電荷を強制的に放出または充電するブリチャージあるいはディスチャージ回路を内蔵する。この回路の電圧（電流）出力値は、EL素子15の閾値がRGBで異なるので、R、G、Bで独立して設定できるように構成することが好ましい。

【0195】以上、今までに説明してきた画素構成、アレイ構成、パネル構成などは、この後に説明する構成、方法、装置に適用されることは言うまでもない。

【0196】有機EL素子には大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。この場合、選択するEL材料で一義的に決定されるので、ソフト制御するマイコンなどを必要としない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよいということである。重要なのは発光色材料により温特が異なっている点であり、発光色（R、G、B）ごとに最適な温特補償を行う必要がある点である。

【0197】R、G、BのEL素子15の温特はない方が好ましいのは言うまでもないが、各EL素子の温特は一定範囲内にする必要がある。少なくともR、G、Bの温特方向が同一方向か、もしくは変化しないようにする。また、変化は各色とも摂氏10℃の変化で、2%以上8%以下、中でも3%以上6%以下とすることが好ましい。

【0198】あるいは、温特補償をマイコンで行ってもよい。温度センサでEL表示パネルの温度を測定し、測定した温度によりマイコン（図示せず）などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、特定のメニューを表示できるように制御してもよい。また、マウスなどを用いて切り替えたり、EL表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【0199】本発明において、ソースドライバ14は半導体シリコンチップで形成され、ガラスオンチップ（COG）技術でアレイ基板49のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配

線にはクロム、アルミニウム、銀などの金属配線が用いられる。これは細い配線幅で低抵抗の配線が得られるからである。金属配線は画素が反射型の場合は工程が簡略できるので、画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。

【0200】本発明はCOG技術に限定されるものではなく、チップオンフィルム（COF）技術に前述のソースドライバ14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ソースドライバ14は電源IC102を別途作製し、3チップ構成としてもよい。

【0201】また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミド・フィルムと銅（Cu）箔を、接着剤を使わずに熱圧着することができ、また、TCPテープ向けフィルムにはこの他、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方法と、ポリイミド・フィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方法がある。これらのいずれでもよいが、接着剤を使わずにポリイミド・フィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30μm以下のリード・ピッチには、接着剤を使わないCu貼り積層板に対応する。この接着剤を使わないCu貼り積層板の形成方法の中で、Cu層をメッキや蒸着で形成する方法がCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

【0202】一方、ゲートドライバ12は低温ポリシリコン技術で、画素のTFTと同一のプロセスで形成されている。これは、ソースドライバ14と比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術でも容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いてアレイ基板49上に実装してもよい。また、画素TFTなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成されてもよく、有機材料で形成（有機TFT）されてもよい。

【0203】ゲートドライバ12はゲート信号線17a用のシフトレジスタ22aと、ゲート信号線17b用のシフトレジスタ22bとを内蔵する。各シフトレジスタ22は正相と負相のクロック信号（CLKxP、CLKxN）と、スタートパルス（STx）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付加することが好ましい。またその他にも、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC（図示せず）からの信号で制御される。また、外部データのレベ

ルシフトを行うレベルシフト回路と検査回路を内蔵する。

【0204】シフトレジスタ22のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ22の出力とゲート信号線17を駆動する出力ゲート24間には少なくとも2つ以上のインバータ回路23が形成されている。

【0205】ソースドライバ14を低温ポリシリコンなどのポリシリコン技術でアレイ基板49上に直接形成する場合も同様であり、ソース信号線を駆動するトランスファージゲートなどのアナログスイッチのゲートとソースドライバのシフトレジスタ22間には複数のインバータ回路23が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファージゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライバおよびゲートドライバ回路に共通の事項である。例えば、図10ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタ22の出力には多段のインバータ回路23が接続されて、インバータ回路の出力にはトランスファージゲートなど、アナログスイッチのゲートが接続されている。

【0206】インバータ回路23はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したように、ゲートドライバ12のシフトレジスタ22の出力端にはインバータ回路23が多段に接続されており、その最終出力が出力ゲート24に接続されている。なお、インバータ回路23はPチャンネルのみで構成してもよい。ただしこの場合は、インバータ回路ではなく単なるゲート回路として構成してもよい。

【0207】各インバータ回路23を構成するPチャンネルまたはNチャンネルのTFTのチャンネル幅をW、チャンネル長をL（ダブルゲート以上の場合は構成するチャンネルの幅もしくはチャンネル長を加算する）とし、シフトレジスタに近いインバータの次数を1、表示側に近いインバータの次数をN（N段目）とする。

【0208】インバータ回路23の接続段数が多いと接続されているインバータ回路23の特性差が多重（積み重なり）され、シフトレジスタ22から出力ゲート24までの伝達時間に差が生じる（遅延時間ばらつき）。例えば、極端な場合は、図10において出力ゲート24aは1.0μsec後（シフトレジスタからパルスが出力されてから起算）にオンしている（出力電圧が切り替わっている）のに、出力ゲート24bは1.5μsec後（シフトレジスタからパルスが出力されてから起算）にオンしている（出力電圧が切り替わっている）という状態が生じる。

【0209】したがって、シフトレジスタ22と出力ゲ

ート24間に作製するインバータ回路23数は少ない方がよいが、出力ゲート24を構成するTFTのチャンネルのゲート幅Wは非常に大きい方がよい。また、シフトレジスタ22の出力段のゲート駆動能力は小さいので、シフトレジスタを構成するゲート回路（NAND回路など）で直接、出力ゲート24を駆動することは不可能である。そのため、インバータを多段接続する必要があるが、例えば、図10のインバータ回路23dのW4/L4（Pチャンネルのチャンネル幅/Pチャンネルのチャンネル長）のサイズと、インバータ回路23cのW3/L3のサイズの比が大きいと遅延時間が長くなり、また、インバータの特性がばらつきをも大きくする。

【0210】図11に遅延時間ばらつき（点線）と遅延時間比（実線）の関係を示す。横軸は $(W_{n-1}/L_{n-1})/(W_n/L_n)$ で示す。例えば、図10でインバータ回路23dとインバータ回路23cのチャンネル長Lが同一で $2W_3=W_4$ であれば、 $(W_3/L_3)/(W_4/L_4)=0.5$ である。図11のグラフにおいて、遅延時間比は $(W_{n-1}/L_{n-1})/(W_n/L_n)=0.5$ のときを1とし、遅延同様に時間ばらつきも1としている。

【0211】図11では $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が大きくなるほどインバータ回路23の接続段数が多くなり、遅延時間ばらつきも大きくなることを示している。また、 $(W_{n-1}/L_{n-1})/(W_n/L_n)$ が小さくなるほどインバータ回路23から次段のインバータ回路23への遅延時間が長くなることを示している。このグラフから遅延時間比および遅延時間ばらつきを2以内にすることが設計上有利であることがわかる。したがって、次式の条件を満たせばよい。

【0212】 $0.25 \leq (W_{n-1}/L_{n-1})/(W_n/L_n) \leq 0.75$

また、各インバータ回路23のPチャンネルのW/L比 (W_p/L_p) とNチャンネルのW/L比 (W_s/L_s) とは以下の関係を満たす必要がある。

【0213】 $0.4 \leq (W_s/L_s)/(W_p/L_p) \leq 0.8$

さらに、シフトレジスタの出力端から出力ゲート（あるいはトランスファージゲート）間に形成されるインバータ回路23の段数nは次式を満たすと遅延時間のばらつきも少なく良好である。

【0214】 $3 \leq n \leq 8$

モビリティ μ_n にも課題がある。Nチャンネルトランジスタのモビリティ μ_n が小さいとTGおよびインバータのサイズが大きくなり、消費電力等が大きくなる。また、ドライバの形成面積が大きくなり、パネルサイズも大きくなってしまふ。一方、モビリティ μ_n が大きいとトランジスタの特性劣化を引き起こしやすいので、モビリティ μ_n は以下の範囲がよい。

【0215】 $50 \leq \mu_n \leq 150$

また、シフトレジスタ 22 内のクロック信号のスルーレートは、 $500\text{V}/\mu\text{sec}$ 以下にする。スルーレートが高いと N チャンネルトランジスタの劣化が激しいからである。

【0216】なお、図 10 でシフトレジスタの出力にはインバータ回路 23 を多段に接続するとしたが、NAND 回路でもよい。NAND 回路でもインバータを構成することができるからである。つまり、インバータ回路 23 の接続段数とはゲートの接続段数と考えればよい。この場合も、今まで説明した W/L 比等の関係が適用される。また、以上の図 10、図 11 を用いて説明した事項は図 55、図 56、図 58 などにも適用される。

【0217】また、図 10 などにおいて画素のスイッチングトランジスタが P チャンネルの時は、最終段のインバータからの出力は、オン電圧 V_{g1} がゲート信号線 17 に印加され、オフ電圧 V_{gh} がゲート信号線 17 に印加される。逆に、画素のスイッチングトランジスタが N チャンネルの時は、最終段のインバータからの出力は、オフ電圧 V_{g1} がゲート信号線 17 に印加され、オン電圧 V_{gh} がゲート信号線 17 に印加される。

【0218】以上の実施例では、ゲートドライバを高温ポリシリコンあるいは低温ポリシリコン技術などで画素 16 と同時に作製するとしたが、これに限定されるものではない。例えば、図 12 に図示するように別途、半導体チップで作製したソースドライバ 14、ゲートドライバ 12 を表示パネル 82 に積載してもよい。

【0219】また、表示パネル 82 を携帯電話などの情報表示装置に使用する場合、ソースドライバ 14、ゲートドライバ 12 を図 12 に示すように、表示パネルの一辺に実装することが好ましい（なお、このように一辺にドライバ IC を実装する形態を 3 辺フリー構成（構造）と呼ぶ。従来は、表示領域の X 辺にゲートドライバ 12 が実装され、Y 辺にソースドライバ 14 が実装されていた）。表示画面 21 の中心線が表示装置の中心になるように設計し易く、また、ドライバ IC の実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などを用いて 3 辺フリーの構成として作製してもよい（つまり、図 12 のソースドライバ 14 とゲートドライバ 12 のうち、少なくとも一方をポリシリコン技術でアレイ基板 49 に直接形成する）。

【0220】なお、3 辺フリー構成とは、アレイ基板 49 に直接 IC を積載あるいは形成した構成だけでなく、ソースドライバ 14、ゲートドライバ 12 などを取り付けたフィルム（TCP、TAB 技術など）をアレイ基板 49 の 1 辺（もしくはほぼ 1 辺）に貼り付けた構成も含む。つまり、2 辺に IC が実装、あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0221】図 12 のように、ゲートドライバ 12 をソ

ースドライバ 14 の横に配置すると、ゲート信号線 17 は C 辺に沿って表示画面 21 まで形成される必要がある（図 13 等参照）。

【0222】なお、C 辺に形成するゲート信号線 17 のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまうからである。実験によれば、 $7\mu\text{m}$ 以下で寄生容量の影響が顕著に発生し、さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特に、ノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅 D が大きくなりすぎて実用的でない。

【0223】前述の画像ノイズを低減するためには、ゲート信号線 17 を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線 17 上に配置すればよい。

【0224】図 13 の C 辺のゲート信号線 17 は ITO 電極で形成してもよいが、低抵抗化するため、ITO と金属薄膜とを積層して形成したり、金属膜で形成することが好ましい。ITO と積層する場合は、ITO 上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくは ITO 上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【0225】なお、図 13 などにおいて、ゲート信号線 17 などは表示領域の片側に配置するとしたがこれに限定されるものではなく、両方に配置してもよい。例えば、ゲート信号線 17a を表示画面 21 の右側に配置（形成）し、ゲート信号線 17b を表示画面 21 の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【0226】図 14 ではソースドライバ 14 とゲートドライバ 12 とを 1 チップ化（1 チップドライバ IC 14c）している。1 チップ化すれば、表示パネル 82 への IC チップの実装が 1 個で済む。したがって、実装コストも低減できる。また、1 チップドライバ IC 14c 内で使用する各種電圧も同時に発生させることができる。

【0227】なお、ソースドライバ 14、ゲートドライバ 12、1 チップドライバ IC 14c はシリコンなどの半導体ウェハで作製し、表示パネル 82 に実装するとしたがこれに限定されるものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル 82 に直接形成してもよい。

【0228】図 15 では、ソースドライバ 14 の両端に

ゲートドライバ12a、12bを実装する（あるいは形成する）としたがこれに限定されるものではない。例えば、図12に示すように、ソースドライバ14に隣接した一方の側に1つのゲートドライバ12を配置してもよい。なお、図15などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

【0229】なお、図15のように、2つのゲートドライバ12a、12bを使用すると図15のC辺に並列して形成するゲート信号線17aの本数が走査線数の1/2となる（画面の左右にゲート信号線数を1/2ずつ配置できるからである）。したがって、額縁が画面の左右で均等になるという特徴を持つようになる。

【0230】本発明はゲート信号線17の走査方向と、画面分割にも特徴がある。例えば、図15ではゲートドライバ12aが画面上部のゲート信号線17bと接続されている。また、ゲートドライバ12bが画面下部のゲート信号線17aと接続されている。ゲート信号線17の走査方向も矢印Aで示すように画面の上部から下部の方向である。なお、ソース信号線18は画面上部と画面下部で共通である。

【0231】図16ではゲートドライバ12aが画面上部の隣接したゲート信号線17と異なるように接続されている。ゲートドライバ12aは奇数番目のゲート信号線17bと接続されている。また、ゲートドライバ12bは偶数番目のゲート信号線17aと接続されている。ゲート信号線の走査方向は、ゲート信号線17bは画面上部から下部の方向である（矢印A）。ゲート信号線17aは画面下部から上部の方向である（矢印B）。このように、ゲート信号線17をゲートドライバ12と接続することにより、また、ゲート信号線の走査方法を所定の方法とすることにより、表示画面21に輝度傾斜が発生せず、フリッカの発生も抑制することができる。なお、ソース信号線18は画面上部と画面下部で共通である。ただし、画面の上下で分割してもよいことは言うまでもない。以上の事項は他の実施例にも適用される。

【0232】1チップ化している図14でもゲートドライバ12aが画面上部のゲート信号線17bと接続されている。また、ゲートドライバ12bが画面下部のゲート信号線17aと接続されている。ゲート信号線17bの走査方向は矢印Aで示すように、画面の上部から下部の方向である。ゲート信号線17aの走査方向は矢印Bで示すように、画面の下部から上部の方向である。なお、ソース信号線18は画面上部と画面下部で共通である。このように、ゲート信号線17をゲートドライバ12と接続することにより、また、ゲート信号線の走査方法を所定の方法とすることにより、表示画面21に輝度

傾斜が発生せず、フリッカの発生も抑制することができる。

【0233】なお、1チップドライバIC14cはシリコンなどの半導体ウェハで作製し、表示パネル82に実装するとしたがこれに限定されるものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよい。また、画面の上部を駆動するドライバICを表示画面の上辺に配置し、画面の下部を駆動するドライバICを表示画面の下辺に配置してもよい（つまり、実装ICは2チップとなる）。以上の事項は他の本発明の実施例にも適用される。

【0234】図14および図15では画面を中央部で分割するように表現したが、これに限定されるものではない。例えば、図15の場合は、表示画面21aを小さくし、表示画面21bを大きくしてもよい。この表示画面21aをバーチャル表示領域とし（図17参照）、主として時刻表示や日付表示を行い、低消費電力モードで使用する。図14および図15ではゲート信号線17bで表示画面21aを表示し、ゲート信号線17aで表示画面21bを表示している。

【0235】また、図17などでは、図18で図示するように、表示画面21aを3辺フリーの構成とし、表示画面21bを従来のソースドライバ14とゲートドライバ12を別個の辺に配置する構成としてもよい。つまり、ゲート信号線17aとソース信号線18aは1チップドライバIC14cから出力するということである。

【0236】また、図19に図示するように、表示画面21を21aと21bの2つの画面に分割し、それぞれの画面に対応するソースドライバ14、ゲートドライバ12を配置してもよい。図19では各ソースドライバ14から出力する映像信号の書き込み時間が他の実施例と比較して2倍になるので、十分に画素に信号を書き込むことができる。また、図20に図示するように、表示画面21は1つにして画面の上下に各1つずつソースドライバ14を配置してもよい。このことは、ゲートドライバ12に対しても同様に適用できる。

【0237】なお、以上の実施例はゲート信号線17を平行に形成し、画素領域まで配線する構成であったが、これに限定されるものではなく、図21に図示するようにソース信号線18を1辺に平行に配線するように構成してもよいことは言うまでもない。

【0238】図17、図18、図19などにおいて、表示画面21aと21bでフレームレート（駆動周波数または単位時間（1秒間）あたりの画面書き換え回数）を変化させたりすることも低消費電力化に有効な手段である。また、表示画面21aと21bで表示色数または表示色を変化させるのも低消費電力化に有効である。

【0239】図6で図示した構成では、EL素子15のカソードはVs1電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題があ

る。例えば、単位平方センチメートルあたり0.01Aの電流を流した場合、青(B)ではEL素子の端子電圧は5Vであるが、緑(G)および赤(R)では9Vである。つまり、端子電圧が、B、GとRで異なる。したがって、B、GとRでは保持するTFT11c、11dのソースドレイン電圧(SD電圧)が異なり、各色でトランジスタのソースドレイン電圧(SD電圧)間のオフリーク電流も異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態となる。

【0240】この課題に対応するため、本発明では図25に図示するように、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。具体的には、図25ではBをカソード電極53aとし、GとRをカソード電極53bとしている。なお、図25はガラス面から光を取り出す下取り出しを想定しているが、上取り出しの場合もある。この場合、カソードとアノードは逆転した構成になる。

【0241】R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が6000K以上9000K以下の範囲で、R、G、BのEL素子の端子電圧は10V以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bのうち、各EL素子の最大の端子電圧と最小の端子電圧との差は、2.5V以内、さらに好ましくは1.5V以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定されるものではない。このことは後に説明する。

【0242】また、色むらの補正も必要である。この色むらは、各色のEL材料を塗り分けるため、膜厚のばらつき、特性のばらつきによって発生する。これを補正するため、30%~70%の輝度で白ラスタ表示を行い、表示画面21内の各色の面内分布を測定する。面内分布は少なくとも30画素に1ポイントずつ測定する。この測定データをメモリからなるテーブルに保存し、この保存されたデータを使用して、入力画像データを補正して表示画面21に表示するように構成する。

【0243】なお、画素は、R、G、Bの3原色としたがこれに限定されるものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよいし、もちろん単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよいし、R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し、良好な表示を実現できる。その他、R、G、B、白の4色でもよいし、R、G、B、シアン、イエロー、マゼンダ、黒、白の8色でもよい。また、白色発光の画素を表示画面21

全体に形成(作製)し、RGBなどのカラーフィルタで3原色表示とし、EL層に各色の発光材料を積層して形成してもよい。また、1画素をBとイエローのように塗り分けてもよい。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0244】また、図22に図示するように、3原色の他に、白色発光の画素16Wを形成してもよい。白色発光の画素16Wは、R、G、B発光の構造を積層することにより作製(形成または構成)され、1組の画素は、これらRGBの3原色と、白色発光の画素16Wからなる。このように、白色発光の画素を形成することで、白色のピーク輝度が表現しやすくなり、輝き感のある画像表示が実現できるようになる。

【0245】また、RGBの3原色を1組の画素とする場合であっても、図23に図示するように、各色の画素電極の面積を異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪い場合には、画素電極(発光面積)を調整することが好ましく、電流密度を基準に各色の電極面積を決定すればよい。つまり、色温度が6000K(ケルビン)以上9000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内、さらに好ましくは±15%以内となるようにすればよい。例えば、電流密度が100A/平方メートルとすれば、3原色をいずれも70A/平方メートル以上130A/平方メートル以下、さらに好ましくは85A/平方メートル以上115A/平方メートル以下となるようにする。

【0246】また、図24に図示するように、隣接した画素行で、3原色の配置を異なるように配置することが好ましい。例えば、偶数行目が、左からR、G、Bの配置であれば、奇数行目はB、G、Rの配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。さらに、1行目を左からR、G、B、R、G、Bの配置とし、2行目をG、B、R、G、B、Rの配置とし、3行目をB、R、G、B、R、Gの配置とするように、3画素行以上で、画素配置を異ならせてもよい。

【0247】カソード電極53aは、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。メタルマスクを用いるのは、有機ELが水に弱くエッチングなどを行うことができないからである。メタルマスク(図示せず)を用いて、カソード電極53aを蒸着し、同時にコンタクトホール52aに接続する。そして、コンタクトホール52aによりBカソード配線51aと電氣的接続を取ることができる。

【0248】カソード電極53bも同様に、各色の有機ELを塗り分けたメタルマスク技術を用いて形成する。

メタルマスク（図示せず）を用いて、カソード電極53bを蒸着し、同時にコンタクトホール52bに接続する。コンタクトホール52bによりRGカソード配線51bと電氣的接続を取ることができる。なお、カソード電極のアルミ膜厚は70nm以上200nm以下となるように形成するとよい。

【0249】以上の構成により、カソード電極53aと53bには異なる電圧を印加することができるから、図6のV_{dd}電圧が各色共通であっても、RGBのうち、少なくとも1色のEL素子に印加する電圧を変化させることができる。なお、図25において、RGは同一のカソード電極53bとしたがこれに限定されるものではなく、RとGで異なるカソード電極となるように構成してもよい。

【0250】以上のように構成することにより、各色でトランジスタのソースドレイン電圧（SD電圧）間でのオフリーク電流の発生、キंक現象を防止することができる。したがって、フリッカが発生せず、発光色に相関してガンマ特性がずれるということもなく、良好な画像表示を実現できる。

【0251】また、図6のV_{s1}をカソード電圧とし、このカソード電圧を各色で異なるようにするとしたがこれに限定されるものではなく、アノード電圧V_{dd}を各色で異なるように構成してもよい。例えば、R画素のV_{dd}電圧を8Vにし、Gを6V、Bを10Vとする構成としてもよい。これらのアノード電圧、カソード電圧は±1Vの範囲で調整できるように構成されることが好ましい。

【0252】パネルサイズが2インチ程度であっても、V_{dd}電圧と接続されるアノードからは100mA近く電流が出力される。そのため、アノード配線（電流供給線）20の低抵抗化は必須である。この課題に対応するため、本発明では図26で図示するように、アノード配線63を表示領域の上側と下側から供給している（両端給電）。以上のように両端給電することにより、画面の上下での輝度傾斜の発生がなくなる。

【0253】発光輝度を高めるためには画素電極48を粗面化するとよい。この構成を図5に示す。まず、画素電極48を形成する箇所にスタンプ技術を用いて微細な凹凸を形成する。画素が反射型の場合は、スパッタリング法で約200nmのアルミニウムの金属薄膜を形成して画素電極48を形成する。画素電極48が有機EL素子と接する箇所には凸部が設けられ、粗面化される。なお、単純マトリックス型表示パネルの場合は、画素電極48はストライプ状電極とする。また、凸部は凸状だけに限定されるものではなく、凹状でもよい。また、凹と凸とを同時に形成してもよい。

【0254】突起の大きさは直径4μm程度、隣接間距離の平均値を10μm、20μm、40μmにし、それぞれ突起の単位面積密度を1000～1200個/mm

²、100～120個/mm²、600～800個/mm²として輝度測定を行ったところ、突起の単位面積密度が大きくなるほど発光輝度が強くなることがわかった。したがって、画素電極48上の突起の単位面積密度を変えることで、画素電極の表面状態を変えて発光輝度を調整できることがわかった。検討によれば、突起の単位面積密度を100個/mm²以上800個/mm²以下とすることで良好な結果を得ることができた。

【0255】有機ELは自己発光素子である。この発光による光がスイッチング素子としてのTFTに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりTFTなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0256】この課題に対処するため、本発明では図27に示すように、ゲートドライバ12（場合によってはソースドライバ14）の下層、画素TFT11の下層に遮光膜91を形成している。遮光膜91はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のTFT11のパターニングが困難になるからである。

【0257】遮光膜91上に20nm以上100nm以下の無機材料からなる平滑化膜71aを形成する。あるいは、この遮光膜91のレイヤーを用いてコンデンサ19の一方の電極を形成してもよい。この場合、平滑化膜71aは極力薄く作り、コンデンサの容量値を大きくすることが好ましい。また、遮光膜91をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜91の表面に形成し、この酸化シリコン膜をコンデンサ19の誘電体膜として用いてもよい。平滑化膜71b上にはハイパーチャ（HA）構造の画素電極が形成される。

【0258】ゲートドライバ12などは裏面だけでなく、表面からの光の進入も抑制するべきである。なぜなら、ホトコンの影響により誤動作するからである。したがって、本発明において、カソード電極が金属膜の場合は、ゲートドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0259】しかし、ゲートドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作、あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではゲートドライバ12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。基本的に有機EL膜は絶縁物であるから、ゲートドライバ上に有機EL膜を形成することにより、カソードとゲートドライバ間が隔離され、前述の課題を解消することができる。

【0260】画素において、1つ以上のTFT11の端子間あるいはTFT11と信号線とが短絡すると、EL

素子15が常時点灯して輝点となる場合がある。この輝点は視覚的に目立つので黒点化(非点灯)する必要がある。この対処法として、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。すると、コンデンサ19には電荷を保持できなくなるので、TFT11が電流を流さなくなるのである。

【0261】なおこの際、レーザー光を照射する位置にあたるカソード膜を除去しておくことが望ましい。これはレーザー光照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

【0262】また、図28に図示する構造も例示される。図28は光をアレイ基板49側から取り出す下取り出し構造の例である。図28においても、ゲートドライバ12(場合によってはソースドライバ14)の下層、画素TFT11の下層に遮光膜を形成している。

【0263】しかし、ホトコンの影響により誤動作するので、ゲートドライバ12(あるいはソースドライバ14)などは裏面だけでなく、表面からの光の進入も抑制すべきである。このため、本発明では、カソード電極46を遮光膜として用いている。

【0264】一方、カソード(もしくはアノード)電極が透明電極の場合、つまり、画素電極を反射タイプとし共通電極を透明電極(ITO、IZOなど)にする光上取り出しの構造(アレイ基板49側から光を取り出すのは下取り出し、EL膜蒸着面から光を取り出すのが上取り出し)の場合は、透明電極のシート抵抗値が問題となる。なぜなら、透明電極は高抵抗であるが、有機ELのカソードには高い電流密度で電流を流す必要があるからである。したがって、ITO膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【0265】この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線92を形成している。低抵抗化配線92は液晶表示パネルのブラックマトリックス(BM)と同様の構成(クロムまたはアルミ材料で50nm~200nmの膜厚)で、かつ同様の位置(画素電極間、ゲートドライバ12の上など)である。ただし、有機ELではBMを形成する必要はないから機能は全く異なる。なお、低抵抗化配線92は透明電極72の表面に限定されるものではなく、裏面(有機EL膜と接する面)に形成してもよい。また、BM状に形成した金属膜として、Mg・Ag、Mg・Li、Al・Liなどの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、BM上には腐食などを防止するため、さらにITO、IZO膜を積層し、また、SiNx、SiO₂などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【0266】また、EL膜の蒸着面から光を取り出す(上取り出し)場合は、有機EL層47上にMg-Al膜を形成し、その上にITO、IZO膜を形成することが好ましい。または、有機EL層47上にMg-Al膜を形成し、その上にブラックマトリックス(液晶表示パネルのようなブラックマトリックス)を形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、SiO₂、SiNxなどの無機絶縁膜や、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜1761を形成することが好ましい。さらに、この保護膜1761上には、反射防止膜(AIRコート)を形成することが好ましい。なお、保護膜1761の最小膜厚は1μm以上にする。

【0267】また、下取り出しの場合であっても、カソード電極の反射膜46の透過率を高くすることにも効果がある。これは、アレイ基板49側から表示画像を見る構成であっても、反射膜46の透過率が高いため、写り込みが減少し、円偏光板74が不要となる。したがって、上取り出しよりも光取り出し効率が向上する場合がある。なお、反射膜46の透過率は、60%以上90%以下、特に70%以上90%以下にすることが好ましい。なぜなら、60%以下であるとカソード電極のシート抵抗値が低くなる一方、写り込みが大きくなるからである。逆に、90%以上ではカソード電極のシート抵抗値が高くなり、表示画像の輝度傾斜が大きくなるからである。

【0268】反射膜46の透過率を高くするにはAl膜を厚み20nm以上100nm以下というように薄く形成する。その上にITO、IZO膜を形成することが好ましい。または、Al膜上にブラックマトリックスを形成することが好ましい。

【0269】図29に図示するように、画素電極48を円弧状にすることにより、有機EL層47の発光面積が広がる。したがって、電流密度が小さくなり、EL素子15の高寿命化を実現できる。また、EL素子15の端子電圧も低下するので電力効率も向上する。

【0270】図30は図29で説明したEL表示パネルの製造方法の説明図である。図30(a)で図示するように、アレイ基板49上にTFT11、ゲートドライバ12などを形成する。

【0271】次に、図30(b)に図示するように、アレイ基板49上にアクリル樹脂などの有機材料からなる平滑化膜71を塗布する。なお、平滑化膜71はSiO₂などの無機材料であってもよい。膜厚は1.5μm以上3μm以下にすることが好ましい。次に、前記平滑化膜71上にマスク1771を形成する。マスク1771は金属材料で形成し、形成位置は画素16に対応するようにする。次に、エッチングを行う。エッチングはウェットエッチング、O₂プラズマなどの乾式エッチングのいずれでもよい。マスク1771の間から、平滑化膜71

がエッチングされるので、図30(c)に図示するように、平滑化膜71は円弧状となる。

【0272】さらに、図30(d)に図示するように、平滑化膜71にマスク(図示せず)を形成して、コンタクトホール1772を形成する。もしくは、図30

(b)のエッチング工程でコンタクトホール1772も同時に形成する。

【0273】次に、図30(e)に図示するように、ITO、IZOなどの透明電極で画素電極48を形成する。画素電極48とTFT11とは、画素コンタクト部1751で接続をとる。このコンタクトホールでITOからなる画素電極48とドレイン端子とを電氣的に接続する。

【0274】次に、画素電極48上に50nm以上150nm以下のカーボン膜を薄く蒸着し、この上に有機EL層を形成する。有機EL層47は単色の場合は全面に、RGBの場合はメタルマスクを用いて塗り分ける(図30(f)参照)。

【0275】有機EL層47の形成後、カソード電極となるA1膜(反射膜)46を形成する(図30(g))。さらに、A1膜(反射膜)46上に保護膜1761を形成する(図30(h))。

【0276】保護膜1761は、フィルムを用いた保護層であってもよい。例えば、保護層としては電解コンデンサのフィルムにDLC(ダイヤモンドライクカーボン)を蒸着したものをを用いることが例示される。このフィルムは水分浸透性が極めて悪い(防湿)ので、保護層1761として使用できる。また、保護層1761の膜厚は $n \cdot d$ (n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合(各薄膜の $n \cdot d$ を計算)して計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。)が、EL素子15の発光主波長 λ 以下となるようにするとよい。

【0277】なお、有機EL層47または画素電極48は、円弧状に限定されるものではなく、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でもよい。また、1画素に微細な円弧上、三角錐状、円錐状、サインカーブ状が形成されたり、これらが組み合わせられたり、もしくは、ランダムな凹凸が形成された構成であっても良い。また、図29では凸状の円弧状であるが、凹状の円弧状であっても上記と同様である。

【0278】図31はパネル化した構成図(断面図)である。なお、他の図面でも同様であるが、本明細書において各図面は理解を容易にまたは作図を容易にするため、省略や拡大縮小している。図31の表示パネルの断面図においても平滑化膜71などを十分に厚く図示している。しかし、アレイ基板49の板厚は、非常に薄く図示している。また、TFTなどは省略している。

【0279】図31において、封止フタ41と、アレイ基板49間にはスペーサ1781を配置し、保護膜1761または反射膜46もしくは有機EL層47と封止フタ41とが直接、接しないように構成されている。乾燥剤は表示領域の周辺部に配置または充填されている。スペーサは円筒状または球状のものをを用いる。高さは、10 μ m以上100 μ m以下にすることが好ましい。また、保護膜1761を加工することによりスペーサとすることもできる。つまり、保護膜1761の一部または全部を突起状あるいは柱状あるいはストライプ状に加工あるいは形成することによりスペーサの機能を持たせる。なお、スペーサ1781を乾燥剤とする構成でも好ましい。

【0280】図8に示す画素は駆動用TFT11bと変換用TFT11aとがカレントミラーの関係にあり、これらの特性(閾値 V_t 、S値、モビリティ μ など)が一致していなければならない。また、図6の画素においても、各TFTの特性が一致していることが好ましいことは言うまでもない。

【0281】画素16のTFT11を構成する半導体膜は、低温ポリシリコン技術において、レーザアニールにより形成するのが一般的である。このレーザアニールの条件のばらつきがTFT11特性のばらつきとなる。しかし、1画素16内のTFT11の特性が一致していれば、図6、図8などの電流プログラムを行う方式においては、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。

【0282】この課題に対して、本発明では図32に示すように、アニールの時のレーザ照射スポット230をソース信号線18と平行に照射する。また、1画素列に一致するようにレーザ照射スポット230を移動させる。もちろん、1画素列に限定されるものではなく、例えば、図32のRGBを1画素16という単位でレーザを照射してもよい(この場合は、3画素列ということになる)。特に、画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。そのため、画素16内に形成されるTFT11の配置は、図32に図示するように縦方向に配置される(変換用TFT11a、駆動用TFT11b)。したがって、レーザ照射スポット230を縦長にしてアニールすることにより、1画素内ではTFT11の特性ばらつきが発生しないようにすることができる。

【0283】一般的に、レーザ照射スポット230の長さは10インチというように固定値である。このレーザ照射スポット230を移動させるのであるから、1つのレーザ照射スポット230を移動できる範囲内におさめられるようにパネルを配置する必要がある(つまり、パネルの表示画面21の中央部でレーザ照射ス

ット230が重ならないようにする)。

【0284】図33の構成では、レーザー照射スポット230の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット230を照射するアニール装置はガラス基板241の位置決めマーカ242a、242bを認識してレーザー照射スポット230を移動させる。位置決めマーカ242の認識はパターン認識装置で行う。アニール装置(図示せず)は位置決めマーカ242を認識し、画素列の位置を割り出す。そして、ちょうど画素列位置に重なるようにレーザー照射スポット230を照射してアニールを順次行う。

【0285】図32、図33で説明したレーザーアニール方法(ソース信号線18と平行にライン状のレーザー照射スポットを照射する方式)は、有機ELパネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線の平行方向とTFT11の特性が一致しているためである(縦方向に隣接した画素TFTの特性が近似している)。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい(例えば、白ラスタ表示の場合、隣接した各画素の変換用TFT11aに流す電流はほぼ同一のため、ソースドライバ14から出力する電流振幅の変化が少ない)。

【0286】また、図34、図35などで説明する複数の画素行を同時書き込みする方式では均一な画像表示を実現できる(主としてTFT特性のばらつきに起因する表示むらが発生しにくいからである)。図34などは複数画素行を同時に選択するので、隣接した画素のTFTが均一であれば、縦方向のTFT特性むらはソースドライバ14で吸収できるようになる。

【0287】図6に示すように、ゲート信号線17aは行選択期間に導通状態(ここでは図6のTFT11がPチャネルトランジスタであるためローレベルで導通となる)となり、ゲート信号線17bは非選択期間時に導通状態となる。

【0288】ソース信号線の状態が階調0表示状態であったときに、階調1に対する電流値を印加し、行選択期間を75μ秒で動作させると、図36の実線aに示すように、ソース信号線18の寄生容量が増加すると、EL素子15に出力される電流値が減少する。

【0289】図36の点線bは実線aに比べて階調1に対する電流値を10倍流した場合であり、ソース信号線18の寄生容量の増加に対し、EL素子15に出力される電流値の減少割合は小さくなる。所定電流値に対し、10%程度のばらつきは人間の目にとって輝度の差として観測できないことから、10%程度の低下を認めるとすると許容されるソース容量は実線aでは2pF以下、点線bでは25pF以下となる。

【0290】ソース信号線18の電流値変化に要する時間tは、浮遊容量の大きさをC、ソース信号線の電圧を

V、ソース信号線に流れる電流をIとすると、 $t = C \cdot V / I$ であるため、電流値を10倍大きくできることは電流値変化に要する時間が1/10近くまで短くできる、またはソース容量が10倍になっても所定の電流値に変化できるということを示す。したがって、短い水平走査期間内に所定の電流値を書き込むためには電流値を増加させることが有効である。

【0291】入力電流を10倍にすると出力電流も10倍となり、EL素子の輝度が10倍となるよう所定の輝度を得るために、図6のスイッチング用TFT11dの導通期間を従来の1/10とし、発光期間を1/10とすることで、所定輝度を表示するようにした。つまり、ソース信号線18の寄生容量の充放電を十分に行い、所定の電流値を画素16の変換用TFT11aに対してプログラムを行うためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。例えば、10倍の電流でプログラムすれば、当然10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。つまり、所定の発光輝度にするためには、EL素子15に流れる時間を1/10にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【0292】なお、10倍の電流値を画素の変換用TFT11a(正確にはコンデンサ19の端子電圧を設定している)に書き込み、EL素子15のオン時間を1/10にするとしたがこれは一例である。場合によっては、10倍の電流値を画素の変換用TFT11aに書き込み、EL素子15のオン時間を1/5にしてもよい。逆に、10倍の電流値を画素の変換用TFT11aに書き込み、EL素子15のオン時間を2倍にする場合もあるであろう。本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N倍の電流値を画素のTFT11に書き込み、EL素子15のオン時間を1/N倍にするとして説明する。しかし、これに限定されるものではなく、N1倍の電流値を画素のTFT11に書き込み、EL素子15のオン時間を1/N2倍(N1とN2とは異なる)としてもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定されるものではない。

【0293】また、説明を容易にするため、1F(1フィールドまたは1フレーム)を基準にしてこの1Fを1/Nにするとして説明する。しかし、1画素行が選択され、電流値がプログラムされる時間(通常、1水平走査期間(1H))があるし、また、走査状態によっては誤差も生じるので、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定される

ものではない。

【0294】有機（無機）EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題を発生させる。

【0295】本発明では、1F/Nの期間の間だけ、EL素子15に電流を流し、他の期間（1F（N-1）/N）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態で見ると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0296】液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持されており、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバ14の動作クロックを高くし、画像データを黒表示データと交互にソース信号線18に印加しなければならないので、黒挿入表示（黒表示などの間欠表示）を実現しようとするためには回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0297】しかし、本発明のEL表示パネルの画素構成では、図6、図56、図61～図65、図68～図72、図74、図75、図127、図130、図152などに示すように、画像データはコンデンサ19に保持されており、このコンデンサ19の端子電圧に対応する電流をEL素子15に流している。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0298】本発明はスイッチング用TFT11d、あるいはTFT11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流Iwをオフしても、画像データはそのままコンデンサ19に保持されている。したがって、次のタイミングでスイッチング素子などをオンさせ、EL素子15に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入表示（黒表示などの間欠表示）を実現しようとする際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないため、画像メモリも不要である。また、有機EL素子15は電流を印加してから発光するま

での時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、ELパネルなど）の問題である動画表示の問題を解決できる。

【0299】図37に示すように、ゲート信号線17bは従来導通期間が1F（電流プログラム時間を0とした時、通常プログラム時間は1Hであり、EL表示装置の画素行数は少なくとも100行以上であるので、1Fとしても誤差は1%以下である）とし、N=10とすれば、図36によると、最も変化に時間のかかる階調0から階調1へもソース容量が20pF程度であれば75μ秒程度で変化できる。これは、2型程度のEL表示装置であればフレーム周波数が60Hzで駆動できることを示している。

【0300】更に、大型の表示装置でソース容量が大きくなる場合は、ソース電流を10倍以上にしてやればよい。一般に、ソース電流値をN倍にした場合、ゲート信号線17b（TFT11d）の導通期間を1F/Nとすればよい。これにより、テレビ、モニター用の表示装置などにも適用が可能である。

【0301】以下、図面を参照しながら、さらに詳しく説明をする。まず、図6の寄生容量404は、ソース信号線間の結合容量、ソースドライバ14のバッファ出力容量、ゲート信号線17とソース信号線18とのクロス容量などにより発生する。この寄生容量404は通常10pF以上となる。電圧駆動の場合、ソースドライバ14からは低インピーダンスで電圧がソース信号線18に印加されるため、寄生容量404が多少大きくとも駆動では問題とならない。

【0302】しかし、電流駆動において、特に黒レベルの画像表示では5nA以下の微小電流で画素のコンデンサ19をプログラムする必要がある。したがって、寄生容量404が所定値以上の大きさと発生すると、1画素行にプログラムする時間（通常1H以内、ただし、2画素行を同時に書き込む場合もあるので1H以内に限定されるものではない）内に寄生容量を充放電することができない。1H期間で充放電できなければ、画素への書き込み不足となり、解像度が全く出ない。

【0303】図6の画素構成の場合、図7（a）に示すように、電流プログラム時は、プログラム電流I1がソース信号線18に流れる。この電流I1が変換用TFT11aを流れ、プログラム電流I1を流す電流が保持されるように、コンデンサ19のV1が設定（プログラム）される。このとき、スイッチング用TFT11dはオープン状態（オフ状態）である。

【0304】次に、EL素子15に電流を流す期間は図7（b）のようにTFT11が動作する。つまり、ゲート信号線17aにオフ電圧Vghが印加され、変換用TFT11a、取込用TFT11cがオフする。一方、ゲート信号線17bにオン電圧Vglが印加され、スイッ

チング用TFT11dがオンする。

【0305】今、プログラム電流I1が本来流す電流（所定値）のN倍であるとする、図7（b）のEL素子15に流れる電流もI1となる。したがって、所定値のN倍の輝度でEL素子15は発光する。

【0306】そこで、スイッチング用TFT11dを本来オンする時間（約1F）の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ をオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ （全画面を1とする）が点灯している点である（CRTでは、点灯している範囲は1画素行（厳密には1画素）である）。

【0307】本発明では、この $1/N$ の画像表示領域が図38（a1）に示すように、表示画面21の上から下に移動する。本発明では、1F/N期間の間だけ、EL素子15に電流が流れ、他の期間 $(1F \cdot (N-1)/N)$ は電流が流れない。したがって、画像は間欠表示となるが、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0308】この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のEL表示パネル）では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ぼけとなっていた（画像の輪郭ぼけ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができるのである。

【0309】また、EL表示装置では、黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のようなコントラスト低下もない。また、図7に示すように、スイッチング用TFT11dをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリされているためである。つまり、各画素16に、画像データは1Fの間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをスイッチング用TFT11dの制御により実現しているのである。

【0310】したがって、間欠表示を実現する場合としない場合では、1画素を構成するTFT11の個数に変化はない。つまり、画素構成はそのまま、ソース信号線18の寄生容量404の影響を除去し、良好な電流プログラムを実現している。その上、CRTに近い動画表示を実現しているのである。

【0311】また、ゲートドライバ12の動作クロック

はソースドライバ14の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、Nの値の変更も容易である。

【0312】画像表示方向（画像書き込み方向）は図39に図示するように、第1フィールド目では画面の上から下方向とし（図39（a））、次の第2フィールド目では画面の下から上方向（図39（b））としてもよい。つまり、図39（a）と図39（b）とを交互に繰り返せばよいのである。

【0313】さらに、図40に図示するように、第1フィールド目では画面の上から下方向とし（図40（a））、一旦全画面を黒表示（非表示領域）312とした後（図40（b））、次の第2フィールド目では画面の下から上方向（図40（c））とし、また一旦全画面を黒表示（非表示領域）312としてもよい（図40（d））。つまり、図40（a）から図40（d）の状態を交互に繰り返せばよいのである。

【0314】なお、図39、図40などにおいて、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定されるものではない。以上の事項は他の本発明の実施例でも同様である。

【0315】図38（a）は画像表示領域311を $1/N$ とし、非表示領域312を $(N-1)/N$ としている（ただし、これは理想状態の場合である。現実にはコンデンサ19、交換用TFT11aのソースゲート（SG）容量による突き抜けがあるので異なる）。つまり、画像表示領域311を1つにした場合である。画像表示領域311は矢印に示すように、画面の上から下方向に移動する（図38（a1）→図38（a2）→図38（a3）→図38（a1）→）。ただし、この画像表示領域311の移動は画面の上から下方向に移動することに限定されるものではなく、画面の下から上方向に移動するとしてもよい。また、1フレーム目（1フィールド目）は画面の上から下方向に移動させ、次の2フレーム目（2フィールド目）は画面の下から上方向に移動するように走査（操作）してもよいことは言うまでもない。また、画面の右から左、あるいは画面の左から右に走査（操作）してもよい。

【0316】図37は動作タイミング波形である。先にも記載したように、1Fの期間で1画面が表示されるとし、1Hの期間で電流プログラムされている。図37（a）は図6（a）、（b）におけるゲート信号線17aのタイミング波形を示す。また、図37（b）は、ゲート信号線17bのタイミング波形を示す。基本的には、ゲート信号線17bがオン電圧Vglとなった時にスイッチング用TFT11dが導通し（期間は1F/N）、EL素子15にピーク電流が所定電流I1のN倍の電流が流れ、EL素子15は所定輝度BのN倍の輝度 $(N \cdot B)$ で発光する。1F/ $(N-1)/N$ の期間はスイッチング用TFT11dがオフ状態となる。この

ゲート信号線の制御は図10のように、ゲートドライバ12内の2つのシフトレジスタ(22a、22b)を制御することにより容易に実現できる。シフトレジスタ22aはゲート信号線17aの制御データを保持(走査)し、シフトレジスタ22bはゲート信号線17bの制御データを保持(走査)すればよいからである。

【0317】図41はゲート信号線17bの波形を示す。図41(a)を第1画素行目のゲート信号線17bの電圧波形とすると、図41(b)は第1画素行目に隣接した第2画素行目のゲート信号線17bの電圧波形を示す。同様に、図41(c)は次の第3画素行目のゲート信号線17bの電圧波形、図41(d)は第4画素行目のゲート信号線17bの電圧波形を示す。

【0318】以上のように、各画素行でゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を1F/Nに規定しながら、順次点灯する画素行をシフトさせることができるので、各画素行でゲート信号線17bの波形を同一にし、シフトさせることは容易である。図10のシフトレジスタ22a、22bに印加するデータであるST1、ST2を制御すればよいからである。例えば、入力ST2がLレベルの時、ゲート信号線17bにオン電圧Vg1が出力され、入力ST2がHレベルの時、ゲート信号線17bにオフ電圧Vghが出力されるとすれば、ゲート信号線17bに印加するST2を1F/Nの期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしていくだけである。

【0319】同様に、図37(a)に示すゲート信号線17aの波形の作成も容易である。図10のシフトレジスタ22aの入力データであるST1を制御すればよいからである。例えば、入力ST1がLレベルの時、ゲート信号線17aにオン電圧Vg1が出力され、入力ST1がHレベルの時、ゲート信号線17aにオフ電圧Vghが出力されるとすれば、ゲート信号線17aに印加するST1を1Hの期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST1を1Hに同期したクロックCLK1でシフトしていくだけである。

【0320】図38(b)は画像表示領域311を1/(2N)とし、2つの画像表示領域311a、311bを矢印に示すように、画面の上から下方向に移動した例である(図38(b1)→図38(b2)→図38(b3)→図38(b1)→)。ただし、この画像表示領域311a、311bの移動は画面の上から下方向に移動することに限定されるものではなく、画面の下から上方向に移動するとしてもよい。また、1フレーム目(1フィールド目)は画面の上から下方向に移動させ、次の2フレーム目(2フィールド目)は画面の下から上方向に移動するように走査(操作)してもよいことは言うまで

もない。また、画面の右から左、あるいは画面の左から右に走査(操作)してもよい。

【0321】さらに、図38(c)は画像表示領域311を1/(3N)とし、3つの画像表示領域311a、311b、311cを矢印に示すように、画面の上から下方向に移動した例である(図38(c1)→図38(c2)→図38(c3)→図38(c1)→)。

【0322】図38(b)、(c)に示すように、画像表示領域311を複数に分割すればするほど、画像表示全体のフレームレート(1秒間に画面を書く回数、例えばフレームレート60とは、1秒間に60回画面を書き換えること)を低下させることができる。フレームレートを低下させれば、その分、回路の動作クロックを低下させることができるから消費電力を小さくできる。つまり、EL素子15の発光期間が短くなり、かつ見かけ上の瞬時輝度が高くなり、その上、画像表示領域311と非表示領域312とが高速に繰り返されるため、フリッカが低減する。したがって、フレームレートを低減することができる。

【0323】以上のように駆動させることで、1フレーム(1フィールド)内に点灯する回数を増やし、フリッカを低減させることができる。EL素子の点灯においては点灯回数を増やすことで周波数成分が高くなることから人間の目に観測されにくくなる。例えば、1回あたりの点灯期間を1/7にして1フレームに7回点灯させると、フレーム周波数が30Hzにおいてもフリッカのない表示が実現できた。

【0324】スイッチング用TFT11dのオンオフを制御することにより、画像の輝度を調整(可変)することができる。例えば、図38(a)の場合(画像表示領域311が1つの場合)は、非表示領域312の面積を変化させることにより、表示画面21の明るさが変化する(図42(a1)より図42(a2)の方が暗く、図42(a2)より図42(a3)の方が暗い)。

【0325】同様に、図38(b)の場合(画像表示領域311が2つの場合)は、図42(b1)より図42(b2)の方が暗く、図42(b2)より図42(b3)の方が表示画面21の表示輝度が暗くなる。また、図38(c)の場合(画像表示領域311が3つの場合、つまり3以上)も同様である(図42(c1)より図42(c2)の方が暗く、図42(c2)より図42(c3)の方が暗くなる)。

【0326】なお、図38では画像表示領域311は表示画面21上を走査するとしたが、これに限定されるものではなく、図42(c1)、(c2)に図示するように、1フレーム(1フィールド)目は全画面を非表示領域312とし、次の2フレーム(2フィールド)目は全画面を画像表示領域311としてもよい。つまり、全画面を画像表示状態と非点灯状態とを交互に繰り返す。ただし、画像表示時間と、非点灯時間とを等時間に限定す

るものではない。例えば、画像表示時間を $1F/4$ とし、非点灯時間を $3F/4$ としてもよい。このように、画像表示時間と、非点灯時間との割合を変化させることによって画像の表示輝度を変化（調整）することができる。

【0327】いずれにせよ、図43に示すように、Nの値を変化させることにより、画像の表示輝度Bはリニアに変化させることができる。また、Nの値を制御するだけで容易に画像の明るさを可変できる。

【0328】図44は、本発明の表示輝度を調整（制御）する回路のブロック図である。フレームメモリ（フィールドメモリ）354には、外部から入力された映像データが蓄積される。CPU353は蓄積された映像データを用いて演算をする。演算は、映像データの最大輝度、最適輝度、平均輝度、輝度分布のうち少なくとも1つ以上を用いる。また、連続する映像データの各フレームの最大輝度、最適輝度、平均輝度、輝度分布およびその変化割合も考慮する。

【0329】演算した結果は輝度メモリ352にストアされる。輝度メモリ352とは画像の明るさを補正したデータである。例えば、海岸などの明るい画面では画像の平均輝度を明るく補正し、その画像データ内で比較的暗い部分があるときは、実際値よりも暗い画像データに変換する。また、夜の画面などでは、画像が全体的に暗いため、比較的明るい部分をより明るく補正する。

【0330】カウンタ回路351は図43のN値をいくらにするかをカウントする回路である。ゲート信号線17bの波形においてN値をリアルタイムで変化させる。N値は時間であるから、カウンタでカウントすることにより容易に変化させることができ、画像の明るさを変更

【0331】切り替え回路355は画素16のTFT11をオンさせる電圧 V_{gl} とオフさせる電圧 V_{gh} （画素TFT11がPチャンネルの場合であり、Nチャンネルではその逆である）を切り替える回路である。つまり、カウンタ回路351の出力に基づき、図37（b）に示す $1F/N$ の期間を変化させる。したがって、表示画面21の明るさをリアルタイムで容易に可変することができる。

【0332】映像信号データに応じて表示輝度をリアルタイムで制御する。このように制御することにより、明るさ表現のダイナミックレンジを実質上3倍以上に拡大することができる。また、EL表示装置は、EL素子に電流を流さない時は完全に黒表示（非点灯）となるから、画像表示の黒浮きも発生しない。つまり、コントラストも高くなる。特に電流プログラムの場合、黒表示では、画素にプログラムする電流値が $10nA$ と小さいので、寄生容量404を十分充放電できず、完全な黒表示を実現することが難しい。また、ゲート信号線17に印加されたパルスによりソース信号線18に電力が供給さ

れ（突き抜け電圧）、黒浮きが発生する。

【0333】本発明は強制的にスイッチング用TFT11dをオフにし、EL素子15に電流を供給することを停止する。したがって、EL素子15は完全に非点灯状態となる。そのため、良好なコントラストを実現できる。

【0334】なお、図44において、映像信号の映像データに基づき、リアルタイムで画像の明るさを変化させるとしたが、これに限定されるものではない。例えば、ユーザーが明るさ調整スイッチを押したり、明るさ調整ボリュームを回したりする時に、この変化を検出してカウンタ回路351のカウンタ値を可変して、表示画面21の輝度（あるいはコントラスト、もしくはダイナミックレンジ）を変化させてもよい。また、外光などの明るさをホトセンサで検出し、この検出したデータに基づき、表示画面21の明るさなどを自動的に変化させてもよい。また、表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0335】明るさ調整は、EL素子15側のTFT（図6ではスイッチング用TFT11d）をオンオフさせることにより実現できる。この場合、ソースドライバ14から出力するプログラム電流（電圧：電圧プログラム方式の場合）は固定値である（プログラム電流は変化させない）ので、ソースドライバの回路構成を簡略化できる。つまり、表示画面の明るさに対応して出力電流（電圧）などを変化させる必要がないからである。例えば、従来の液晶表示パネルでは64階調表示のときは、最大明るさの64階調目を使用する。これよりも明るさ調整で輝度を下げる時は、例えば32階調目までを使用する。このように回路を構成すると、画面輝度が暗いときには階調表示数が少なくなる。

【0336】また、EL素子15側のTFT11をオンオフさせる（EL素子15に流れる電流を間欠表示させる）方式でも、オフ期間の調整により明るさを自由に調整できる。その際、本発明による明るさ調整は、ガンマ調整、リニアリティの明るさ変化においても保持できる。電源電圧 V_{dd} も固定値であるから構成上も有利である。

【0337】また、スイッチング用TFT11dを画面の上から下方向に、オンオフ状態を制御することにより容易に画面の輝度をガウス分布させることができる。制御するにもほとんど演算機能を必要としない。この方法については後ほど説明をする。

【0338】なお、EL素子15をオンオフする周期は $0.5msec$ 以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。あるいは、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を $100msec$ 以上にすると、点滅状態に見える。したがって、E

L素子のオンオフ周期は0.5 msec以上100 msec以下、さらには2 msec以上30 msec以下にすべきである。さらに好ましくは、オンオフ周期を3 msec以上20 msec以下にすべきである。

【0339】黒画面（非表示領域）312の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなるので、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ぼけが発生するので、分割数は1以上8以下とすべきである。さらには1以上5以下とすることが好ましい。

【0340】なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。75%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画の場合は分割数を多くし、動画の場合は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などを入力コンセントに対応させて切り替えるように構成すればよい。

【0341】例えば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えるように構成することが好ましい。例えば、分割数なし、2、4、8などである。

【0342】また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（ N で表示すれば1.2以上9以下）とすること、特に0.25以上0.6以下（ N で表示すれば1.25以上6以下）とすることが好ましい。なぜなら、0.20以下であると動画表示での改善効果が低いからである。また、0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなるからである。

【0343】また、1秒あたりのフレーム数は、10以上100以下（10 Hz以上100 Hz以下）、さらには12以上65以下（12 Hz以上65 Hz以下）が好ましい。なぜなら、フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ソースドライバ14などからの書き込みが苦しくなり解像度が劣化するからである。

【0344】いずれにせよ、図37、図44などを用いて先に説明したように、本発明では、ゲート信号線17の制御や、ソース信号線18に印加する電流（電圧）の変化により行ってもよいし、また、両者を組み合わせて

行ってもよい。

【0345】なお、以上の事項は、図74、図76などの電圧プログラムの画素構成でも適用できることは言うまでもない。例えば、図74ではTF T11eをオンオフ制御すればよい。

【0346】ゲート信号線17bの1F/Nの期間だけ、オン電圧 V_{g1} にする時刻は図45に図示するように、1F（1Fに限定されるものではなく、単位期間でよい）期間のうち、どの時刻でもよい。単位期間のうち、所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、図45(a)のプログラム期間（1H）後、すぐにゲート信号線17bをオン電圧 V_{g1} にしてEL素子15を発光させる方が、図6のコンデンサ19の保持率特性の影響を受けにくくなるのでよい。また、1F/Nの期間は図45(b)において、A、Bの記号と矢印で示すように、位置を変化させるように構成してもよい。図10におけるSTに印加するデータのタイミング（1FのいつにLレベルにするか）を調整あるいは可変できるように構成しておけば、この変化も容易に実現できる。

【0347】また、図46に図示するように、ゲート信号線17bをオン電圧 V_{g1} にする期間（1F/N）を複数に分割（分割数K）してもよい。つまり、オン電圧 V_{g1} にする期間は1F/(K/N)の期間をK回実施する。このように制御すれば、画像表示状態は図38(b)（ $K=2$ ）、図38(c)（ $K=3$ ）となる。このように、点灯させる画像部（画像表示領域311）を複数に分割することによりフリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。例えば、ユーザーが明るさ調整スイッチを押したり、明るさ調整ボリュームを回したりすることで、この変化を検出してKの値を変更するというように、表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0348】このように、図10におけるSTに印加するデータのタイミング（1FのいつにLレベルにするか）を調整あるいは可変できるように構成しておけば、Kの値（画像表示領域311の分割数）を変化させることも容易に実現できる。

【0349】なお、図46では、ゲート信号線17bをオン電圧 V_{g1} にする期間（1F/N）を複数に分割（分割数K）し、オン電圧 V_{g1} にする期間は1F/(K/N)期間をK回実施するとしたがこれに限定されるものではない。1F/(K/N)期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより表示画面21を表示するものであるので、1F/(K/N)の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、表示画面

21の輝度をデジタル的に変更することができる。例えば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化をなす。これらの制御も図10、図44、図55、図56などの回路構成で容易に実現できる。

【0350】また、画像表示領域311を分割する時、ゲート信号線17bをオン電圧 V_{gl} にする期間は同一期間に限定されるものではない。例えば、図47に示すように、オン電圧 V_{gl} にする期間を t_1 と t_2 のように複数の期間としてもよい。

【0351】図37では隣接した画素行を順次点灯（表示）させるように図示したが、本発明はこれに限定されるものではない。図48に図示するように、インターレース走査してもよい。このインターレース走査とは、第1フィールドでは奇数画素行に画像を書き込み（図48（a）書き込み画素行391）、次の第2フィールドでは偶数画素行に画像を書き込む（図48（b）書き込み画素行391）画像表示方法である。書き込まない画素行は前のフィールドの画像データを保持している（保持画素行392）。このように、EL表示装置でインターレース走査をすることにより、フリッカを減少させ得ることができる。

【0352】この図48の駆動方法であれば、すべての（あるいは複数の）偶数画素行のゲート信号線17bを共有でき、また、すべての（あるいは複数の）奇数画素行のゲート信号線17bを共有できる。したがって、ゲート信号線17の引き回し数を大幅に削減できる。また、全画面を画像表示領域311と非表示領域312とを交互に表示する場合は、すべてのゲート信号線17bを共有できる。これらの構成は図13などの3辺フリーの構成で特に有効である。

【0353】なお、インターレース走査は、第1フィールドでは奇数画素行に画像を書き込み、次の第2フィールドでは偶数画素行に画像を書き込むとしたが、これに限定されるものではない。例えば、第1フィールドでは2画素行とばして2画素行ずつ画像を書き込み、次の第2フィールドでは第1フィールドで書き込まなかった2画素行ごとに画像を書き込んでもよい。また、3画素行ずつあるいは4画素行ずつでもよい。また、第1フィールドでは画面の2行目から2画素行ずつ画像を書き込み（図49（a）を参照）、次の第2フィールドでは1行目から2画素行ごとに画像を書き込んでもよい（図49（b）を参照）。また、図49に図示するように、書き込んでいる画素行あるいは書き込む画素行を非表示領域312となるように制御してもよい。また、第1フィールドでは画面の上から下に向かって画像を書き込み、第2フィールドでは画面の下から上に向かって画像を書き込んでもよい。これらもすべてインターレース走査の概念に含まれる。

【0354】インターレース走査も図37、図41で説明した方法を実施することで容易に実現できる。点灯さ

せない非表示領域312に該当する画素行は図6（a）に示すスイッチング用TFT11dをオフさせればよいからである。

【0355】また、当然のことながら図50に図示するように、非表示領域312とインターレース走査とを組み合わせることができる。図50（a）では、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図50（a）では第1行目から画像を書き込んでいる。図50（b）でも同様に、書き込み画素行391と保持画素行392からなる走査領域501を順次シフトさせる。なお、図50（b）では第2行目から画像を書き込んでいる。

【0356】以上の実施例は主として図6の画素16の構成について説明した。しかし、本発明はこれに限定されるものではない。例えば、図8や図9の画素16でも実現できる。

【0357】図8の画素構成では、ゲート信号線17aにオン電圧 V_{gl} を印加することにより、コンデンサ19にソース信号線18に印加した電流値がプログラムされる。図51に図示するように、ソース信号線18にはソースドライバ14内の電源切り替え手段403から映像信号に該当するデータが印加される。プログラムされた電流は、カレントミラー効率 β が1の時、前記電流が駆動用TFT11bに流れ、この電流がEL素子15に印加される。この関係（タイミング波形など）は図37に図示した事項を流用でき、あるいは類似するので説明を要さないであろう。ただし、電流プログラムを行う際、取込用TFT11cとスイッチング用TFT11dのオンあるいはオフタイミングを個別に制御しなければならない場合がある。この場合は、取込用TFT11cとスイッチング用TFT11dをオンオフさせるゲート端子を別のゲート信号線17としなければならない。

【0358】図38などの表示方法を実施するためには、EL素子15に流す電流を遮断する必要がある。この遮断を目的として図51に図示するように、TFT11eを付加する。TFT11eのゲート端子をオン電圧 V_{gl} にすることによりEL素子15に電流が印加され、TFT11eのゲート端子をオフ電圧 V_{gh} にすることによりEL素子15への電流が遮断される（非点灯状態）。

【0359】したがって、図37などで説明したゲート信号線17a、17bの信号波形を印加することにより、図38などで説明した画像表示を実現できる。

【0360】画像表示領域311と非表示領域312は図52に図示するように、奇数画素行と偶数画素行とをフレーム（フィールド）ごとに切り替えてもよい。図52（a）で奇数画素行を表示し、偶数画素行を非表示とすれば、次のフレーム（フィールド）（図52（b）を参照）では奇数画素行を非表示にし、偶数画素行を表示する。

【0361】このように、1画素行ごとに非表示領域と表示領域とを繰り返すように表示すれば、フリッカの発生が大幅に抑制される。

【0362】なお、図52において、1画素行ごとに非表示画素行と表示画素行にするとしたがこれに限定されるものではなく、2画素行ごとあるいはそれ以上の画素行ごとに非表示画素行と表示画素行にするとしてもよい。

【0363】例えば、2行ごとであれば、第1フィールド（フレーム）では、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行となる。次の第2フィールド（フレーム）では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行とすると、5画素行目と6画素行目は非表示画素行となる。また、次の第3フィールド（フレーム）では、第1フィールドと同様、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とすると、5画素行目と6画素行目は表示画素行となる。

【0364】なお、本明細書でフィールドとフレームの文言は同義に使用したり、分離したりしている。一般的に、NTSCのインターレース駆動において、1フレームは2フィールドで構成される。しかし、プログレッシブ駆動において、1フレームは1フィールドである。このように、映像の信号の世界ではフィールドとフレームは使い分けられているが、本発明における表示パネルに表示する画像はプログレッシブでもインターレースでもどちらでも適用できる。そのため、どちらでもよいという表現としている。フィールドでもフレームでも概念的には一連の画面を書き終える時間の単位である。

【0365】図53の表示方法も有効である。ここで説明を容易にするため、図53(a)を第1フィールド（第1フレーム）、図53(b)を第2フィールド（第2フレーム）、図53(c)を第3フィールド（第3フレーム）、図53(d)を第4フィールド（第4フレーム）とする。

【0366】第1フィールド（フレーム）では、1画素行目と2画素行目を非表示画素行とし、3画素行目と4画素行目を表示画素行、5画素行目と6画素行目を表示画素行とする。第2フィールド（フレーム）では、奇数画素行目を表示画素行とし、偶数画素行目を非表示画素行とする。第3フィールド（フレーム）では、1画素行目と2画素行目を表示画素行とし、3画素行目と4画素行目を非表示画素行とする。第4フィールド（フレーム）では、奇数画素行目を非表示画素行とし、偶数画素行目を表示画素行とする。以後、第1フィールド（第1フレーム）の表示状態から順次繰り返す。

【0367】図53の駆動方法では、4フィールド（フレーム）で1ループとしている。このように、複数フィ

ールド（複数フレーム）で画像表示を行うことにより、図52よりもフリッカの発生は抑制されることが多い。

【0368】なお、図53の実施例では、第1フィールド（フレーム）では、2画素行目ずつ非表示画素行とし、第2フィールド（フレーム）では、1画素行目ずつ非表示画素行としたがこれに限定されるものではない。また、第1フィールド（フレーム）では、4画素行目ずつ非表示画素行とし、第2フィールド（フレーム）では、2画素行目ずつ非表示画素行とし、第3フィールド（フレーム）では、1画素行目ずつ非表示画素行とし、第4フィールド（フレーム）では、4画素行目ずつ非表示画素行とし、第5フィールド（フレーム）では、2画素行目ずつ非表示画素行とし、第6フィールド（フレーム）では、1画素行目ずつ非表示画素行としてもよい。

【0369】本発明の駆動方法は、表示効果（アニメーション効果など）を実現することも容易である。図54は表示領域が図54(a)→図54(b)→図54(c)→図54(d)と順次現れる表示方法である。ゆっくりと非表示領域312をスクロールしていくことによりアニメーション効果を実現できる。これらの制御は図10、図55、図56などの回路構成でも容易に実現できる。これは、映像として黒表示状態を書き込まず、ゲート信号線17bなどの制御によりアニメーション効果を容易に実現している。

【0370】液晶表示パネルなどの画素に1フィールド（1フレーム）期間データを保持する表示パネルは動画ぼけが発生するという課題がある。ただし、CRTなどは電子銃により一瞬表示されるだけなので動画ぼけの問題は発生しない。

【0371】この課題を解決するのに有効な手段が黒挿入である。本発明は動画表示を極めたCRTに近い黒挿入方式を容易に実現できる。

【0372】図57は画面の上から下にFという文字が移動するところを示している。図57に図示するように、画像表示（図57(a)、(c)、(e)）の間に非表示状態（図57(b)、(d)、(f)）を挿入している。したがって、画像は飛び飛びの表示となる。そのため、動画ぼけが発生せず、良好な動画表示を実現できる。

【0373】このように、全画面を非表示領域とするには図55の回路構成を採用すればよい。図10との差異は、ENBL端子601を具備する点である。ENBL端子601はゲート信号線17が形成されたOR回路602の一端に接続されている。ENBL端子をLレベルとすることにより、すべてのゲート信号線17bにはVghレベルが出力され、EL素子15に電流を供給するスイッチング用TFT11dまたはTFT11eがオフ状態となり、全画面が非表示領域312となる。また、ENBL端子がHレベルの時は、通常動作が実施される。

【0374】なお、図10、図55、図56、図58では、ST端子に入力されたデータをクロックで順次シフトしていく（シリアル動作）として説明したが、これに限定されるものではない。例えば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい（すべてのゲート信号線のオンオフフロジックがコントローラまたはゲート信号線17の本数分、一度に出力され決定される構成など）。

【0375】図57の実施例は、動画表示であったが、R、G、Bごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である（図59参照）。図59において、図59（a）は赤色表示311Rの画像、図59（c）は緑色表示311Gの画像、図59（e）は青色表示311Bの画像である。図59（a）、

（c）、（e）の各画像の間に非表示状態（図59（b）、（d）、（f））を挿入している。この動作を図59（a）から図59（f）までの動作をゆっくりと実施すれば、R、G、Bの画像がフラッシュイングしているように表示することができる。

【0376】また、図60のように、異なる画像ごとにフラッシュイングさせるなどのアニメーション効果の実施も容易である。図60において、図60（a）は第1画像311a、図60（c）は第2画像311b、図60（e）は第3画像311cである。図60（a）、（c）、（e）のそれぞれの画像の間に非表示状態（図60（b）、（d）、（f））を挿入している。図60（a）から図60（f）までの動作をゆっくりと実施すれば、第1、第2、第3の画像がフラッシュイングしているように表示することができる。

【0377】以上の実施例は、概念的にはソース信号線18の所定値に対してN倍の電流を流し、EL素子15には $1/N$ の期間だけN倍の電流を流して所望の輝度を得る方法（構成）である。この方法（構成）により、寄生容量404の存在による書き込み不足の課題を解決した。

【0378】なお、N倍する駆動方法は、1倍（従来の駆動方式）の時よりも発光効率が向上する。これは、図6の駆動用TFT11b（コンデンサ19側）の突き抜け電圧の影響であり、N倍にする方が、この突き抜け電圧の影響を軽減できる。N倍数は1.5倍以上8倍以下が適切である。これ以上であると、EL素子の発光効率が低下し、全体としての効率も低下するので、N倍数は2倍以上6倍以下が好ましい。ここで、N倍するとは、発光期間を $1/N$ にするということである。したがって、N倍数を2倍以上6倍以下にするとは、発光期間を $1/2$ 以上 $1/6$ 以下にする（通常の明るさの時）ということになる。

【0379】なお、本発明はスイッチング用TFT11dをオフさせ、EL素子15への電流を遮断した後、再び、スイッチング用TFT11dをオンさせることに

り、EL素子15に先と同様に電流を流すことができる。本発明はこの原理をうまく応用して、 $1/N$ の期間に電流を流し、所定の輝度を得ている。このように駆動できるのは、流す電流値が画素16ごとにコンデンサ19に保持されているからである。つまり、本発明は、EL素子15に流す電流値を保持しながらEL表示パネル特有の画素構成をうまく応用していると言うことができる。

【0380】（実施の形態7）図61の構成は、駆動用TFT11aに対し、駆動能力がN-1倍の駆動用TFT11anを形成することにより、寄生容量404の存在による書き込み不足の課題を解決する方法である。

【0381】図61と図6（a）との差異は、駆動用TFT11aの他に、N-1倍の駆動用TFT11an-1とスイッチング用TFT11fを追加した点である。図6と図61との差異を中心に説明する。駆動用TFT11an-1としたのは、駆動用TFT11an-1と駆動用TFT11aとの電流が加算されればN倍になるように構成したためである。つまり、駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aのチャンネル幅W1のN-1倍にしているということである。例えば、N=10であって、駆動用TFT11aのチャンネル幅W1が1とすれば、駆動用TFT11an-1のチャンネル幅W2は9倍である。したがって、理論的には、駆動用TFT11aが1の電流を流せば駆動用TFT11an-1は9倍の電流を流す能力があるということになる。

【0382】なお、図61で駆動用TFT11an-1の駆動電流をN-1としたのは、図61の構成では、N倍の電流をソース信号線18に流す時、EL素子15に電流を流す駆動用TFT11aの1倍の電流が加算されるからである。図62の構成では、EL素子15に電流を流す駆動用TFT11bの電流はソース信号線18に流れることはないからTFT11nの駆動電流をN倍にする必要がある。

【0383】ここで説明を容易にするため、駆動用TFT11aはI1なる電流を流すとし、駆動用TFT11an-1はI_{n-1}の電流を流すとする、 $I1 + I_{n-1} = Iw$ （この場合、IwはEL素子15に流す電流I1のN倍とする）という式が成り立つ。

【0384】電流プログラム期間にはゲート信号線17aがオン電圧Vg1に印加され、駆動用TFT11b、スイッチング用TFT11f、取込用TFT11cがオン状態となる。また、ゲート信号線17bにはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態となる。したがって、プログラム電流Iwに相当する電圧がコンデンサ19にプログラムされる。つまり、 $I1 + I_{n-1} = Iw$ （この場合、IwはEL素子15に流す電流I1のN倍とする）なる電流がソース信号線18に流れる。

【0385】次に、EL素子15に電流を流す期間ではゲート信号線17aにオフ電圧V_{gh}が印加され、駆動用TFT11b、スイッチング用TFT11f、取込用TFT11cがオフ状態となる。したがって、ソース信号線18と画素16とは切り離される。また、ゲート信号線17bにはオン電圧V_{gl}が印加され、スイッチング用TFT11dはオン状態となる。したがって、プログラム電流I_wの1/Nに対応する電流I_lがEL素子15に流れる。

【0386】以上のように駆動することにより、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値の電流を印加することができる。

【0387】図61ではN-1の電流能力がある駆動用TFT11a_{n-1}を1つ画素に作製するとしたがこれに限定されるものではない。図63に示すように、複数個のTFT（図63ではTFT11n₁～TFT11n₆）を作製してもよい。動作は図61と同様であるので説明を省略する。

【0388】また、図8に図示したカレントミラー方式においても図61の構成を展開することができる。図62に図示するように、N倍の駆動能力を有するTFT11nを形成すればよい。ただし、カレントミラー構成ではスイッチング用のTFT11fは必要がない。

【0389】図62において、TFT11nのチャンネル幅W2と駆動用TFT11bのチャンネル幅W1との比は、N:1としている。ここで説明を容易にするため、駆動用TFT11bはI_lなる電流を流すとし、TFT11nはI_nの電流を流すとする、I_n=I_w（この場合、I_wはEL素子15に流す電流I_lのN倍とする）となる。

【0390】電流プログラム期間にはゲート信号線17aにオン電圧V_{gl}が印加され、取込用TFT11c、スイッチング用TFT11dがオン状態となる。したがって、プログラム電流I_wに相当する電圧がコンデンサ19にプログラムされる。つまり、I_n=I_w（この場合、I_wはEL素子15に流す電流I_lのN倍とする）なる電流がソース信号線18に流れる。なお、取込用TFT11cとスイッチング用TFT11dとは少しタイミングをずらせてオンオフ状態を制御することが好ましい。この場合、取込用TFT11cを制御するゲート信号線とスイッチング用TFT11dを制御するゲート信号線とを別個にし、独立制御をする必要がある。

【0391】次に、EL素子15に電流を流す期間ではゲート信号線17aにオフ電圧V_{gh}が印加され、取込用TFT11c、スイッチング用TFT11dがオフ状態となる。したがって、ソース信号線18と画素16とは切り離され、プログラム電流I_wの1/Nに対応する

電流I_lがEL素子15に流れる。

【0392】以上のように駆動することで、ソース信号線18には所望値の電流（EL素子に流す電流）のN倍の電流を流すことができる。したがって、寄生容量404の影響が除外され、十分にコンデンサ19に電流プログラムを行うことができる。一方、EL素子15には所望値の電流を印加することができる。

【0393】なお、ゲート信号線17bとTFT11eは図51で説明したように、図14などの非画像表示あるいは1/N期間だけEL素子15に電流を流すように制御するために設けたものである。したがって、図62の構成において、さらにN倍の電流を流し、EL素子15に流す電流を1/N期間のパルス駆動することにより、寄生容量404による書き込み不足の問題は全くなくなる。また、黒挿入表示を容易に実現でき、良好な動画表示を実現できる。

【0394】また、図62の構成は非常に有効である。例えば、図6のみの構成で、N=10を実現しようすると、所望値よりも10倍高いパルス状の電流をEL素子15に印加する必要がある。この場合、EL素子15の端子電圧が高くなることから、V_{dd}電圧を高く設計する必要があり、また、EL素子15が劣化する可能性もある。

【0395】しかし、図62の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの5倍とし、2倍高い電流でプログラムすれば、5×2=10となるので、EL素子15には2倍の電流を1/2の期間だけ印加すれば実現できる。したがって、EL素子15が劣化する問題もなくなるし、V_{dd}電圧をほとんど高くする必要がない。

【0396】逆に、TFT11nだけでN=10を実現しようすると、図62の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの10倍とする必要がある。10倍にするとTFT11nの形成面積が、画素の面積のほとんどを占有する。したがって、画素開口率が極めて小さくなるか、もしくは実現不可能になる。しかし、図62の構成では、TFT11nのチャンネル幅W2を駆動用TFT11bの5倍とするだけで済むので十分な画素開口率を実現することができる。

【0397】N=10の実現方法は数多くある。例えば、TFT11nのチャンネル幅W2を駆動用TFT11bの2倍とし、5倍高い電流をEL素子15に1/5の期間印加する方法や、TFT11nのチャンネル幅W2を駆動用TFT11bの4倍とし、2.5倍高い電流をEL素子15に1/2.5の期間印加する方法などである。つまり、TFT11nの設計（チャンネル幅W2）とEL素子15に流す電流とその期間とを考慮して掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0398】なお、図62ではNの電流能力があるTF

T11nを1つ画素に作製するとしたがこれに限定されるものではない。図64に示すように、複数のTFT（図64ではTFT11n1～TFT11n5）を作製してもよい。動作は図62と同様であるので説明を省略する。

【0399】N=10の実現方法が数多くあるのは、図61の構成でも同様である。駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aの4倍とし、2倍高い電流をEL素子15に1/2の期間印加する方法や、駆動用TFT11an-1のチャンネル幅W2を駆動用TFT11aの2倍とし、5倍高い電流をEL素子15に1/5の期間印加する方法などである。つまり、駆動用TFT11an-1の設計（チャンネル幅W2）とEL素子15に流す電流とその期間とを考慮して掛算が10となるようにすればよい。このように、Nの値は自由に設計することができる。

【0400】以上に説明した事項は、図61、図63、図65～図67においても適用できることは明らかである。つまり、本発明はチャンネル幅が大きい駆動用TFTを各画素に形成し、ソース信号線18を駆動する電流を増大させる。かつ、図38などで説明したようにEL素子15に流す電流を増大するとともに、EL素子15に流す電流を所定の期間とする方法あるいは構成である。

【0401】また、スイッチング用TFT11dあるいはTFT11eのオンオフを制御することにより、図14、図38などで説明した表示を実現できる。この表示により、動画表示を改善でき、また、明るさを調整することができる。したがって、本発明ではEL素子にN倍あるいはNに比例した電流をEL素子15に印加するとしたが、これに限定されるものではない。所定の1倍あるいはそれ以下の電流をEL素子15に流す構成でもよい。この場合でも、動画表示を改善でき、また、明るさを容易に調整することができるという効果を発揮できるからである。

【0402】図6および図61も同様であるが、スイッチング用TFT11dをオン状態にする際、抵抗値を高くすることにより駆動用TFT11aのキンク現象による特性ばらつきを抑制できる。このことは図6(b)の構成で説明をした。図6(b)のTFT11eを配置し、TFT11eのゲート端子にVbb電圧(Vgl<Vbb<Vgh)を印加することにより、駆動用TFT11aに流れる電流のばらつきが減少するのである。

【0403】したがって、図6および図61の画素構成においても、ゲート信号線17bにVbb電圧を印加してスイッチング用TFT11dをオンさせることが好ましい。つまり、スイッチング用TFT11dはオフ状態ではオフ電圧Vghが印加され、オン状態ではVbb電圧を印加するのである。

【0404】図56のように回路構成すればこの制御は

容易である。シフトレジスタ22bの出力段のインバータはオフ電圧VghとVbb電圧を電源とすれば、オフ状態ではゲート信号線17bにオフ電圧Vghが印加され、オン状態ではゲート信号線17bにVbb電圧が印加できるからである。

【0405】なお、ゲート信号線17のオンオフ制御は、シフトレジスタ22が保持するデータに基づくとしたがこれに限定されるものではなく、シフトレジスタ22を設けずに、各ゲート信号線17を独自に制御する方式でもよい。例えば、オン電圧を出力する任意のゲート信号線17をマルチプレクサ回路で選択してもよい。また、すべてのゲート信号線をバラレルで引き出し、それぞれのゲート信号線に自由にオン電圧またはオフ電圧を印加できるように構成してもよい。このように、シフトレジスタ22の保持データによらず、任意のゲート信号線17を選択できるように構成することにより、図34、図35、図38、図42、図177、図180、図185、図188、図190などの表示画面21のオンオフあるいは輝度分布の強弱処理が容易となる。

【0406】なお、図6(b)と同様に図65に図示するように、別途Vbb電圧を印加するTFT11eを形成または配置してもよい。この事項はカレントミラー構成でも同様である。例えば、図68、図69に図示するように、Vbb電圧を印加するスイッチング用TFT11fを別途形成または配置してもよい。図70の画素構成でも同様である。

【0407】なお、図71においては、駆動用TFT11aをTFT11a1とTFT11a2に分離し、ゲート端子をカスケードに接続することにより、キンク現象を抑制でき、また、特性ばらつきも抑制できる。このことは図6の駆動用TFT11a、図8の駆動用TFT11b、図61の駆動用TFT11a、図62の駆動用TFT11bなどについても同様である（駆動用TFTの構成として採用することが好ましい）。

【0408】図63および図64においてTFT11nなどを複数に分割するとしたが、また他の構成として、図72に図示するように分割したTFT11n1、TFT11n2を駆動電流向上用として動作させるか否かをゲート信号線17cに印加する電位(VghまたはVgl)で制御すればよい。TFT11f2をオフ状態にすれば、ソース信号線18に流れる電流はTFT11n1、TFT11n2が動作している場合の1/2となる。これらの制御は表示パネルの画像表示データおよび消費電力の観点から決定すると良い。

【0409】図65と図66の差異は、スイッチング用TFT11fのゲート端子をゲート信号線17cに接続した点である。つまり、スイッチング用TFT11fのオンオフ状態をゲート信号線17aの電位状態に影響されず、独自制御を実現できる点にある。スイッチング用TFT11fが絶えずオフ状態である時は、TFT11

10

20

30

40

50

nは画素から切り離された状態であり、図6(a)の画素構成となる。ゲート信号線17cとゲート信号線17aとをロジック的にショートして使用すれば図65の構成となる。

【0410】ここでの図65の問題点は、TFT11nと駆動用TFT11aの閾値 V_t などの特性ずれが画素ごとに発生していると、画素ごとにEL素子15に流れる電流にばらつきが出るという点である。電流にばらつきが発生すると、白ラスタなどの均一表示でも表示画像にざらつき感が出てしまう。その点、図6の構成ではこの問題は発生しない。

【0411】したがって、表示パネルの画面サイズが小さく、寄生容量404の影響が少ない時はスイッチング用TFT11fを絶えずオフ状態で使用する。また、表示パネルの画面サイズが大きく、寄生容量404の影響が駆動用TFT11aの動作のみでは解消できない時は、ゲート信号線17cをゲート信号線17aのロジックとショートさせ、図65の画素構成を実現して駆動を行うとよい。

【0412】図58に図66の画素構成を駆動する回路ブロックを示す。ゲート信号線17cを駆動するシフトレジスタ22cを形成し、ゲート信号線17cを駆動する。図6の画素構成で駆動する時は、ST3のデータを絶えずLとし、ゲート信号線17cには絶えず、 V_{gh} のオフ電圧が出力されるように制御する。図66の構成で使用する場合は、シフトレジスタ22cと22aのデータ入力状態(タイミング、ロジックなど)を同一にすればよい。

【0413】この図66の構成は、カレントミラーの構成でも実現できる。図67にその画素構成を示す。図67に図示するように、分割した駆動用TFT11a、TFT11nを駆動電流向上用として動作させるか否かをゲート信号線17cに印加する電位(V_{gh} または V_{gl})で制御すればよい。スイッチング用TFT11fをオフ状態にすれば、ソース信号線18に流れる電流により駆動用TFT11aのみが動作する。

【0414】したがって、図66の画素構成と同様に、表示パネルの画面サイズが小さく、寄生容量404の影響が少ない時はスイッチング用TFT11fを絶えずオフ状態で使用する。表示パネルの画面サイズが大きく、寄生容量404の影響が駆動用TFT11aの動作のみでは解消できない時は、ゲート信号線17cをゲート信号線17aのロジックとショートさせ、駆動電流を増大させて駆動する。このように、図67の画素構成においても、図58の回路ブロックを適用することができる。

【0415】なお、図58の構成ではゲート信号線17cを制御するシフトレジスタ22cを新規に形成し、動作させた。しかし、この構成に限定されるものではない。スイッチング用TFT11fのゲート端子に V_{gl} または V_{gh} 電圧を印加するだけであるので、ゲート信

号線17cの制御ロジックは容易である。TFT11nを動作させない時は、表示画面21内の全スイッチング用TFT11fのゲート端子にオフ電圧 V_{gh} を印加すればよい。TFT11nを動作させる場合は、ゲート信号線17aの電位をゲート信号線17cに印加すればよい。したがって、図58のように別途シフトレジスタ22cを使用する必要はない。つまり、シフトレジスタ22aのデータをそのままゲート信号線17cに出力するか、すべてのゲート信号線17cの電位がオフ電圧 V_{gh} となるようにゲート回路を付加すればよいからである。

【0416】(実施の形態8)以下に本発明の駆動方法について説明をする。ソース信号線18に流す電流をN倍することにより、寄生容量404の影響がなくなり、解像度のある良好な画像表示を実現できる。図34はソース信号線に流れる電流を増大させる他の実施例の説明図である。図34における本発明の駆動方法とは、基本的に複数の画素行を同時に選択し、それら複数の画素行をあわせた電流でソース信号線の寄生容量などを充放電し、電流書き込み不足を大幅に改善する方法である。この駆動方法ならば、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができ、EL素子15に流れる電流をも減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する(ソース信号線に流す電流を10倍にする)。

【0417】図34などで説明する本発明において、画素行は同時にK画素行を選択する。ソースドライバICからは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子に流す電流の N/K 倍の電流がプログラムされる。EL素子を所定発光輝度とするために、EL素子に流れる時間を1フレームの K/N 時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度と所定の発光輝度を得ることができる。

【0418】つまり、1フレームの K/N の間だけ、EL素子に電流を流し、他の期間($1F(N-1)K/N$)は電流を流さないということである。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示され、画像データ表示が時間的に飛び飛び表示(間欠表示)状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

【0419】まず、理解を容易にするため、先に説明したように1画素行を選択し、N倍の電流をプログラムする方式について、駆動波形などを参照しながら説明をする。図73はその説明図である。なお、図73では画面を横長に図示しているがこれに限定されるものではない

10

20

30

40

50

く、縦長でもよいし、円形などの他の形状でもよい。

【0420】図73(a)は表示画面21への書き込み状態を図示している。図73(a)において、871は書き込み画素行である。なお、図73(a)では1H期間に書き込む画素行は1行である。また、以下の実施例では図6の画素構成を例にあげて説明するがこれに限定されるものではなく、図8などのカレントミラーの画素構成であってもよい。また、図74、図75、図76などの電圧プログラム方式の画素構成にも適用できることは言うまでもない。

【0421】図73(a)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流が変換用TFT11aにプログラムされる。この時、ゲート信号線17bにはオフ電圧が印加され、EL素子15には電流が流れない。これは、EL素子15側のスイッチング用TFT11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図73(b)で示すように、電流を書き込まれている画素行は非表示領域312となる。他の画素行のスイッチング用TFT11dはオン状態となっているので、画像表示領域311となる。なお、図8などに示すカレントミラーの画素構成では電流プログラムを行う変換用TFT11aに電流が流れる状態であっても、ソース信号線18からはEL素子15は見えない。したがって、図73(b)のように非点灯状態とする必要がない。つまり、図73(b)のように、書き込み画素行を非表示領域312とすることは発明の必須条件ではない。

【0422】図77はゲート信号線17に印加する電圧波形である。電圧波形はオフ電圧をV_{gh}(Hレベル)とし、オン電圧をV_{gl}(Lレベル)としている。図77の下段には選択している画素行の番号を記載している。また、図中の(1)、(2)とは選択している画素行番号を示している。

【0423】図77において、ゲート信号線17a(1)が選択され(V_{gl}電圧)、選択された画素行の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、N=10として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。したがって、コンデンサ19には10倍の電流が変換用TFT11aに流れるようにプログラムされる。画素行(1)が選択されている時は、図6の画素構成におけるゲート信号線17b(1)にはオフ電圧V_{gh}が印加され、EL素子15には電流が流れない。

【0424】1H後には、ゲート信号線17a(2)が選択され(V_{gl}電圧)、選択された画素行の変換用T

F T 1 1 a からソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、N=10として説明する)である。したがって、コンデンサ19には10倍の電流が変換用TFT11aに流れるようにプログラムされる。画素行(2)が選択されている時は、図6の画素構成ではゲート信号線17b(2)にはオフ電圧V_{gh}が印加され、EL素子15には電流が流れない。しかし、先の画素行(1)のゲート信号線17a

(1)にはオフ電圧V_{gh}が印加され、ゲート信号線17b(1)にはオン電圧V_{gl}が印加されるため、点灯状態となっている。

【0425】次の1H後には、ゲート信号線17a(3)が選択され(V_{gl}電圧)、ゲート信号線17b(3)にはオフ電圧V_{gh}が印加され、画素行(3)のEL素子15には電流が流れない。しかし、先の画素行(1)、(2)のゲート信号線17a(1)、(2)にはオフ電圧V_{gh}が印加され、ゲート信号線17b(1)、(2)にはオン電圧V_{gl}が印加されるため、点灯状態となっている。

【0426】以上の動作を1Hの同期信号に同期して画像を表示していく。しかし、図77の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面21は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を1/10にしておけばよいことは言うまでもない。しかし、1/10の電流であると寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、非表示領域312の挿入により所定の輝度を得るのが本発明の基本的な主旨である。

【0427】しかし、図73の方法も本発明の範疇である。つまり、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。これによれば、EL素子15にN倍の電流を流さなくともよくなる。例えば、EL素子15に並列に電流経路を形成し(ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させない等)、ダミーEL素子とEL素子15に分流して電流を流しても良い。つまり、信号電流が0.2μAのとき、プログラム電流を2.2μAとして、変換用TFT11aには2.2μAを流す。この電流のうち、信号電流0.2μAをEL素子15に流して、2μAをダミーのEL素子に流すというものである。

【0428】以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、変換用TFT11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりも十分小さい電流を流すことができることになる。以上の方法では、図78などに図示するように、非表示領域312を設けることなく、図73のようにほぼ

あるいは完全に全表示画面21を画像表示領域311とすることができる。

【0429】しかし、ダミーEL素子などを形成するような細工をしなければ、プログラムされた電流は理論的にはすべてEL素子15に流れる。したがって、図73では表示画面はN倍の輝度で発光する。これを所定輝度で発光させるには、図78に図示するように非表示領域312を設ければよい。図78はその方式の説明図である。

【0430】図78(a)は表示画面21への書き込み状態を図示している。図78(a)において、871aは書き込み画素行である。ソースドライバ14から各ソース信号線18にプログラム電流が供給される。なお、図78などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定されるものではなく、0.5H期間でも、2H期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定されるものではなく、ソース信号線18に電圧を書き込むという電圧プログラム方式でもよい。

【0431】図78(a)において、図73と同様に、ゲート信号線17aが選択されるとソース信号線18に流れる電流が変換用TFT11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加され、EL素子15には電流が流れない。これは、EL素子15側のスイッチング用TFT11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図6の構成を例にすれば、図78(b)で示すように電流を書き込まれている画素行は非表示領域312となる。

【0432】今、N倍(ここでは、先に述べたように $N=10$ とする)の電流でプログラムしたとすれば、画面の輝度は10倍になるので、表示画面21の90%の範囲を非表示領域312とすればよい。したがって、画像表示領域の水平走査線がQCIFの220本($S=220$)とすれば、22本を画像表示領域311とし、 $220-22=198$ 本を非表示領域312とすればよい。一般的に述べれば、水平走査線(画素行数)をSとすれば、 S/N の領域を画像表示領域311とし、この画像表示領域311をN倍の輝度で発光させ、画面の上下方向に走査させると、 $S(N-1)/N$ の領域は非表示領域312となる。この非表示領域は黒表示(非発光)である。また、この非表示領域312はスイッチング用TFT11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値を調整しなければならない。

【0433】また、先の実施例で、10倍の電流でプロ

グラムすれば、画面の輝度は10倍になり、表示画面21の90%の範囲を非表示領域312とすればよいとした。しかし、これは、RGBの画素を共通に非表示領域312とすることに限定されるものではない。例えば、Rの画素は、 $1/8$ を非表示領域312とし、Gの画素は、 $1/6$ を非表示領域312とし、Bの画素は、 $1/10$ を非表示領域312とするように、それぞれの色により変化させてもよい。また、RGBの色で個別に非表示領域312(あるいは画像表示領域311)を調整できるようにしてもよいが、これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる。

【0434】図78(b)に図示するように、書き込み画素行871aを含む画素行を非表示領域312とし、書き込み画素行871aよりも上面のS/Nの範囲を画像表示領域311とする(書き込み走査が画面の上から下方向の場合であり、画面を下から上に走査する場合は、その逆となる)。画像表示状態は、画像表示領域311が帯状になって、画面の上から下に移動する。

【0435】図79はゲート信号線17に印加する電圧波形である。電圧波形はオフ電圧を V_{gh} (Hレベル)とし、オン電圧を V_{gl} (Lレベル)としている。図79の下段には選択している画素行の番号を記載している。また、図中の(1)、(2)、(3)、(4)とは選択している画素行番号を示している。

【0436】図79において、ゲート信号線17a

(1)が選択され(V_{gl} 電圧)、選択された画素行の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。したがって、コンデンサ19には10倍の電流が変換用TFT11aに流れるようにプログラムされる。画素行(1)が選択されている時は、図6の画素構成におけるゲート信号線17b(1)にはオフ電圧 V_{gh} が印加され、EL素子15には電流が流れない。

【0437】1H(説明を容易にするためであって、1Hに限定されるものではない)後には、ゲート信号線17a(2)が選択され(V_{gl} 電圧)、選択された画素行の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する)である。したがって、コンデンサ19には10倍の電流が変換用TFT11aに流れるようにプログラムされる。この時には、ゲート信号線17b(1)にはオン電圧 V_{gl} が印加される。こ

のオン電圧が印加される期間は、図78の実施例によれば、S/Nの期間である。その後、ゲート信号線17b(1)にはオフ電圧V_{gh}が印加されて、画素行(1)のEL素子15には電流が流れない。

【0438】画素行(2)が選択されている時は、図6の画素構成におけるゲート信号線17b(2)にはオフ電圧V_{gh}が印加され、EL素子15には電流が流れない。しかし、先の画素行(1)のゲート信号線17a(1)にはオフ電圧V_{gh}が印加され、ゲート信号線17b(1)にはオン電圧V_{gl}が印加されるため、点灯状態となっている。このオン電圧が印加される期間は、図78の実施例によれば、S/Nの期間である。その後、ゲート信号線17b(2)はオフ電圧V_{gh}が印加されて、画素行(2)のEL素子15には電流が流れない。

【0439】次の1H後には、ゲート信号線17a(3)が選択され、ゲート信号線17b(3)はオフ電圧V_{gh}が印加され、画素行(3)のEL素子15には電流が流れない。しかし、先の画素行(1)、(2)のゲート信号線17a(1)、(2)にはオフ電圧V_{gh}が印加され、ゲート信号線17b(1)、(2)にはオン電圧V_{gl}が印加されるため、点灯状態となっている。以上の動作が繰り返されて、図78の表示状態が実現される。

【0440】図78の表示では、1つの画像表示領域311が画面の上から下方向に移動する。フレームレートが低いと、画像表示領域311が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0441】この課題に対しては、図80に図示するように、画像表示領域311を複数に分割するとよい。図80(b)は、非表示領域312を5つに分割している。この5つを加えた部分がS(N-1)/Nの面積となれば、図78の明るさと同等になる。逆に、画像表示領域311から見れば、画像表示領域(点灯領域)311は6つに分割されているが、この6つに分割された領域を加えた部分がS/Nと略一致するように構成(駆動)すれば、図78の表示輝度と同等となる。

【0442】なお、図80(b)にも図示するように、分割された画像表示領域311を等しくする必要はない。また、分割された非表示領域312も等しくする必要はない。

【0443】以上のように、画像表示領域311を複数に分割することにより画面のちらつきが減少し、フリッカの発生がなく、良好な画像表示を実現できるようになる。なお、分割はもっと細かくしてもよいが、分割すればするほど動画表示性能は低下する。

【0444】図81はゲート信号線17に印加する電圧波形である。図81と図79の差異は、ゲート信号線17bの動作であり、このゲート信号線17bは画面を分

割する個数に対応して、その個数分だけオンオフ(V_{gl}とV_{gh})動作する。他の点は図79と同一であるので説明を省略する。

【0445】以上の実施例では、同時に選択する画素行は1画素行であった。図35は複数画素行を同時に選択する方法である。図35では説明を容易にするために、5画素行と同時に選択するとして説明するが、これに限定されるものではなく、2画素行以上であればよい。ただし、同時に選択する画素行が増加すると、変換用TFT11aのばらつき吸収効果が低減する。

【0446】なお、以下の実施例においても図6の電流プログラムの画素構成を例示して説明をするがこれに限定されるものではない。図8のカレントミラーでも有効であることは言うまでもない。同時に選択される画素行が多くなることにより、ソース信号線の寄生容量404などの充放電が容易になるからである。また、図75、図76などの電圧プログラムの画素構成でも有効である。同時に選択される画素行が増加することにより、隣接した画素行を予備充電でき、高精細表示パネルにも対応できるようになるからである。

【0447】なお、ここでも説明を容易にするために、ソースドライバ14からソース信号線18に流す電流(もしくは、ソースドライバ14がソース信号線18から吸い込む電流、変換用TFT11aがソース信号線18に流し込む電流)は所定値の10倍(N=10)として説明をする。したがって、同時に選択する画素行が5画素行(K=5)であれば、5つの変換用TFT11aが動作する。つまり、1画素あたり、10/5=2倍の電流が変換用TFT11aに流れる。同時に選択する画素行が2画素行であれば、2つの変換用TFT11aが動作する。つまり、1画素あたり、10/2=5倍の電流が変換用TFT11aに流れるということになる。

【0448】また、同時に選択する画素行が5画素行(K=5)であれば、5つの変換用TFT11aのプログラム電流を加えたものとなる。例えば、書き込み画素行871aに、本来、書き込む電流をI_dとし、N=10とすれば、ソース信号線18には、I_d×10の電流を流すことになる。書き込み画素行871aと隣接した書き込み画素行871b(871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。したがって、画像を書き込む画素(行)が871aであり、871aに書き込むために補助的に用いるのが画素(行)871bである)。

【0449】理想的には、5画素の変換用TFT11aが、それぞれI_d×2の電流をソース信号線18に流し、各画素16のコンデンサ19には、2倍の電流がプログラムされるようになる。しかし、現実には、5画素の各TFT11は特性がずれているから、各画素のコンデンサ19にプログラムされる電流にばらつきが発生する。例えば、書き込み画素行871aには、1.8倍、

10

20

30

40

50

4つの書き込み画素行871bには各々、2.2倍、2.0倍、1.6倍、2.4倍の電流がプログラムされる。この例では、書き込み画素行871aには1.8倍の電流がプログラムされており、 $(2.0 - 1.8) / 2.0 = 10\%$ の誤差が出る。しかし、これらを加算した電流は10倍という規定値に保たれる。

【0450】つまり、ソース信号線18にはソースドライバ14からプログラムされた電流が規定通り流れるのに対し、選択された画素には特性ばらつきに応じた電流が流れる。したがって、各画素の変換用TFT11aの特性ばらつきが大きいほど、目標とするプログラム電流が設定値からはずれてしまう。しかし、隣接した変換用TFT11aはほぼ特性が一致しているから、図35などのように同時に選択する画素行を増加させても均一表示を実現できる。

【0451】なお、図34、図35などの実施例は、低温ポリシリコン技術でTFT11を形成した表示パネルよりも、アモルファスシリコン技術でTFT11を形成した表示パネルに有効である。なぜなら、アモルファスシリコンのTFT11では、隣接したTFTの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のTFTの駆動電流はほぼ目標値となっている。

【0452】図35において、書き込み画素行871aの画像データでK行($K=5$)を同時に書き込むと、K行の範囲(871a、871b)は同一表示となる。このように同一表示にすると、当然のことながら解像度が低下する。これに対処するために、図35(b)に図示するように書き込み画素行871の部分为非表示領域312とするのである。そうすると、解像度低下は発生しない。

【0453】次の1H後には、1画素行シフトした位置を書き込み画素行871aとして同一動作を行い、非表示領域312も1画素(行)シフトすると、先の1Hで電流プログラムされた画素(行)が表示される。

【0454】以上のように駆動すると、本来の表示データと異なる電流データを書き込まれた書き込み画素行871bは表示されず、上記の動作を1行ずつシフトしていくと完全な画像表示を実現できる。また、補助的に用いている書き込み画素行871bの効果で、寄生容量404の充放電も十分1H期間内に実現できる。

【0455】図82は、図35の駆動方法を実現するための駆動波形の説明図である。図77と同様に、電圧波形はオフ電圧をVgh(Hレベル)とし、オン電圧をVgl(Lレベル)としている。また、図82の下段には選択している画素行の番号を記載している。また、

(1)、(2)、(3)・・・(6)とは選択している画素行番号を示している。なお、行数はQCIF表示パネルの場合では220本であり、VGAパネルの場合では480本である。

【0456】図82において、ゲート信号線17a

(1)が選択され(Vgl電圧)、選択された画素行の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行871aが画素行(1)番目であるとして説明する。

【0457】また、ソース信号線18に流れるプログラム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。また、5画素行を同時選択($K=5$)として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍の電流が変換用TFT11aに流れるようにプログラムされる。

【0458】書き込み画素行が(1)画素行目である時、図82で図示したように、ゲート信号線17aには(1)、(2)、(3)、(4)、(5)が選択されている。つまり、画素行(1)、(2)、(3)、(4)、(5)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっているので、画素行(1)、(2)、(3)、(4)、(5)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0459】理想的には、5画素の変換用TFT11aが、それぞれ $I_d \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは理解を容易にするため、各変換用TFT11aは特性(V_t 、S値)が一致しているとして説明をする。

【0460】同時に選択する画素行が5画素行($K=5$)であるから、5つの変換用TFT11aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流が変換用TFT11aに流れる。ソース信号線18には、5つの変換用TFT11aのプログラム電流を加えた電流が流れる。例えば、書き込み画素行871aに、本来、書き込む電流を I_d とし、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行871bは後に正規の画像データが書き込まれるので問題はない。

【0461】したがって、書き込み画素行871bは、1H期間の間は書き込み画素行871aと同一表示であるので、書き込み画素行871aと電流を増加させるために選択した書き込み画素行871bを少なくとも非表示領域312とするのである。ただし、図8のようなカレントミラーの画素構成、図75などの電圧プログラム方式の画素構成では、場合によっては表示状態としても

よい。

【0462】次の1H後には、ゲート信号線17a

(1)は非選択となり、ゲート信号線17b(1)にはオン電圧V_{gl}が印加される。また、同時に、ゲート信号線17a(6)が選択され(V_{gl}電圧)、選択された画素行(6)の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0463】次の1H後には、ゲート信号線17a

(2)は非選択となり、ゲート信号線17b(2)にはオン電圧V_{gl}が印加される。また、同時に、ゲート信号線17a(7)が選択され(V_{gl}電圧)、選択された画素行(7)の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0464】図73と同様であるが、図82の駆動方法では、各画素には2倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。

【0465】これを所定の輝度とするためには、図34に図示するように、書き込み画素行871を含み、かつ表示画面21の1/2の範囲を非表示領域312とすればよい。このことは図79などを用いて説明したので省略する。

【0466】表示画面21に占める黒表示領域(非表示領域)312の面積を大きくするほど動画表示性能が向上する。したがって、図83に図示するように画像表示領域311を少なくし、非表示領域312の面積を大きくすればよい。

【0467】図34のように、各画素にプログラムする電流が2倍で画像表示領域311の面積が表示画面21の1/2であれば、所定の表示輝度を得ることができる。しかし、図83のように画像表示領域311が表示画面21の1/2よりも小さい場合、画面は暗くなる。そこで、所定輝度を得るためには、各画素にプログラムする電流を大きくすればよい。例えば、画像表示領域(点灯領域)311が表示画面21の面積の1/5であり、同時に選択する画素行が5本(K=5)であれば、1画素行にプログラムする電流(電圧)は所定値の5倍にすればよい。ソース信号線18に流れる電流は5×5画素行=25倍となる。

【0468】いずれにせよ、本発明の実施例ではソース信号線18に流す電流(電圧)を変化させることによりプログラム電流(電圧)を調整することができる。つまり、ソースドライバ14の基準電流(電圧)を調整する

だけでソース信号線18に流れる電流を調整できるということである。2画素行を同時にオンさせるか、5画素行を同時にオンさせるか、または1画素行のみを選択するかは、図10などに図示するゲートドライバ12のシフトレジスタ22に印加するS_T*端子へのデータで設定できる。したがって、ソースドライバ14の仕様は、選択する画素数には左右されない。また、画面の明るさもゲート信号線17bのオンオフで調整することができるから、表示画面21の明るさ調整でソースドライバ14からの出力電流を変化させることはない。したがって、EL素子15のガンマ特性は1つの電流に対して決定すればよい。そのため、ソースドライバ14の構成は極めて容易であり、汎用性の高いものとなる。以上の事項は、他の本発明の実施例にも適用できる。

【0469】図78と同様に、図83のように1つの画像表示領域311が画面の上から下方向に移動する際、フレームレートが低いと、画像表示領域311が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0470】この課題に対しては、図84に図示するように、画像表示領域311を複数に分割するとよい。図84(b)は、非表示領域312を3つに分割している。この3つを加えた部分がS(N-1)/Nの面積となれば、図83の明るさと同等になる。

【0471】図85はゲート信号線17に印加する電圧波形である。図82と図85の差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(V_{gl}とV_{gh})動作する。他の点は図82とほぼ同一あるいは類推できるので説明を省略する。

【0472】なお、図84(b)にも図示するように、非表示領域312の走査方向は画面の上から下方向のみに限定されるものではなく、画面の下から上方向に走査してもよい。また、上から下への走査方向と、下から上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面21の所定位置で変化させてもよいことは言うまでもない。

【0473】以上のように、画像表示領域311を複数に分割することにより画面のちらつきは減少し、フリッカの発生がなく、良好な画像表示を実現できるようになる。なお、分割はもっと細かくしてもよく、分割すればするほどフリッカが軽減する。特に、EL素子15の応答性は速いため、5μsecよりも小さい時間でオンオフしても、表示輝度の低下はない。

【0474】本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できるので、クロック周波数はKHzオーダーの低周波数で制御が可能である。また、黒画面挿入

10

20

30

40

50

(非表示領域312挿入)を実現する際、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【0475】図86は同時に選択する画素行が2画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の変換用TFT11aの特性が極めて一致しているためと推定される。また、レーザアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射することで良好な結果が得られた。

【0476】図86において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)、

(2)が選択されている(図87を参照のこと)。この時、画素行(1)、(2)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっているので、少なくとも画素行(1)、(2)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非表示領域312となる。なお、図86では、フリッカの発生を低減するため、画像表示領域311を5分割している。

【0477】理想的には、2画素(行)の変換用TFT11aが、それぞれ $I_d \times 5$ ($N=10$ の場合)の電流をソース信号線18に流し、各画素16のコンデンサ19には、5倍の電流がプログラムされるようになる。

【0478】同時に選択する画素行が2画素行($K=2$)であるから、2つの変換用TFT11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流が変換用TFT11aに流れ、ソース信号線18には、2つ

の変換用TFT11aのプログラム電流を加えた電流が流れる。
【0479】例えば、書き込み画素行871aに、本来、書き込む電流を I_d とし、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行871bは後に正規の画像データが書き込まれるので問題はない。書き込み画素行871bは、1H期間の間は書き込み画素行871aと同一表示であるので、書き込み画素行871aと電流を増加させるために選択した書き込み画素行871bとを少なくとも非表示領域312とするのである。

【0480】次の1H後には、ゲート信号線17a

(1)は非選択となり、ゲート信号線17b(1)にはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線17a(3)が選択され(V_{gl} 電圧)、選択された画素行(3)の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0481】次の1H後には、ゲート信号線17a

(2)は非選択となり、ゲート信号線17b(2)にはオン電圧 V_{gl} が印加される。また、同時に、ゲート信号線17a(4)が選択され(V_{gl} 電圧)、選択された画素行(4)の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0482】図51と同様であるが、図88の駆動方法では、各画素には5倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には5倍となる。したがって、画像表示領域311の輝度は所定値よりも5倍となる。これを所定の輝度とするためには、図34に図示するように、書き込み画素行871を含み、かつ表示画面21の1/5の範囲を非表示領域312とすればよい。このことは図79などを用いて説明したので省略する。

【0483】複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、変換用TFT11aの特性ばらつきを吸収することが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになり、EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

【0484】図89はこの課題を解決するものである。図89の基本概念は、 $1/2H$ (水平走査期間の $1/2$)では図35で説明したように、複数の画素行を同時に選択し、その後の $1/2H$ (水平走査期間の $1/2$)では図73で説明したように、1画素行を選択する方法を組み合わせたものである。このように組み合わせることにより、変換用TFT11aの特性ばらつきを吸収し、より高速にかつ面内均一性を良好にすることができる。

【0485】図89において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。

【0486】まず、第1の期間では、図89(a1)に図示するように、5画素行を同時に選択する。この動作は図35を用いて説明した。ソース信号線に流す電流は所定値の2.5倍とする。したがって、各画素16の変換用TFT11aには5倍の電流がプログラムされる。そして、2.5倍の電流であるから、寄生容量404は極めて短時間に充放電される。したがって、ソース信号線の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も5倍の電流を流すようにプログラムされる。この2.5倍電流の印加時間は $1/2H$ (1水平走査期間の $1/2$)とする。

【0487】当然のことながら、書き込み画素行871の5画素行は同一画像データが書き込まれるから、表示

しないようにするためTFT11はオフ状態とされる。したがって、表示状態は図89(a2)となる。

【0488】次の1/2H期間は、1画素行を選択し、電流(電圧)プログラムを行う。この状態を図89(b1)に図示している。書き込み画素行871aは先と同様に5倍の電流を流すように電流(電圧)プログラムされる。ここで、図89(a1)と図89(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【0489】つまり、図89(a1)で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数の変換用TFT11aでプログラムしているため、目標値に対してTFTのばらつきによる誤差が発生しているが、次の第2の段階で、データを書き込みかつ保持する画素行のみを選択して、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【0490】なお、非表示領域312を画面の上から下方向に走査し、また、書き込み画素行871aを画面の上から下方向に走査することは図34、図35、図73などの実施例と同様であるので説明を省略する。

【0491】図90は図89の駆動方法を実現するための駆動波形である。図89でわかるように、1H(1水平走査期間)は2つのフェーズで構成されており、ISEL信号で切り替える。ISEL信号については図91に図示している。

【0492】まず、ISEL信号について説明をしておく。図91において、電流出力回路1222は1222aと1222bの2つから構成されている。それぞれの電流出力回路1222は、8ビットの階調データをDA変換するDA回路1226とオペアンプ1224などから構成される。この電流出力回路1222の回路動作については先に説明したので省略する。図89の実施例では、電流出力回路1222aは25倍の電流を出力するように構成されている。一方、電流出力回路1222bは5倍の電流を出力するように構成されている。電流出力回路1222aと1222bの出力はISEL信号によりスイッチ回路1223が制御され、ソース信号線18に印加される。

【0493】ISEL信号は、Lレベルの時、25倍電流を出力する電流出力回路1222aが選択されてソース信号線18からの電流をソースドライバ14が吸収する。Hレベルの時、5倍電流を出力する電流出力回路1222bが選択されてソース信号線18からの電流をソースドライバ14が吸収する。このように、抵抗1228の値を変化させるだけで済むので、25倍、5倍などの電流の大きさ変更は容易である。また、抵抗1228をボリウムとすること、あるいは複数の抵抗とアナログスイッチに接続しておき選択することにより容易に変更

することができる。

【0494】図90に示すように、書き込み画素行が(1)画素行目である時(図90の画素行番号1の欄を参照)、ゲート信号線17aは(1)、(2)、(3)、(4)、(5)が選択されている。つまり、画素行(1)、(2)、(3)、(4)、(5)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧Vghが印加されている。したがって、画素行(1)、(2)、(3)、(4)、(5)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0495】理想的には、5画素の変換用TFT11aが、それぞれ1d×2の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各変換用TFT11aは特性(Vt、S値)が一致しているとして説明をする。

【0496】同時に選択する画素行が5画素行(K=5)であるから、5つの変換用TFT11aが動作する。つまり、1画素あたり、25/5=5倍の電流が変換用TFT11aに流れる。ソース信号線18には、5つの変換用TFT11aのプログラム電流を加えた電流が流れる。例えば、書き込み画素行871aに、本来、書き込む電流をIdとし、ソース信号線18には、Id×25の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行871bは後に正規の画像データが書き込まれるので問題はない。

【0497】したがって、書き込み画素行871bは、1H期間の間は書き込み画素行871aと同一表示である。そのため、書き込み画素行871aと電流を増加させるために選択した書き込み画素行871bを少なくとも非表示領域312とするのである。

【0498】次の1/2H(水平走査期間の1/2)では、書き込み画素行871aのみ、つまり、(1)画素行目のみを選択する。図90で明らかなように、ゲート信号線17a(1)のみに、オン電圧Vglが印加され、ゲート信号線17a(2)、(3)、(4)、(5)にはオフ電圧Vghが印加されている。したがって、画素行(1)の変換用TFT11aは動作状態(ソース信号線18に電流を供給している状態)であるが、画素行(2)、(3)、(4)、(5)の駆動用TFT11b、取込用TFT11cがオフ状態、つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路1222bが選択さ

れ、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧V_{gh}が印加されている。したがって、画素行(1)、(2)、(3)、(4)、(5)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0499】以上のことから、画素行(1)の変換用TFT11aが、それぞれI_d×5の電流をソース信号線18に流し、各画素行(1)のコンデンサ19には、5

10 倍の電流がプログラムされる。
【0500】次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が(2)の時である。最初の1/2Hの期間では、図90に示すように書き込み画素行が(2)画素行目である

時、ゲート信号線17aは(2)、(3)、(4)、(5)、(6)が選択されている。つまり、画素行(2)、(3)、(4)、(5)、(6)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力

20 する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17b(2)、(3)、(4)、(5)、(6)には、オフ電圧V_{gh}が印加されている。したがって、画素行(2)、(3)、(4)、(5)、(6)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。一方、画素行(1)のゲート信号線17b(1)はV_{gl}電圧が印加されているから、スイッチング用TFT11dはオン状態であり、画素行(1)のEL素子15は点灯する。

30 【0501】同時に選択する画素行が5画素行(K=5)であるから、5つの変換用TFT11aが動作する。つまり、1画素あたり、25/5=5倍の電流が変換用TFT11aに流れる。ソース信号線18には、5つの変換用TFT11aのプログラム電流を加えた電流が流れる。

【0502】次の1/2H(水平走査期間の1/2)では、書き込み画素行871aのみを選択する。つまり、

40 (2)画素行目のみを選択する。図90で明らかなように、ゲート信号線17a(2)のみに、オン電圧V_{gl}が印加され、ゲート信号線17a(3)、(4)、

(5)、(6)にはオフ電圧V_{gh}が印加されている。したがって、画素行(1)、(2)の変換用TFT11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行(3)、(4)、(5)、

(6)の駆動用TFT11b、取込用TFT11cがオフ状態、つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路

1222bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧V_{gh}が印加されている。したがって、画素行(2)、(3)、(4)、(5)、(6)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0503】以上のことから、画素行(2)の変換用TFT11aが、それぞれI_d×5の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次実施することにより、1画面を表示することができる。

【0504】図89で説明した駆動方法は、第1の期間でG画素行(Gは2以上)を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、画素にはN倍の電流を流すようにプログラムする方式である。

【0505】しかし、他の方策もある。第1の期間でG画素行(Gは2以上)を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、選択された画素行の総和の電流(ただし、選択画素行が1の時は、1画素行の電流)がN倍となるようにプログラムする方式である。例えば、図89(a1)において、5画素行を同時に選択し、各画素の変換用TFT11aに2倍の電流を流すと、ソース信号線18には5×2倍=10倍の電流が流れる。次の第2の期間では図89(b1)において、1画素行を選択し、この1画素の変換用TFT11aには10倍の電流を流す。

【0506】この方式であれば、図91のように複数の電流出力回路1222は必要でなくなり、ソースドライバ14は各ソース信号線に、1つの電流出力回路1222で構成できる。つまり、この方式では、ソース信号線18の電流を流すソースドライバ14の出力電流は一定値(当然、画像データにより、この一定値は変化する。この場合は、1H期間の間、選択画素数によらず、一定という意味である)である。したがって、ソースドライバ14の構成は容易になる。

【0507】なお、図89において、複数の画素行を同時に選択する期間を1/2Hとし、1画素行を選択する期間を1/2Hとしたがこれに限定されるものではない。例えば、複数の画素行を同時に選択する期間を1/4Hとし、1画素行を選択する期間を3/4Hとしてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は1Hとしたがこれに限定されるものではない。例えば、2H期間でも、

1. 5H期間であっても良い。

【0508】また、図89において、5画素行を同時に選択する期間を $1/2H$ とし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0509】また、図89において、5画素行を同時に選択する第1の期間を $1/2H$ とし、1画素行を選択する第2の期間を $1/2H$ とする2段階としたがこれに限定されるものではない。例えば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【0510】図91では、各ソース信号線18に2つの電流出力回路1222を設けるとしたが、これは図89の第1の実施例である、第1の期間に25倍の電流を出力するため、第2の期間に5倍の電流を出力するためである。これを1つの電流出力回路1222で実現するには、図88の回路構成を採用するとよい。DA回路1226はリファレンス電圧(I_{ref})の大きさを最大値としてデジタル-アナログ変換をする。例えば、 I_{ref} 電圧が5Vであれば、5Vを256分割したものが最小値としてアナログ出力される。つまり、アナログ出力の最大値は5V-1ビットのアナログ値であり、最小値は0Vであり、最小分解能は $5V/256$ である(入力が8ビット仕様の時)。 I_{ref} 電圧が2.5Vであれば、2.5Vを256分割したものが最小値としてアナログ出力される。つまり、アナログ出力の最大値は2.5V-1ビットのアナログ値であり、最小値は0Vであり、最小分解能は $2.5V/256$ である(入力が8ビット仕様の時)。

【0511】つまり、 I_{ref} 電圧をダイナミックに切り替えることにより1つの電流出力回路1222で出力電流値を変更することができる。図88はその実現回路である。

【0512】図88において、 V_i 電圧を4分割する抵抗R1が設けられている。この分圧された電圧がスイッチ回路1223に入力され、1つの電圧が選択されて I_{ref} 電圧となる。この I_{ref} 電圧がオペアンプ1224に入力されている。したがって、前半の $1/2H$ の期間の I_{ref} 電圧と、後半の $1/2H$ の期間の I_{ref} 電圧とをすべてのソース信号線18に接続された電流出力回路1222で切り替えることにより、出力電流の倍率を変更することができる。もちろん、図92に図示するように、 I_{ref} 電圧を複数のオペアンプ1224の選択により発生させてもよい。

【0513】図91の場合も画像表示領域311は図93に図示するように1つとしてもよい。また、図94に図示するように、複数の画像表示領域311に分割してもよい。

【0514】図95に図示するように、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)、(2)、(3)、(4)、(5)が選択されている。つまり、画素行(1)、(2)、(3)、(4)、(5)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ISELがLレベルであるから、25倍電流を出力する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17b(1)、(2)、(3)、(4)、(5)には、オフ電圧 V_{gh} が印加されている。したがって、画素行(1)、(2)、(3)、(4)、(5)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0515】同時に選択する画素行が5画素行($K=5$)であるから、5つの変換用TFT11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流が変換用TFT11aに流れる。ソース信号線18には、5つの変換用TFT11aのプログラム電流を加えた電流が流れる。例えば、書き込み画素行871aに、本来、書き込む電流を I_d とし、ソース信号線18には、 $I_d \times 25$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行であるが、書き込み画素行871bは後に正規の画像データが書き込まれるので問題はない。

【0516】したがって、書き込み画素行871bは、1H期間の間は書き込み画素行871aと同一表示である。そのため、書き込み画素行871aと電流を増加させるために選択した書き込み画素行871bを少なくとも非表示領域312とするのである。

【0517】次の $1/2H$ (水平走査期間の $1/2$)では、書き込み画素行871aのみを選択する。つまり、(1)画素行目のみを選択する。ゲート信号線17a(1)のみに、オン電圧 V_{gl} が印加され、ゲート信号線17a(2)、(3)、(4)、(5)にはオフ電圧 V_{gh} が印加されている。したがって、画素行(1)の変換用TFT11aは動作状態(ソース信号線18に電流を供給している状態)であるが、画素行(2)、(3)、(4)、(5)の駆動用TFT11b、取込用TFT11cはオフ状態、つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路1222bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧 V_{gh} が印加されている。したがって、画素行(1)、(2)、(3)、(4)、(5)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0518】以上のことから、画素行(1)の変換用TFT11aが、それぞれ $I_d \times 5$ の電流をソース信号線18に流し、各画素行(1)のコンデンサ19には、5倍の電流がプログラムされる。

【0519】次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が(2)の時である。最初の $1/2H$ の期間では、ゲート信号線17aは(2)、(3)、(4)、(5)、

(6)が選択されている。つまり、画素行(2)、

(3)、(4)、(5)、(6)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ISELがLレベルであるから、2.5倍電流を出力する電流出力回路1222aが選択され、ソース信号線18と接続されている。また、ゲート信号線17b(2)、

(3)、(4)、(5)、(6)には、オフ電圧Vghが印加されている。したがって、画素行(2)、

(3)、(4)、(5)、(6)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。一方、画素行(1)のゲート信号線17b(1)にはVg1電圧が印加されているから、スイッチング用TFT11dはオン状態であり、画素行(1)のEL素子15は点灯する。

【0520】同時に選択する画素行が5画素行($K=5$)であるから、5つの変換用TFT11aが動作する。つまり、1画素あたり、 $2.5/5=0.5$ 倍の電流が変換用TFT11aに流れ、ソース信号線18には、5つの変換用TFT11aのプログラム電流を加えた電流が流れる。

【0521】次の $1/2H$ (水平走査期間の $1/2$)では、書き込み画素行871aのみを選択する。つまり、

(2)画素行目のみを選択する。ゲート信号線17a

(2)のみに、オン電圧Vg1が印加され、ゲート信号線17a(3)、(4)、(5)、(6)にはオフ電圧Vghが印加されている。したがって、画素行(1)、

(2)の変換用TFT11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行

(3)、(4)、(5)、(6)の駆動用TFT11b、取込用TFT11cがオフ状態、つまり、非選択状態である。また、ISELがHレベルであるから、5倍

電流を出力する電流出力回路1222bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧Vghが印加されている。したがって、画素行(2)、(3)、(4)、

(5)、(6)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0522】以上のことから、画素行(2)の変換用TFT11aが、それぞれ $I_d \times 5$ の電流をソース信号線18に流し、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次実施することにより、1画面を表示することができる。

【0523】以上の説明でも明らかであるが、上記の動作は、図90と同一である。差異は、ゲート信号線17bの動作であり、ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(Vg1とVgh)動作する。

【0524】なお、図94にも図示するように、非表示領域312の走査方向は画面の上から下方向のみに限定されるものではない。画面の下から上方向に走査してもよい。また、上から下への走査方向と、下から上方向への走査方向とを、交互にあるいはランダムに走査してもよい。また、分割数をフレームごとに、あるいは表示画面21の所定位置で変化させてもよいことは言うまでもない。

【0525】以上のように、画像表示領域311を複数に分割することにより画面のちらつきが減少する。したがって、フリッカの発生がなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよく、分割すればするほどフリッカは軽減する。特に、EL素子15の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

【0526】図95の実施例も、第1の期間でG画素行($G=2$ 以上)を選択し、各画素行にはN倍の電流を流すようにプログラムし、第1の期間後の第2の期間ではB画素行($B=G$ よりも小さく、1以上)を選択し、画素にはN倍の電流を流すようにプログラムする方式とした。しかし、図90と同様に、他の方策もある。つまり、第1の期間でG画素行($G=2$ 以上)を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行($B=G$ よりも小さく、1以上)を選択し、選択された画素行の総和の電流(ただし、選択画素行が1の時は、1画素行の電流)がN倍となるようにプログラムする方式である。

【0527】以上の実施例は順次走査で画像を表示する方法であった。つまり、テレビ信号で言えば、ノンインターレース駆動(プログレッシブ駆動)である。本発明はインターレース駆動にも有効である。図96はインターレース駆動の説明図である。

【0528】なお、インターレース駆動は通常2フィールドで1フレームである。図96も2フィールドで1フレーム(1画面)として説明した。しかし、これはNTSCのテレビ信号の場合であって、携帯電話などの画像表示では必ずしも2フィールド=1フレームの原則を守る必要はない。

【0529】例えば、4フィールドで1フレームとしてもよい。第1フィールドは $4Y-3$ (Yは、0以上の整

数)画素行を書き込み、第2フィールドは $4Y-2$ (Y は、0以上の整数)画素行を書き込む。第3フィールドは $4Y-1$ (Y は、0以上の整数)画素行を書き込み、第4フィールドは $4Y$ (Y は、0以上の整数)画素行を書き込む方式である。つまり、インターレース駆動とは、複数のフィールドで1フレーム(1画面)を構成する方法である。

【0530】図96(a)は第1フィールドであり、偶数画素行を書き込む。図96(b)は第2フィールドであり、奇数画素行を書き込む。図97は図96の駆動方法を実現するための駆動波形である。なお、奇数フィールドと偶数フィールドは便宜上のものである。図96ではまず、奇数画素行から画像を書き込むとして説明する。

【0531】図96において、ゲート信号線17a(1)が選択され(V_{gl} 電圧)、選択された画素行の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行871aが画素行(1)番目であるとして説明する。

【0532】また、ソース信号線18に流れるプログラム電流は所定値の N 倍(説明を容易にするため、今までの実施例と同様に $N=10$ として説明する。なお、 $N=10$ に限定されるものではない。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。

【0533】図97において、書き込み画素行が(1)画素行目である時、ゲート信号線17a(1)には V_{gl} 電圧が印加され、駆動用TFT11b、取込用TFT11cがオン状態となる。また、ゲート信号線17b(1)には、 V_{gh} 電圧が印加されている。したがって、画素行(1)のスイッチング用TFT11dはオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0534】次の1Hには、書き込み画素行は(3)画素行目である。ゲート信号線17a(3)には V_{gl} 電圧が印加され、駆動用TFT11b、取込用TFT11cがオン状態となる。また、ゲート信号線17b(3)には、 V_{gh} 電圧が印加されている。したがって、画素行(3)のスイッチング用TFT11dはオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。また、ゲート信号線17b(1)には V_{gl} 電圧が印加され、スイッチング用TFT11dがオン状態である。したがって、画素行(1)のスイッチング用TFT11dもオン状態であり、対応する画素行のEL素子15が発光する。

【0535】次の1Hには、書き込み画素行は(5)画素行目である。ゲート信号線17a(5)には V_{gl} 電圧が印加され、駆動用TFT11b、取込用TFT11cがオン状態である。また、ゲート信号線17b(5)

には、 V_{gh} 電圧が印加され、画素行(5)のスイッチング用TFT11dがオフ状態となり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。また、ゲート信号線17b(3)には V_{gl} 電圧が印加され、スイッチング用TFT11dがオン状態である。したがって、画素行(3)のスイッチング用TFT11dもオン状態であり、対応する画素行のEL素子15が発光する。

【0536】以上のように、第1フィールドでは、奇数画素行が順次選択されて、画像データが書き込まれていく。

【0537】第2フィールドでは、(2)画素行目から、順次画像データが書き込まれる。ゲート信号線17a(2)には V_{gl} 電圧が印加され、駆動用TFT11b、取込用TFT11cがオン状態となる。また、ゲート信号線17b(2)には、 V_{gh} 電圧が印加され、画素行(2)のスイッチング用TFT11dがオフ状態となり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0538】次の1Hには、書き込み画素行は(4)画素行目である。ゲート信号線17a(4)には V_{gl} 電圧が印加され、駆動用TFT11b、取込用TFT11cがオン状態となる。また、ゲート信号線17b(4)には、 V_{gh} 電圧が印加され、画素行(4)のスイッチング用TFT11dがオフ状態となり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。また、ゲート信号線17b(3)には V_{gl} 電圧が印加され、スイッチング用TFT11dがオン状態である。したがって、画素行(3)のスイッチング用TFT11dもオン状態であり、対応する画素行のEL素子15が発光する。

【0539】次の1Hには、書き込み画素行は(6)画素行目である。ゲート信号線17a(6)には V_{gl} 電圧が印加され、駆動用TFT11b、取込用TFT11cがオン状態となる。また、ゲート信号線17b(6)には、 V_{gh} 電圧が印加され、画素行(6)のスイッチング用TFT11dがオフ状態となり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。また、ゲート信号線17b(4)には V_{gl} 電圧が印加され、スイッチング用TFT11dはオン状態である。したがって、画素行(4)のスイッチング用TFT11dもオン状態であり、対応する画素行のEL素子15が発光する。

【0540】以上のように、第2フィールドでは、偶数画素行が順次選択されて、画像データが書き込まれていく。この第1フィールドと第2フィールドで1枚の画像表示が完成する。また、第2フィールドにおいて、偶数画素行を書く時は、奇数画素行はすべて非表示領域312としている。第1フィールドでは、奇数画素行を書く時は、偶数画素行はすべて非表示領域312としてい

る。

【0541】しかし、図96の駆動方法で、ソース信号線18に10倍の電流($N=10$)を流し、変換用TFT11aに電流プログラムをすると、奇数画素行あるいは偶数画素行を交互に表示するという処理を実施しても、表示輝度は所定輝度の $10/2=5$ 倍の輝度となる。したがって、表示輝度を1倍とするには、 $N=2$ で駆動する必要がある。しかし、 $N=2$ で駆動するとソース信号線18に書き込む電流値が小さく寄生容量404を十分に充放電できないため、コンデンサ19に書き込み不足が発生し、解像度が低下する。

【0542】これを解決するためには図98に図示するように、奇数画素行あるいは偶数画素行だけでなく、表示画面21の一部を非表示領域312aとすればよい。図98では図98(a)→図98(b)→図98(c)→図98(a)と走査される。図98(b)でわかるように、書き込み画素行871aの上側(画面の上から下方向に走査しているとき)に所定の範囲で表示領域を形成する。ただし、表示領域は奇数画素行あるいは偶数画素行であるため、1画素行ごととなる。また、非表示領域312aは連続した非表示領域にする。

【0543】しかし、図98の駆動方法のように、表示領域を表示画面に一部に固めて走査すると、フリッカが発生しやすくなる。ただし、フレームレートが80Hz以上の場合、図98の表示状態(画像表示領域311を1つにした場合)であってもフリッカが発生しないことに注意を要する。つまり、フレームレートを80Hz以上にすれば、画像表示領域311を分割する必要性がなくなるのである。

【0544】フレームレートが低い場合は図99に図示するように分割すればよい。このことは先に説明したので、図99はあえて説明を要さないであろう。ただし、図99は作図を容易にするため、分割した領域として、非表示領域312bと画像表示領域311のペアで作図したが、これに限定されるものではなく、分割した領域に複数の非表示領域312bと複数の画像表示領域311が存在しても問題ない。

【0545】駆動方式には多種多様な構成が考えられる。図100において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)、(G)が選択されている。つまり、画素行(1)、(G)の駆動用TFT11b、取込用TFT11cがオン状態である。また、ゲート信号線17bにはV_{gh}電圧が印加されている。したがって、少なくとも画素行(1)、(G)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。

【0546】同時に選択する画素行が2画素行($K=2$)であるから、2つの変換用TFT11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流が変

換用TFT11aに流れる。ソース信号線18には、2つの変換用TFT11aのプログラム電流を加えた電流が流れる。

【0547】次の1H後には、ゲート信号線17a(G)は非選択となり、ゲート信号線17b(G)にはオン電圧V_{g1}が印加される。また、同時に、ゲート信号線17a(2)が選択され(V_{g1}電圧)、選択された画素行(2)の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(G)には正規の画像データが保持される。

【0548】次の1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17b(1)にはオン電圧V_{g1}が印加される。また、同時に、ゲート信号線17a(3)が選択され(V_{g1}電圧)、選択された画素行(3)の変換用TFT11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0549】フリッカが発生しやすい場合は、図101に図示するように非表示領域312あるいは画像表示領域311を複数に分割すればよい。このことは先に説明したので、図101はあえて説明を要さないであろう。

【0550】図102、図103は擬似インターレース駆動である。擬似インターレース駆動とは、第1F(第1フィールド)は奇数画素行と偶数画素行の2画素(複数画素)行を同時に選択して、選択した画素行が重なることなく画像データを書き込む。次の第2Fは第1画素行を除いて、偶数画素行と奇数画素行の2画素(複数画素)行を同時に選択して、選択した画素行が重なることなく画像データを書き込む方式である。

【0551】図103(a1)、(a2)、(a3)は第1フィールドであり、図103(b1)、(b2)、(b3)は第2フィールドである。第1フィールドは図103(a1)→図103(a2)→図103(a3)→と順次書き込み画素行871を2画素行ペアで映像データを書き込む。したがって、2画素行は同一画像表示であり、この表示状態が1フィールドの期間保持される。また、第1フィールドでは奇数画素行の画像データを該当奇数画素行と次の偶数画素行に表示する。つまり、第1行目の画像データは第1画素行と第2画素行に表示し、第3行目の画像データは第3画素行と第4画素行に表示し、第5行目の画像データは第5画素行と第6画素行に表示し、第7行目の画像データは第7画素行と第8画素行に表示する。

【0552】第2フィールドは図103(b1)→図103(b2)→図103(b3)→と順次書き込み画素行871を2画素行ペアで映像データを書き込む。した

がって、2画素行は同一画像表示であり、この表示状態が1フィールドの期間保持される。また、第2フィールドでは偶数画素行の画像データを該当偶数画素行と次の奇数画素行に表示する。つまり、第2行目の画像データは第2画素行と第3画素行に表示し、第4行目の画像データは第4画素行と第5画素行に表示し、第6行目の画像データは第6画素行と第7画素行に表示し、第8行目の画像データは第8画素行と第9画素行に表示する。

【0553】なお、図103(a1)の第1画素行は第1フィールドの状態が保持されたままにする。また、第1フィールドでは奇数画像データを書き込み、第2フィールドでは偶数画像データを書き込むとしたがこれに限定されるものでなく、逆でもよい。

【0554】以上のように画像表示をすれば、人間の目によって2フィールドの表示画像が残像で加え合わさって見えるとした場合、1フレーム(2フィールド)が終了した時点で、第1画素行は、第1フィールドの表示画像である。また、第2画素行は、第1フィールドの第1画素行の画像データと第2フィールドの第2画素行の画像データとが加えられたものになる。第3画素行は、第1フィールドの第3画素行の画像データと第2フィールドの第2画素行の画像データとが加えられたものになる。また、第4画素行は、第1フィールドの第3画素行の画像データと第2フィールドの第4画素行の画像データとが加えられたものになる。第5画素行は、第1フィールドの第5画素行の画像データと第2フィールドの第4画素行の画像データとが加えられたものになる。

【0555】以上のように、各画素行は、2つのフィールドの画像が重ね合わさったものとなるため、表示画像の輪郭が滑らかになる。特に、動画表示では若干の動画ぼけが発生するが、ほぼ静止画では良好な解像度が得られる(ように認識される)。

【0556】図104は図103の表示方法を実現するための駆動波形である。図面の上位置は第1フィールド(1F)の駆動波形であり、図面の下位置は第2フィールド(2F)の駆動波形である。

【0557】第1フィールド(1F)において、まず、第1画素行と第2画素行のゲート信号線17a(1)、(2)が選択される。ソース信号線18には10倍($N=10$)の駆動電流が流れるので、画素行(1)、(2)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第1画素行と第2画素行のゲート信号線17b(1)、(2)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第1画素行と第2画素行のEL素子15は点灯しない。

【0558】2H後(偶数画素行または奇数画素行ずつ画像データを書き込むから、2Hとなる)、第3画素行と第4画素行のゲート信号線17a(3)、(4)が選択され、ソース信号線18には10倍($N=10$)の駆

動電流が流れる。したがって、画素行(3)、(4)の変換用TFT11aはそれぞれ5倍の電流でプログラムされる。この時、第3画素行と第4画素行のゲート信号線17b(3)、(4)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第3画素行と第4画素行のEL素子15は点灯しない。

【0559】一方、ゲート信号線17b(1)、(2)には、オン電圧Vg1が印加されるので、第1画素行と第2画素行のスイッチング用TFT11dはオンし、EL素子15が点灯する。

【0560】さらに、2H後、第5画素行と第6画素行のゲート信号線17a(5)、(6)が選択される。ソース信号線18には10倍($N=10$)の駆動電流が流れるので、画素行(5)、(6)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第5画素行と第6画素行のゲート信号線17b(5)、(6)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第5画素行と第6画素行のEL素子15は点灯しない。

【0561】一方、ゲート信号線17b(1)、(2)、(3)、(4)には、オン電圧Vg1が印加されるので、第1画素行、第2画素行、第3画素行および第4画素行のスイッチング用TFT11dがオンし、EL素子15が点灯する。以上の動作を画面の最終奇数画素行まで実施し、1画面を表示する。

【0562】第2フィールド(2F)においては、第1画素行は選択せず、第1フィールドの状態を保持させる。次に、第2画素行と第3画素行のゲート信号線17a(2)、(3)が選択される。ソース信号線18には10倍($N=10$)の駆動電流が流れる。したがって、画素行(2)、(3)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第2画素行と第3画素行のゲート信号線17b(2)、(3)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第2画素行と第3画素行のEL素子15は点灯しない。

【0563】2H後、第4画素行と第5画素行のゲート信号線17a(4)、(5)が選択され、ソース信号線18には10倍($N=10$)の駆動電流が流れる。したがって、画素行(4)、(5)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第4画素行と第5画素行のゲート信号線17b(4)、(5)にはオフ電圧Vghが印加され、スイッチング用TFT11dはオフ状態である。したがって、第4画素行と第5画素行のEL素子15は点灯しない。

【0564】一方、ゲート信号線17b(2)、(3)には、オン電圧Vg1が印加されるので、第1画素行、第2画素行と第3画素行のスイッチング用TFT11dはオンし、EL素子15は点灯する。

【0565】さらに、2H後、第6画素行と第7画素行のゲート信号線17a(6)、(7)が選択され、ソース信号線18には10倍($N=10$)の駆動電流が流れる。したがって、画素行(6)、(7)の変換用TFT11aにはそれぞれ5倍の電流でプログラムされる。この時、第6画素行と第7画素行のゲート信号線17b(6)、(7)にはオフ電圧 V_{gh} が印加され、スイッチング用TFT11dはオフ状態である。したがって、第6画素行と第7画素行のEL素子15は点灯しない。

【0566】一方、ゲート信号線17b(1)、(2)、(3)、(4)、(5)には、オン電圧 V_{gl} が印加されるので、第1画素行、第2画素行、第3画素行、第4画素行および第5画素行のスイッチング用TFT11dはオンし、EL素子15は点灯する。以上の動作を画面の最終偶数画素行まで実施し、1画面を表示する。

【0567】以上の実施例は、2フィールドで1画面を表示するものであった。図105は2フィールド以上で1画面を表示するものである。図105(a)が第1フィールド、図105(b)が第2フィールド、図105(c)が第3フィールドである。

【0568】第1フィールドでは、 $4Y-3$ (Y は1以上の整数)画素行と $4Y-2$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。第2フィールドでは、 $4Y-1$ 画素行と $4Y$ 画素行とが書き込み画素行871である。先のフィールドを同様に2画素行ずつ画像データを書き込む。第3フィールドでは、 $4Y-2$ 画素行と $4Y-1$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。以上のように3Fで書き込むことにより、各画素データは複数のフィールドの画像データで補完される。

【0569】図105は3フィールドで1画面の実施例であったが、それ以上のフィールドを用いて画像表示を実現してもよい。例えば、4フィールドの場合、第1フィールドでは、 $4Y-3$ (Y は1以上の整数)画素行と $4Y-2$ 画素行とが書き込み画素行871である。2画素行ずつ画像データを書き込む。第2フィールドでは、 $4Y-1$ 画素行と $4Y$ 画素行とが書き込み画素行871である。第3フィールドでは、 $4Y-2$ 画素行と $4Y-1$ 画素行とが書き込み画素行871である。先と同様に2画素行ずつ画像データを書き込む。第4フィールドでは、 $4Y-3$ 画素行と $4Y$ 画素行とが書き込み画素行871である。先のフィールドを同様に2画素行ずつ画像データを書き込む。以上のように4フィールドで書き込むことにより、各画素データは複数のフィールドの画像データで補完される。

【0570】以上の実施例は、主として図6の画素構成を例示して説明したが、本発明の駆動方法は、図8、図68などの他の電流プログラム画素構成に対しても有効である。

【0571】図106は図68の画素構成の駆動方法の説明図である。なお、ここでも、説明を容易にするために、ソースドライバ14からソース信号線18に流す電流(もしくは、ソースドライバ14がソース信号線18から吸い込む電流、駆動用TFT11aがソース信号線18に流し込む電流)は所定値の10倍($N=10$)として説明をする。また、駆動用TFT11aとTFT11bのカレント倍率は1:1(カレント倍率1)であるとして説明をする。

10 【0572】したがって、同時に選択する画素行が5画素行($K=5$)であれば、5つの駆動用TFT11aが動作する。カレント倍率=1であるから、駆動用TFT11bにもTFT11aと同一の電流が流れる。つまり、1画素あたり、 $10/5=2$ 倍の電流が駆動用TFT11aに流れる。画素16の駆動用TFT11aにプログラムされる電流は所定値の2倍であるから、EL素子に流れる電流も2倍である。したがって、図34のように10倍の電流を流す場合に比較してEL素子15の劣化は少なくなる。一方、ソース信号線18に流れる電流は10倍であるから、図34と同様の寄生容量404の充放電が可能である。このことは、図35においても同様である。

20 【0573】カレント倍率が2であれば、駆動用TFT11bがEL素子15に流す電流は1倍となる。したがって、所定輝度が得られるように所定電流をEL素子15に流すことができる。つまり、図8、図68の画素構成では、カレント倍率(TFT11aとTFT11bとの電流比率)と、ソース信号線18に流す電流(プログラム電流)とを、設計(調整)することにより、汎用度の高い表示パネルの駆動設計が可能である。

30 【0574】同時に選択する画素行が5画素行($K=5$)であれば、5つの駆動用TFT11aのプログラム電流を加えたものとなる。例えば、書き込み画素行871aに、本来、書き込む電流を I_d とし、 $N=10$ とすれば、ソース信号線18には、 $I_d \times 10$ の電流を流す。書き込み画素行871aと隣接した書き込み画素行871b(871bはソース信号線18への電流量を増加させるため、補助的に用いる画素行である。したがって、画像を書き込む画素(行)が871aであり、871aに書き込むために補助的に用いるのが画素(行)871bである)。

40 【0575】図106において、書き込み画素行871aの画像データで K 行($K=5$)同時に書き込む。したがって、 K 行の範囲(871a、871b)は同一表示となる。このように、同一表示にすると当然のことながら解像度が低下する。これに対処するために、図35(b)に図示するように書き込み画素行871bの部分を非表示領域312とするのである。したがって、解像度低下は発生しない。

50 【0576】図106(a)に図示する書き込み画素行

871aは表示状態にしているが、この画素はプログラム中であるため、画素への電流書き込み状態に変化する。したがって、非表示領域312としてもよい。

【0577】次の1H後は、1画素行シフトした画素行を書き込み画素行871aとして同一動作を行う。非表示領域312も1画素(行)シフトされる。以上のように、本来の表示データと異なる電流データを書き込まれた書き込み画素行871bは表示されず、上記の動作を1行ずつシフトしていくと完全な画像表示を実現できる。また、補助的に用いている書き込み画素行871b

の効果で、寄生容量404の充放電も十分1H期間内に実現できる。

【0578】図107は、図106の駆動方法を実現するための駆動波形の説明図である。電圧波形はオフ電圧をVgh(Hレベル)とし、オン電圧をVgl(Lレベル)としている。また、図107の下段には選択している画素行の番号を記載している。また、図中の(1)、(2)、(3)・・・(11)とは選択している画素行番号を示している。なお、画素行数はVGAパネルでは480本であり、XGAパネルでは768本である。

【0579】図107において、ゲート信号線17a(1)とゲート信号線17b(1)が選択され(Vgl電圧)、選択された画素行の駆動用TF T11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。また、ソース信号線18に流れるプログラム電流は所定値のN倍(説明を容易にするため、N=10として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。また、5画素行を同時選択(K=5)として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍の電流が駆動用TF T11aに流れるようにプログラムされる。

【0580】基本的には、ゲート信号線17aと17bとは同一位相であるから、共通化することが可能である。しかし、厳密には、画素行を選択、非選択とする際、まず、スイッチング用TF T11dがオフし、次に取込用TF T11cがオフするように制御されることが好ましいので、ゲート信号線17aとゲート信号線17bとは分離しておいた方がよい。

【0581】書き込み画素行が(1)画素行目である時、図107で図示したように、ゲート信号線17a、17bにはオン電圧Vglが印加されている。したがって、画素行(1)、(2)、(3)、(4)、(5)が選択されている。つまり、画素行(1)、(2)、(3)、(4)、(5)の取込用TF T11c、スイッチング用TF T11dがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行(1)、(2)、(3)、(4)、(5)のスイッチング用TF T11dがオフ状態であり、対応する画素行のEL素子15には電流が流

れておらず、非表示領域312となる。

【0582】理想的には、5画素の駆動用TF T11aが、それぞれ1d×2の電流をソース信号線18に流し、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは理解を容易にするため、各駆動用TF T11aは特性(Vt、S値)が一致しているとして説明をする。

【0583】同時に選択する画素行が5画素行(K=5)であるから、5つの駆動用TF T11aが動作する。つまり、1画素あたり、10/5=2倍の電流が駆動用TF T11aに流れる。ソース信号線18には、5つの駆動用TF T11aのプログラム電流を加えた電流が流れる。例えば、書き込み画素行871aに、本来、書き込む電流を1dとし、ソース信号線18には、1d×10の電流を流す。

【0584】書き込み画素行(1)より以降に画像データを書き込む4つの書き込み画素行871bは、ソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行871bは後に正規の画像データが書き込まれるので問題はない。したがって、書き込み画素行871bは、1H期間の間は書き込み画素行871aと同一表示である。そのため、電流を増加させるために選択した書き込み画素行871bを少なくとも非表示領域312とするのである。

【0585】次の1H後には(画素行番号6の位置)、ゲート信号線17a(1)、17b(1)は非選択となり、画素に書き込むデータが確定する。また、同時に、ゲート信号線17a(6)が選択され(画素番号2の位置)、選択された画素行(6)の駆動用TF T11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0586】次の1H後には、ゲート信号線17a(2)、17b(2)は非選択となる。また、ゲート信号線17a(7)が選択され(Vgl電圧)、選択された画素行(7)の駆動用TF T11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0587】図73と同様であるが、図82の駆動方法では、各画素には2倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。

【0588】これを所定の輝度とするためには、図34に図示するように、書き込み画素行871を含み、かつ表示画面21の1/2の範囲を非表示領域312とすればよい。このことは図79などを用いて説明したので省

略する。なお、図89の駆動方法も図68、図70、図75、図76、図106などにも適用できることは言うまでもない。説明は先に行っているので省略する。

【0589】図34、図35は図6、図8、図68のような電流プログラム方式の画素構成を例示して説明したが、これに限定されるものではない。例えば、図70、図75、図76などの電圧プログラム方式の画素構成でも有効である。複数画素行に同時に電圧を印加する方式とすることにより、画素を予備充電することができるため、SXGA以上の高精細表示パネルにも対応できるようになる。また、電駆動回路、信号処理回路が簡略化され、良好な黒表示を実現できるからである。

【0590】電圧プログラムの適用例として図70の画素構成を例示して説明をする。なお、図108、図109はその駆動波形である。図108、図109において5画素行を非表示領域312にするとして説明をするが、これに限定されるものではなく、単に説明を容易にするためである。例えば、2画素行を同時選択してもよく、10画素行でもよい。また、1画素行を非表示領域312としてもよい。このことは図74、図75、図76などに対しても同様である。

【0591】また、図70、図74、図75、図76などで図示した電圧プログラムの画素構成に対して、図86、図89、図93、図94、図96、図105などで説明した駆動方法を適用することができる。また、N倍の電流がEL素子15に流れるように駆動し、非表示領域312を形成するという駆動方法も適用することができることは言うまでもない。しかし、図108、図109では説明が複雑になるのであえて説明しない。

【0592】図109に示すように、書き込み画素行が(1)画素行目である時(画素行番号5の位置)、ゲート信号線17aは(1)、(2)、(3)、(4)、(5)が選択されている。つまり、画素行(1)、(2)、(3)、(4)、(5)の駆動用TFT11bがオン状態であり、ゲート信号線17bには、オフ電圧Vghが印加されている。したがって、画素行(1)、(2)、(3)、(4)、(5)のスイッチング用TFT11dがオフ状態であり、対応する画素行のEL素子15には電流が流れておらず、非表示領域312となる。したがって、画素行(1)には5Hの期間、電圧が予備充電されていることになる。

【0593】予備充電されている画素行は、5H期間の間は他の4画素行と同一表示である。そのため、書き込みを行っている画素行を少なくとも非表示領域312とするのである。特に、映像信号では隣接した画素では映像データが近似しているので、予備充電を行えば、正規の画像データの書き込みが楽になる。

【0594】したがって、本発明は、複数の画素行に画像データを書き込み、正規の画像データが書き込まれるまでは非表示領域312とする方法である。ただし、1

画素行の選択であっても、この画素行の画像データを書き込んでいるときは表示が不安定であるので、非表示とすることも本発明の概念である。また、EL素子15に流れる電流を所定値よりも大きくし、非表示領域312を形成することにより所定輝度にする。この表示方法で良好な動画を実現するのも本発明の効果である。

【0595】次の1Hでは、(2)画素行目の画像データを確定させる。図109で明らかなように、ゲート信号線17a(1)とゲート信号線17b(1)にオフ電圧(Vgl:TFT11bがNチャンネルのため)が印加される(画素行番号6)。ゲート信号線17a(6)とゲート信号線17b(6)にはオン電圧(Vgh:TFT11bがNチャンネルのため)が印加される。したがって、画素行(2)の変換用TFT11aへの画像データは保持される。

【0596】以上のように水平走査期間に同期して、1画素行、書き込み画素行がシフトし、上記の動作を順次実施することにより、1画面を表示することができる。

【0597】図108は図70の画素構成において、ゲート信号線17bのタイミングを1Hシフトした方法である。図108で明らかなように、確定する画素を表示状態とするものである。

【0598】例えば、画素行(1)は5Hの期間、画像データが書き込まれている(画素行番号1~5の期間)。つまり、画素行(1)のゲート信号線17aは選択状態である(TFT11bがNチャンネルのため、オン電圧Vghが印加されている)。5Hの時には、ゲート信号線17b(1)にはオン電圧(Vgl:TFT11dがPチャンネルのため)が印加されているため、EL素子15には電流が流れている。したがって、EL素子15は点灯状態である。この点が図109と異なっている。図109では非表示領域312としていたが、他の点では図109と同様であるので説明を省略する。

【0599】なお、以上の複数の画素行を同時にオンさせて画像データを書き込む本発明の実施例において、表示画面21の最上辺あるいは最下辺、あるいはその両方の画素行は同時にオンさせるための隣接した画素行がない。この課題に対しては、表示画面21の最上辺あるいは最下辺、あるいはその両方に、ダミーの画素行を形成あるいは配置すればよい。

【0600】例えば、図81で説明した5画素行を同時に選択する駆動方法では、画面の下辺に4本の画素行を形成する。もちろん上下反転駆動を実施する場合は、画面の上辺にも4本のダミー画素行を設ける。このダミー画素行は、EL素子15を形成しないので、発光はしない。もちろん、EL素子15を形成しても発光しないようにするか、遮光して表示されないようにする。その他、図6では1画素のスイッチング用TFT11d以外を形成しておいてもよい。なお、ダミー画素行は1画素行以上形成する。

【0601】また、隣接した画素行を同時にオンさせるとしたが、これに限定されるものではない。例えば、複数の画素行をオンさせるタイミングが異なっても良い。また、1行目を3行目の2画素行というように離れていてもその効果は発揮される。極端には、2画素行を選択する場合、1画素行を固定して（例えば、画面の一番下の画素行あるいは、ダミー画素行）オンさせ、他の1画素行を走査して順次オンさせてもよい。

【0602】図6、図8、図51、図61、図62、図63などの電流プログラム方式で共通の事項であるが、電流プログラム方式での黒表示が困難という問題点がある（もちろん図34、図35などの本発明を実施すれば大幅に改善できる。しかし、さらに以下の実施例と組み合わせることも有効である。もちろん、図34、図35の実施例と組み合わせず、以下の実施例を単独で実施しても良い）。例えば、EL素子15に流す白ピーク電流が $2\mu\text{A}$ であっても、64階調表示における1階調目は $2\mu\text{A}/64 \div 30\text{nA}$ である。この微小な電流でソース信号線18などの寄生容量404を1H期間に充放電することはなかなか困難である。なお、画素16はマトリックス状に形成または配置されているが、図面では説明を容易にするために、1画素のみを図示している。

【0603】この課題に対応するため、本発明ではソース信号線18に黒レベルの電圧（電流）を書き込むための電圧源401を形成または配置している。具体的には電圧源401とはDCDCコンバータで所定電圧を発生させ、この電圧をアナログスイッチなどから構成される電源切り替え手段403で印加できるように構成している。

【0604】ソース信号線18に印加する信号波形の具体例を図110に示す。電流プログラムを行う1H期間の最初の t_2 の期間に駆動用TFT11b（図6などでは変換用TFT11a）のソース信号線18にオフまたはほぼ黒表示にする電圧Vbを印加する。この電圧は電圧源401で発生し、電源切り替え手段403によりソース信号線18に印加される。プログラム期間では取込用TFT11c、スイッチング用TFT11dがオン状態であるから、ソース信号線18に印加された電圧Vbはコンデンサ19の端子電圧、つまり、駆動用TFT11bのゲート端子電圧となる。したがって、1H期間の最初の画素は黒表示（非点灯状態）となる。

【0605】本来、表示される画像が黒表示の場合は、そのまま、コンデンサ19の端子電圧が保持される。実際に表示される画像が白表示の場合では、Vb電圧印加後に白表示の電圧Vw（なお、電流プログラムの場合はIwと表現すべきである）が印加されて、この電圧（電流）がコンデンサ19に保持されて1H期間が終了する。なお、ここでは説明を容易にするため、実際に表示される画像が白表示であるから白表示の電圧Vw（電流Iw）を印加するとした。しかし、当然のことながら、

自然画の場合は、コンデンサ19に保持される電圧はVbからVw間の電圧（電流）である。

【0606】図110に図示するように、ソース信号線18に信号を印加し、ゲート信号線17a、17bを駆動することにより、良好な黒表示を実現でき、また、図38などの画像表示を実施できる。

【0607】図6の画素構成でも図110の信号波形を印加することにより良好な黒表示を実現できる。電流プログラムを行う1H期間の最初の t_2 の期間に変換用TFT11aのソース信号線18にオフまたはほぼ黒表示にする電圧Vbを印加する。この電圧は電圧源401で発生し、電源切り替え手段403によりソース信号線18に印加される。

【0608】プログラム期間では駆動用TFT11b、取込用TFT11cがオン状態であるから、ソース信号線18に印加された電圧Vbはコンデンサ19の端子電圧、つまり、変換用TFT11aのゲート端子電圧となる。したがって、1H期間の最初の画素は黒表示（非点灯状態）となる。

【0609】先に説明したように、表示される画像が黒表示の場合では、そのまま、コンデンサ19の端子電圧が保持される。実際に表示される画像が白表示の場合では、Vb電圧印加後に白表示の電圧Vw（なお、電流プログラムの場合はIwと表現すべきである）が印加されて、この電圧（電流）がコンデンサ19に保持されて1H期間が終了する。

【0610】図51などで図示した電圧源401（ブリッジ回路）は低温ポリシリコン技術などで、アレイ基板49上に直接形成してもよい。なお、EL素子15はR、G、Bで素子構成、材料が異なるので光の発生が生じる電圧（電流）が異なる（立ち上がり電圧（電流））場合が多い。この特性に対応するため、R、G、Bでブリッジ電圧を個別に設定できるように構成すること、少なくとも3原色のうち1色は変化できるようにすることが好ましい。

【0611】なお、Vb電圧を印加するブリッジ時間 t_2 は、 $1\mu\text{s}$ 以上にする必要がある。また、Vb電圧を印加するブリッジ時間 t_2 は1Hの1%以上10%以下、さらには2%以上8%以下にすることが好ましい。

【0612】また、表示画面21の内容（明るさ、精細度など）で、ブリッジする電圧を変化できるように構成しておくことが好ましい。例えば、ユーザーが調整スイッチを押したり、調整ボリュームを回したりすることで、この変化を検出しブリッジ電圧（電流）の値を変更する。表示する画像の内容、データにより自動的に変化させるように構成してもよい。例えば、ホトセンサで外部の外光の強さを検出し、その検出された値で、ブリッジ（ディスチャージ）電圧（電流）を調整する。その他、画像の種類（パソコン画像、昼の画面、星

空など)に応じて、ブリチャージ(ディスチャージ)電圧(電流)を調整する。調整は画像の平均明るさ、最大輝度、最小輝度、動画、静止画、輝度分布を考慮して決定する。

【0613】図51などではブリチャージ回路などを簡単に説明した。さらに、図111などを用いてさらに詳しく説明する。なお、ディスチャージとブリチャージは単に電位の印加方向であるので、以降はディスチャージとブリチャージを同義とし、ブリチャージを用いて説明する。

【0614】図111は電流駆動と電圧駆動とを組み合わせた回路構成である。スイッチ回路1223は表示領域のあるソース信号線18に接続され、アナログスイッチから構成される。スイッチ回路1223のa端子には電圧が印加され(ブリチャージ電圧)、b端子には画素にプログラムするプログラム電流が印加される。

【0615】電流出力回路1222には8ビット(256階調)のIDATAが入力され、このIDATAがDA回路1226でDA変換されてアナログ電圧となる。このアナログ電圧が出力トランジスタ(もしくはFET)1227のベース端子に印加され、オペアンプ1224bと抵抗1228の作用で、電流出力に変換される。なお、出力トランジスタ1227とオペアンプ1224などによる電圧-電流変換回路は一般的なもので、当該技術分野の技術者にとって公知であるのでこれ以上の説明は要さないであろう。

【0616】一方、電圧出力回路1221は調整ボリウム(VR)1225とオペアンプ1224aによるバッファ回路から構成される。調整ボリウム1225は全ソース信号線に共通のものである。この調整ボリウム1225を調整することにより、ブリチャージ電圧Vbが決定される。

【0617】1水平走査期間(1H)の最初のブリチャージ電圧Vbが印加される時、すべてのソース信号線に接続されたスイッチ回路1223は端子aと接続されている。したがって、すべてのソース信号線18はブリチャージ電圧Vbに設定される。その後、スイッチ回路1223は端子bに切り替えられ、画像に対応した電流データ(256階調)がソース信号線18に印加される。この電流データが各画素16に書き込まれ、各画素のEL素子15に電流が流れて発光する。

【0618】図111では、ブリチャージ電圧Vbは固定値であったが、図112では、ブリチャージ電圧を256値(8ビット)とれるようにした回路構成図である。図112において、電圧出力回路1221は、8ビットのVDATAが入力され、DA回路1226aでアナログ電圧に変換される。変換されたアナログ電圧はオペアンプ1224cの一端子に入力され、調整ボリウム(VR)1225の基準電圧に対して所定の電圧に調整できるように構成されている。

【0619】オペアンプ1224cの出力はバッファのオペアンプ1224aを介して、スイッチ回路1223aのa端子に印加される。一方、スイッチ回路1223aのb端子には電流出力が印加されている。

【0620】VDATAはIDATAに対応する電圧である。1水平走査期間(1H)の最初の1~10μsec(1Hの1/100以上1/5以下の期間であることが好ましい)の期間にVDATAに対応したブリチャージ電圧Vbが印加される。この時、すべてのソース信号線に接続されたスイッチ回路1223は端子aと接続されている。したがって、各ソース信号線18はVDATAに対応するブリチャージ電圧Vbに設定される。図111との差異は、各ソース信号線にブリチャージ電圧Vbを設定できることである。つまり、各ソース信号線18にそれぞれIDATAをDA変換するDA回路と、VDATAをDA変換するDA回路を具備している。ただし、各ソース信号線18にそれぞれIDATAをDA変換するDA回路と、VDATAをDA変換するDA回路を具備することに限定されるものではない。例えば、DA回路は1つでも、その出力を各ソース信号線でサンプルホールドすれば実現できるからである。

【0621】VDATAを変換した電圧を1Hの最初の期間に印加するが、この電圧値は、以降に印加するIDATAに対応した電流値によるソース信号線電位とほぼ等しくなる。したがって、VDATAの電圧を印加することによりソース信号線の電位はほぼ目標値となり、IDATAでわずかに目標値に補正するだけとなる。以上のように構成することにより、ソース信号線18への電流書き込み不足はなくなる。

【0622】なお、図112(a)において、スイッチ回路1223aはa端子とb端子とを切り替えるとしたがこれに限定されるものではない。例えば、図112

(b)のように、電圧出力回路1221の出力をa端子に印加し、電流出力回路1222の出力がソース信号線18に絶えず接続状態になるよう構成してもよい。

【0623】DA回路1226をリファレンス電圧に対応して出力変化できるものとするによりさらに回路構成の柔軟性が向上する。このリファレンス電圧に対応して出力変化できるとは、例えば、リファレンス電圧が2.54Vの時、0.01V間隔で出力を変化できるものをいう(8ビット、256階調のDA回路を採用した時)。リファレンス電圧が5.08Vでは0.02V間隔で出力を変化できる。つまり、リファレンス電圧を変更することにより、瞬時にDA回路の出力をリファレンス電圧に比例して変更することができる。図113はこのようなDA回路を採用した場合の回路ブロック図である。

【0624】図113において、DA回路1226aにはVref電圧が印加されている。Vref電圧はVv電圧を4分割するRV*抵抗とスイッチ回路1223b

からなる回路より出力される。したがって、 V_{ref} 電圧はCVS信号により4段階に切り替えられ、DA回路1226aの出力を瞬時に4段階で切り替えることができる。

【0625】一方、DA回路1226bには I_{ref} 電圧が印加されている。 I_{ref} 電圧は V_i 電圧を4分割するRV*抵抗とスイッチ回路1223cからなる回路より出力される。したがって、 I_{ref} 電圧はCIS信号により4段階に切り替えられ、DA回路1226bの出力を瞬時に4段階で切り替えることができる。

【0626】図113のように構成することにより、ソース信号線18に出力する電流（電圧）は、1Hの期間に4段階に変化することができるようになる。この使用方法としては例えば、最初に高い電圧（電流）を一瞬印加し、この印加により高速に目標値まで到達させ、その後、定常値の電圧（電流）に変更し、目標値にすることで、画素に書き込む電圧（電流）を高速に変更することができる。

【0627】ただし、図113の構成では、回路規模がかなり大きなものになる。一般的には図114に図示する構成で十分である。図113の構成は、電圧出力回路1221が2つの電圧値を出力できるように構成されている。この2つの電圧とは、1つが画像表示を黒にする電圧である。他の1つは画像表示を白にする電圧である。具体的には、図6の V_{dd} 電圧を6Vとすれば、黒電圧は3V~4Vであり、白電圧は1V~2Vである。この白電圧と黒電圧は調整ボリューム（VR）1225で調整され、この電圧がバッファのオペアンプ1224a、1224cを介してスイッチ回路1223bに印加される。なお、スイッチ回路1223bの出力はVSL電圧で切り替えられる。

【0628】1水平走査期間（1H）の最初にプリチャージ電圧 V_b （白電圧または黒電圧）が印加される。各ソース信号線はスイッチ回路1223aの端子cと接続されているので、各ソース信号線18はまず、白電圧または黒電圧にプリチャージ設定される。その後、スイッチ回路1223は端子bに切り替えられ、画像に対応した電流データ（256階調）がソース信号線18に印加される。この電流データが各画素16に書き込まれ、各画素のEL素子15に電流が流れて発光する。

【0629】以上の実施例では、各ソース信号線18はまず、白電圧または黒電圧にプリチャージに設定されるとしたがこれに限定されるものではない。表示データ（VDATA、IDATA）が所定値以上の時、あるいは所定値以下の時、プリチャージするように構成した方が現実的である。

【0630】図115は説明を容易にするため、64階調表示の場合を例示している。図115（a）では、57階調目から63階調目の範囲（KW）を白電圧でプリチャージする。つまり、図114の電圧出力回路122

1から白電圧を出力する。また、0階調目から7階調目の範囲（KB）を黒電圧でプリチャージする。つまり、図114の電圧出力回路1221から黒電圧を出力する。そして、8階調目から56階調目までは電圧出力回路1221の出力はハイインピーダンス状態とする（スイッチ回路1223aは端子aを選択しない）。

【0631】以上のように、白表示とすべき階調に白電圧を印加し、黒表示とすべき階調に黒電圧を印加する。また、中間調の箇所（KM）ではプリチャージしないことにより、階調表示を高速に、かつ良好に実現することができる。

【0632】電流プログラム方式の場合、黒表示では、プログラム電流（画素に書き込む電流）が5nA以上20nA以下と小さいため、書き込み不足が発生する。そこで、黒電圧をプリチャージすることにより、本来の黒表示を実現することができる。しかし、暗い灰色の表示でも書き込み不足が発生することがある。この場合は、白と黒のプリチャージに加えて、第2の黒のプリチャージを行うことが効果的である。

【0633】図115（b）はこの実施例である。KB1の範囲で黒電圧をプリチャージすることにより、本来の黒表示を実現することができる。そして、KB2の範囲を第2の黒（灰色）をプリチャージすることにより、黒に近い灰色の部分に対して十分な階調表示を実現できる。

【0634】ここで、より具体的には、図6の画素構成において、 V_{dd} 電圧が6Vとすれば、KB1の範囲のプリチャージを行う黒電圧は3V~3.5Vであり、KB2の灰色のプリチャージを行う黒電圧は3.5V~4.0Vである。KWの範囲の白電圧は1V~2Vである。KMの範囲は電圧によるプリチャージは行わない。

【0635】図115（b）は説明を容易にするため、64階調表示の場合を例示している。図115（b）では、57階調目から63階調目の範囲（KW）を白電圧でプリチャージする。0階調目から7階調目の範囲（KB1）を黒電圧でプリチャージする。8階調目から15階調目の範囲（KB2）を第2の黒電圧でプリチャージする。16階調目から56階調目までは電圧出力回路1221の出力をハイインピーダンス状態とする（スイッチ回路1223aは端子aを選択しない）。

【0636】以上のように、黒の範囲を複数の範囲に分離し、それぞれ異なった電圧でプリチャージすることにより、より適正な階調表示を実現できる。なお、図115（b）は、黒の範囲を2つとしたがこれに限定されるものではなく、3つ以上でもよい。また、プリチャージは全ソース信号線に一括して行ってもよい。これらの回路構成は、図114においてバッファのオペアンプ1224を3個以上配置し、スイッチ回路1223bを3つ以上選択できるように構成すればよいから容易である。

【0637】なお、図115において、階調0（黒表

示)にEL素子15に流す電流は0Aではない。EL素子15は所定電流以上を流さないと発光しない。この発光しない範囲の電流を暗電流と呼ぶ。暗電流は画素サイズが10000平方 μm^2 で10nA以上50nA以下程度である。この暗電流の範囲内において、画素は黒表示であり、階調0でも電流が流れている。ソースドライバ14の構成としては暗電流を加えた電流で駆動する必要がある。

【0638】以降、図111～図114に図示する回路構成を出力段回路1271と呼ぶ。出力段回路1271は図116に図示するように、各ソース信号線18に配置(形成)するのが一般的な構成例である。なお、図116などで、出力段回路1271はシリコンチップで形成したソースドライバ14内に形成したように図示したがこれに限定されるものではなく、ガラス基板241上に画素TFT11などと同時に直接形成してもよい。つまり、高温ポリシリコン技術、低温ポリシリコン技術、シャープ(株)などが開発しているCGS(Continuous Grain Silicon)技術、富士通(株)などが開発している種結晶を基板に形成して成長させる方法、セイコーエプソン(株)が開発している石英基板に形成した半導体回路を転写によって、ガラス基板などに形成する技術で出力段回路1271を形成してもよい。また、ガラス基板241が金属基板あるいは半導体基板の場合は直接、出力段回路1271を形成できることは言うまでもない。

【0639】また、ソースドライバ14には、前記ソースドライバの信号端子電極部にメッキ技術またはネイルヘッドボンディング技術を用いて数 μm から100 μm の高さの金(Au)からなる突起電極(図示せず)が形成されている。前記突起電極と各信号線とは導電性接合層(図示せず)を介して電氣的に接続されている。導電性接合層の接着剤はエポキシ系、フェノール系等を主剤とし、銀(Ag)、金(Au)、ニッケル(Ni)、カーボン(C)、酸化錫(SnO_2)などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。この導電性接合層は、転写等の技術で突起電極上に形成する。

【0640】ソースドライバ14(あるいはゲートドライバ12)を基板上に積載するように図示または説明したが、これに限定されるものではない。また、基板上にソースドライバ14(あるいはゲートドライバ12)を積載せず、フィルムキャリア技術を用いて、ドライバICを積載したポリイミドフィルム等を用いて信号線と接続しても良い。

【0641】図116は表示画面21の一方の端のみに出力段回路1271を配置したように図示したがこれに限定されるものではない。例えば、図117に図示するように、ソースドライバ14aと14bを配置してもよい。図117ではゲートドライバ12も2個形成している。つまり、表示画面は21aと21bから構成される

ことになり、このように構成すれば表示画面21aと21bで別個の画像を表示することができる。

【0642】図117の構成では表示画面21を2分割していることから、出力段回路1271から出力する映像信号は表示画面21が1つの場合と比較して1/2の動作周波数でよい。また、ソース信号線18などに発生する寄生容量も1/2となる。したがって、出力段回路1271の負担は $1/2 \times 1/2 = 1/4$ となる。そのため、出力段回路1271から出力する電流が微小であっても十分ソース信号線17の寄生容量を充放電でき、書き込み不足が発生しない。

【0643】図117の構成では表示画面21を画面21aと画面21bとに中央部で2分割するため、分割位置で境目が見える場合がある。図118はこの課題に対処するものである。ソースドライバ14aは表示画面21の奇数画素行を駆動し、ソースドライバ14bは表示画面21の偶数画素行を駆動する。したがって、表示画面21の境目が発生しない。

【0644】さらに、画素への書き込み電流不足を改善するためには、図119に図示するように、ソースドライバ14aおよび14bにおいて各ソース信号線18に対応する出力段回路1271を2つの出力とするとよい。つまり、出力段回路1271aには2つの出力段(出力段A、出力段B)を具備し、出力段Aが表示画面21aの奇数画素行に接続され、出力段Bが表示画面21aの偶数画素行に接続されている。また、出力段回路1271bにも2つの出力段(出力段A、出力段B)を具備し、出力段Aが表示画面21bの奇数画素行に接続され、出力段Bが表示画面21bの偶数画素行に接続されている。このように構成することにより、さらに微小電流でもソース信号線に十分な電流を流せることになり、良好な画像表示を実現できる。

【0645】なお、図119において、出力段回路1271は各画素に1つのソース信号線18を接続するとしたがこれに限定されるものではなく、画素を差動構成にし、各画素に2つのソース信号線(一方のソース信号線をバイアス電流用、他方のソース信号線をバイアス電流+信号電流用)で駆動するように構成してもよい。

【0646】図120はより具体的なモジュール構成図である。図120において、14bはソースドライバであり、14cはゲートドライバとソースドライバとが一体化されたチップ(1チップドライバIC)である。1チップドライバIC14cが表示画面21のゲート信号線を駆動している。1チップドライバIC14cは表示画面21aのソース信号線18aを駆動する。ソースドライバ14bはソース信号線18bを駆動し、表示画面21bを駆動する。

【0647】なお、図120は一例であって、ソースドライバ14bもゲートドライバ機能を有し、表示画面21bのゲート信号線17bを駆動するように構成しても

117

よい。また、電源IC102とコントロールIC101はプリント基板103上に積載されているように図示したがこれに限定されるものではなく、先に説明したポリシリコン技術などを用いて表示パネル82に直接形成してもよい。このことは図194、図195についても適用できる。他の構成は図15、図119、図194、図195などと同様であるので説明を省略する。

【0648】コントロールIC101は1チップドライバIC14cとソースドライバ14bの両方を駆動する。コントロールIC101から1チップドライバIC14cに供給する信号（電源配線、データ配線など）はフレキシブル基板104cを介して供給する。しかし、ソースドライバ14bはかなり距離が離れているため、まず、フレキシブル基板104aで表示パネル82の裏面に接続する。

【0649】図121は表示パネル82を裏面から観察した図である。表示パネル82の裏面に信号配線（電源配線を含む）1321が形成されている。信号配線1321は、銅、アルミ（Al）、銀、銀-パラジウム、パラジウム、金、Al-Moなどの金属材料で形成される。信号配線1321は表示パネル82の端から端まで信号を伝達する。表示パネル82の一端にフレキシブル基板104bが接続されており、このフレキシブル基板104bからソースドライバ14bに信号などが供給される。なお、図122は図121のAから見たときの図面である。

【0650】図51、図110～図115は、図6、図8のような電流プログラム方式の画素構成を例示して説明したが、これに限定されるものではない。例えば、図74、図75、図76、図123、図124などの電圧プログラム方式の画素構成でも有効である。その場合は、図111のスイッチ回路1223のb端子に印加される信号は電圧とする必要がある。この変更は容易であり、当該技術分野の人間であれば容易に対応することができるであろう。電圧駆動では、ソース信号線18の寄生容量による充電不足ということはないが、複数画素行に同時に電圧を印加する方式とすることにより、駆動回路、信号処理回路が簡略化され、また、良好な黒表示を実現できるからである。また、画像の隠逸表示を実現でき、TFT11のばらつき吸収にも効果が発揮されるからである。

【0651】したがって、図111～図115で説明した事項は、本発明のすべての表示パネル、表示装置、情報表示装置などに適用することができることは言うまでもない。

【0652】以上のように、本発明は多種多様な画素構成に適用することができる。図125は図6のTFT11のPチャンネルをNチャンネルにした実施例である。図125においても、ゲート信号線17を制御することによりスイッチング用TFT11dをオンオフすること

118

ができ、図38などの画像表示を実現できることは言うまでもないので説明を省略する。また、図37、図44などの駆動波形も同一または類似であるので説明を省略する。また、図6において駆動用TFT11b、取込用TFT11cのみをNチャンネルTFTとすることも有効である。これは、コンデンサ19への突き抜け電圧が低下し、コンデンサの保持特性も改善されるからである。

【0653】なお、図125は電流源402のみを具備する構成である。つまり、プリチャージを実施する電圧源401は具備しない。しかし、寄生容量404が比較的小さく、または1H期間が十分長い場合は、電圧源401がなくとも十分に黒表示を実現できる。また、図38などで説明したように、完全な非表示領域312を実施する場合は、電圧源401は必要でない場合がほとんどである。必要である場合は図126に図示するように構成すればよい。

【0654】また、図127は図8のTFT11のPチャンネルをNチャンネルにした実施例である。図127においても、ゲート信号線17を制御することによりTFT11eなどをオンオフすることができ、図38などの画像表示を実現できることは言うまでもないので説明を省略する。また、図37、図44などの駆動波形も同一または類似であるので説明を省略する。

【0655】以上説明したように、電圧源401でVb電圧（Ib電流）を印加することにより、良好な黒表示を実現できる。

【0656】なお、N=10以上とし、高い電流パルスをEL素子15に印加すると、EL端子電圧も高くなる。また、EL素子15はR、G、Bで立ち上がり電圧、ガンマカーブが異なる。特にBはガンマカーブが緩やかであるのでEL素子15の端子電圧が高くなる傾向にある。立ち上がり電圧が高く、ガンマカーブが緩やかな色（R、G、B色）のEL素子15に端子電圧をあわせると消費電力が大きくなる。

【0657】これを解決する方法の1つが図25に示すカソードをR、G、Bで分離する方式である。なお、R、G、Bでそれぞれ別のカソード電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のみのカソードのみを分離してもよい。その他の方法として、図128に示すようにVdd電源電圧を分離する構成も有効である。つまり、R色のVdd電源をVddRとし、G色のVdd電源をVddGとし、B色のVdd電源をVddBとする構成である。このように分離することにより、RGBそれぞれを別電源で調整することができ、RGBのEL素子15の端子電圧が異なっても消費電力の増加はわずかになる。

【0658】なお、R、G、Bでそれぞれ別のVdd電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のみのVddのみを分離してもよい。ま

た、図129に図示するように、図25の構成と組み合わせてもよい。つまり、R、G、Bで分離する方式であるR、G、Bでそれぞれ別のカソード電位（R画素は V_{sR} 、G画素は V_{sG} 、B画素は V_{sB} ）とする。特に、ガンマカーブが他の色から離れている1色のみのカソード電位のみを分離してもよい。さらに、 V_{dd} 電源電圧を分離する。R色の V_{dd} 電源を V_{ddR} とし、G色の V_{dd} 電源を V_{ddG} とし、B色の V_{dd} 電源を V_{ddB} とする構成である。この場合もR、G、Bでそれぞれ別の V_{dd} 電位にする必要はない。特に、ガンマカーブが他の色から離れている1色のみ V_{dd} のみを分離してもよい。

【0659】なお、図128、図129では画素16は図6の構成としたが、これに限定されるものではなく、図8、図9、図56、図61～図65、図68～図72、図74、図75、図125～図127、図130などの構成でもよいことは言うまでもない。

【0660】本発明の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧 V_m を印加することが有効である。

【0661】以下、逆バイアス電圧 V_m を印加する方法について説明をする。逆バイアス電圧 V_m を印加するためには図6の構成において、駆動用TFT11bと取込用TFT11cのゲート端子を個別に制御する必要がある。つまり、駆動用TFT11bと取込用TFT11cを個別にオンオフさせる必要がある。この制御方法は図131を用いて説明する。

【0662】まず、図131(a)に示すように、取込用TFT11cをオンし、スイッチング用TFT11dをオンさせる（図6もあわせて参照のこと）。そして、逆バイアス電圧 V_m とEL素子15のa端子に印加する。逆バイアス電圧 V_m はカソード電圧 V_s よりも低い5V以上15V以内の電圧である。

【0663】EL素子15が点灯するときには、a端子にはカソード電圧 V_s に対し、5V以上15V以内の高い電圧が印加されている。つまり、逆バイアス電圧 V_m とはEL素子15が点灯しているときに印加する電圧に対し、理想的には絶対値が等しく、かつ極性の逆の電圧を印加するのである。現実的には絶対値が等しく、かつ極性の逆の電圧を印加することは困難であるから、逆極性で2～3倍の電圧を印加する。以上のように、逆バイアス電圧 V_m を印加することにより、EL素子15はほとんど劣化しなくなる。

【0664】次に、図131(b)に示すように、スイッチング用TFT11dをオフし、駆動用TFT11bをオンさせる。そして、黒表示電圧 V_b をコンデンサ19に書き込む。この動作は図110で説明している。次

に、図131(c)に示すように、TFT11のオンオフ状態は図131(b)と同一の状態、電流源402からの画像表示電圧（電流）をコンデンサ19に書き込む。この動作も図110で説明している。最後に、図131(d)に示すように、駆動用TFT11b、取込用TFT11cをオフし、スイッチング用TFT11dをオンさせ、EL素子15に電流を流して点灯させる。

【0665】以上の動作を図132に示す。1H期間のt1時間に逆バイアス電圧 V_m をソース信号線18に印加し、次のt2期間に黒表示電圧 V_b を印加し、そしてt3期間に画像データ $V_w(I_w)$ を印加する。他の動作は、図131で説明し、また、駆動方法などの図37、図38などで説明しているため説明を省略する。

【0666】図123、図124、図131、図133の構成では、ソース信号線18の電流を画素16に取り込む際に、EL素子15には逆方向電流が流れる。したがって、EL素子15が有機電界発光素子の場合、逆方向電圧を印加した場合のように、有機分子の酸化還元反応などによる電気化学的劣化を遅くすることが可能となる。

【0667】図134に陽極／正孔輸送層／発光層／電子輸送層／陰極からなる3層型有機発光素子のエネルギーダイアグラムを示す。発光時の正負キャリアの挙動は図134(a)で表わされる。電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

【0668】有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定なため、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0669】図134(b)においては逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0670】なお、図134では3層型素子についての説明を行ったが、4層型以上の多層型素子及び2層型以下の素子においても、電極から注入された電子及び正孔により有機膜の電気化学的劣化が起こることは同様である。したがって、層の数によらず本実施例により寿命を長くすることが可能となる。1つの層に複数の材料を混ぜ合わせた素子においても分子の電気化学的劣化は同様に生じるため効果がある。

【0671】本発明の特徴はこのように、有機分子の

劣化を防ぐ機能を持たせ、かつソース信号線に寄生する浮遊容量による波形なまりを防ぐためのバイアス電流を流す機能を持たせても、画素に必要なトランジスタ数を増加させることなく表示が可能であることである。つまり、逆方向電流を流すためのトランジスタの数を増やさなくてもよいことが、表示装置の各画素の開口率を下げなくて済むという利点につながっているのである。

【0672】図135に逆バイアス電圧 V_m の印加効果について説明する。図135は所定電流で駆動した時のEL素子15の発光輝度、EL素子の端子電圧を示している。図135において、点線bは、EL素子15に逆バイアス電圧 V_m を印加した時のEL素子15の端子電圧を示している。一点鎖線cは、EL素子15に逆バイアス電圧 V_m を印加しなかった時のEL素子15の端子電圧を示している。また、実線aは、EL素子15に逆バイアス電圧 V_m を印加した時（実線a）のEL素子15の発光輝度比（初期輝度を1とした時の比率）を示している。

【0673】図135において、具体的には、EL素子はR発光であり、電流密度100A/平方メートルで電流駆動した場合である。サンプルBは時間tの間、連続して電流密度100A/平方メートルの電流を印加している。点灯時間1500時間で端子電圧が高くなったが急激に輝度低下して、2500時間経過後には、初期輝度に対して、約15%の輝度しか得られなかった。

【0674】サンプルAは30Hzのパルス駆動を実施し、半分の時間t2に電流密度200A/平方メートルの電流を流し、後半の半分の時間t1に逆バイアス電圧-14Vを印加した（つまり、単位時間あたりの平均発光輝度はサンプルAとBでは同一である）。サンプルAは、点線bで示すようにEL素子15の端子電圧の変化はほとんどなく、また、輝度が50%となる点灯時間は4000時間であった。

【0675】このように、逆バイアス電圧 V_m を印加してもEL素子15の端子電圧の増加はなく、発光輝度の低減割合は少ない。したがって、EL素子15の長寿命駆動を実現することができる。

【0676】図136は、逆バイアス電圧 V_m とEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図136はEL素子15に流す電流が電流密度100A/平方メートルの場合であるが、図136の傾向は、電流密度50~100A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0677】縦軸は初期のEL素子15の端子電圧に対する2500時間後の端子電圧との比である。例えば、経過時間0時間において、電流密度100A/平方メートルの電流が印加した時の端子電圧を8Vとし、経過時間2500時間において、電流密度100A/平方メー

ターの電流が印加した時の端子電圧を10Vとすれば、端子電圧比は、 $10/8 = 1.25$ である。

【0678】横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間t1の積に対する定格端子電圧V0の比である。例えば、60Hzで、逆バイアス電圧 V_m を印加した時間が1/2であれば、 $t1 = 0.5$ である。また、経過時間0時間において、電流密度100A/平方メートルの電流が印加した時の端子電圧（定格端子電圧）を8Vとし、逆バイアス電圧 V_m を8Vとすれば、 $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2) = | -8V \times 0.5 | / (8V \times 0.5) = 1.0$ となる。

【0679】図136によれば、 $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ が1.0以上で端子電圧比の変化はなくなり（初期の定格端子電圧から変化しない）、逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ が1.75以上で端子電圧比は増加する傾向にあるので、1.0以上、好ましくは1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比t1（もしくはt2、あるいはt1とt2との比率）を決定するとよい。

【0680】ただし、バイアス駆動を行う場合は、逆バイアス電圧 V_m と定格電流とを交互に印加する必要がある。図135のように、サンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧 V_m を印加する場合は、印加しない場合と比較して瞬時的に高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合（図135のサンプルA）のEL素子15の端子電圧も高くしなければならない。

【0681】ただし、図136では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧V0は、平均輝度を満たす端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度200A/平方メートルの電流を印加した時の端子電圧である。ただし、1/2デューティであるので、1周期の平均輝度は電流密度200A/平方メートルでの輝度となる）。

【0682】なお、以上の事項は、EL素子15を、白ラスタ表示の場合（画面全体のEL素子に最大電流を印加している場合）を想定しているが、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、絶えずEL素子15の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度100A/平方メートルの電流）が流れているわけではない。

【0683】一般的に、映像表示を行う場合、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度100A/平方メートルの電流）の約

0.2倍であるので、図136の実施例において、映像表示を行う場合は横軸の値を0.2倍にする必要がある。したがって、 $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ は0.2以上になるように逆バイアス電圧 V_m の大きさおよび印加時間比 $t1$ （もしくは $t2$ 、あるいは $t1$ と $t2$ との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 $t1$ などを決定するとよい。

【0684】つまり、図136の横軸（ $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ ）における1.0の値を0.2とする必要があるので、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ が0.2よりも大きくなるように、逆バイアス電圧 V_m を所定時間 $t1$ に印加するようにする。また、 $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ の値が大きくなっても、図136で図示するように、端子電圧比の増加はさほどない。したがって、白ラスタ表示を実施することとも考慮して、上限値は $| \text{逆バイアス電圧} \times t1 | / (\text{定格端子電圧} \times t2)$ の値が1.75以下を満たすようにすればよい。

【0685】（実施の形態9）以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧 V_m （電流）を印加することを基本とするがこれに限定されるものではない。例えば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は結果として、EL素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心として説明するがこれに限定されるものではない。例えば、図76においてTFT11eをオフさせ、図137と同様に逆バイアス電圧 V_m をEL素子15のアノードに印加する構成にすれば、電圧プログラム方式の画素構成でも、以下に説明する逆バイアス電圧 V_m の印加を容易に実現することができる。したがって、図136などで説明した効果を発揮することができる。

【0686】図137は、本発明の逆バイアス電圧印加方式の駆動方法の説明図である。図137は図6(a)の画素構成に逆バイアス電圧 V_m を印加するスイッチング用TFT11gを配置あるいは形成している。スイッチング用TFT11gのゲート端子は制御用のゲート信号線17dに接続されている。スイッチング用TFT11gをオンさせることにより逆バイアス電圧 V_m がEL素子15のアノードに印加される。

【0687】まず、図138(a1)に示すように、ゲ

ート信号線17aにオン電圧 V_{gl} が印加されると、駆動用TFT11b、取込用TFT11cがオンする。すると、図138(a2)で示すように、ソースドライバ14からプログラム電流 I_w が取込用TFT11cなどに流れ、コンデンサ19に電流プログラムされる。なお、N倍に限定されるものではないが、ここでは説明を容易にするため、N倍の電流をプログラムし、EL素子15に $1F/N$ の期間だけ、電流 I_d を流すものとする。

10 【0688】次に、図138(b1)に図示するように、ゲート信号線17bにオフ電圧 V_{gh} が印加され、駆動用TFT11b、取込用TFT11cがオフする。同時（同時に限定されるものではない）にゲート信号線17bにオン電圧 V_{gl} が印加されると、スイッチング用TFT11dがオンする。すると、図138(c2)で示すように、電源 V_{dd} が変換用TFT11aを介して、電流プログラムされた電流 I_d がEL素子15に流れ、図138(c1)に図示するようにEL素子15が発光する。この発光輝度は、プログラムの変換効率が100%であれば、約N倍の輝度で発光する。

20 【0689】発光期間は $1F/N$ である。残りの $1F(1-1/N)$ の期間はスイッチング用TFT11dがオフ状態であり、EL素子15は非点灯（黒表示）となる。非点灯時はEL素子15に全く電流が流れないため、完全な黒表示を実現できる。また、発光時は白ピーク電流が大きいので、発光輝度も高い。そのため、本発明の駆動方法では、非常に高いコントラスト表示を実現できる。

30 【0690】 $1F$ の期間のすべてに、1倍の電流をEL素子15に流した場合（従来の駆動方法）に黒表示を実現しようとする、黒表示電流をコンデンサ19にプログラムする必要がある。しかし、電流駆動方法では黒表示時の電流値が小さいため、寄生容量の影響を大きく受け十分な解像度が出ない、黒浮きが発生するという課題が発生する。その上、ゲート信号線17からの突き抜け電圧の影響も受ける。これらの課題により、黒表示部でもEL素子15が微点灯状態となり、コントラストが非常に悪くなる。

40 【0691】本発明の駆動方法では、 $1F(1-1/N)$ の期間は完全にEL素子15に電流が流れないので、完全な黒表示を実現できる。つまり、黒浮きが発生しないのである。そのため、図131などで説明した黒表示のためのプリチャージを行わなくとも高コントラスト表示を実現できる。

【0692】なお、もちろん図137などで説明する方式に図131などの方法を加えて実施してもよいことは言うまでもない。また、高コントラスト表示の実現は図76などの電圧プログラムの画素構成においても同様に効果を発揮する。つまり、 $1F/N$ パルス駆動を実施することにより、 $1F(1-1/N)$ の期間はEL素子1

5に全く電流が流れず、高コントラスト表示を実現できるのである。

【0693】図138(d1)に図示するように、ゲート信号線17dにオン電圧を印加し、スイッチング用TFT11gをオンさせる。この時、スイッチング用TFT11dはオフ状態とする。スイッチング用TFT11gをオンさせることにより、EL素子15のアノード（なお、画素構成によっては、逆バイアス電圧 V_m をEL素子15のカソードに印加する場合もある。また、逆バイアス電圧 V_m は正極性の電圧の場合もある）に逆バイアス電圧 V_m （逆バイアス電流 I_m が流れるとも表現できる。EL素子15は回路的にはコンデンサとみなすことができるため、逆バイアス電圧 V_m の印加により交流的に電流が流れるからである。また、蓄積された電荷が放電されるからである）が印加される。印加する時間 t_1 は図136の状態を満たすように構成する（図138(d2)）。

【0694】この逆バイアス電圧 V_m を印加する期間はEL素子15に電流 I_d が流れていない期間とすることが好ましい。不可能なわけではないが、電流 I_d が流れていると、逆バイアス電圧 V_m とショート状態となるからである。

【0695】なお、図138(d1)では逆バイアス電圧 V_m を印加する期間は1Fのうちの1箇所としたがこれに限定されるものではなく、複数の分割（例えば、1Fの期間に、2回以上あるいは3回以上に分けてEL素子15に逆バイアス電圧 V_m を印加するなど）してもよい。

【0696】ゲート信号線17bにオフ電圧を印加している期間のうち、任意のタイミングでゲート信号線17dにオンオフ電圧を印加すればよいので、この制御は容易にできる。そして、これらのオン時間の総和が図136で説明した t_1 時間となるようにすればよい。

【0697】また、EL素子15に電流を流さない期間1F（ $1-1/N$ ）が複数の期間に分割される場合もある。複数の分割することで、フリッカの発生が抑制される。この期間1F（ $1-1/N$ ）が複数の分割された場合、その期間に逆バイアス電圧 V_m を印加すればよい。ただし、分割された期間1F（ $1-1/N$ ）のすべてに逆バイアス電圧 V_m を印加する必要はない。

【0698】なお、図135のように、逆バイアス電圧を印加せず、かつEL素子15にも電流が流れていない駆動方法について、図136で説明した内容を基に以下に補正（もしくは補足）する。図136で説明した時間 t_1 とは逆バイアス電圧 V_m を印加した時間である。また、時間 t_2 とはEL素子15に電流を印加した時間である。

【0699】なお、逆バイアス電圧 V_m は直流的に固定値（ $V_m = -8V$ ）である必要はない。つまり、逆バイアス電圧 V_m はのこぎり歯波形の信号としてもよく、バ

ルスのな波形の信号としてもよい。また、サイン波の信号波形でもよい。この場合の逆バイアス電圧とは、波形を積分したもの、あるいは実効値とする。また、印加時間 t_1 も不明確ではあるが、逆バイアス電圧 V_m を積分したもの、実効値を矩形波形とし、この矩形波形が印加されたとする時間を t_1 とすればよい。

【0700】例えば、逆バイアス電圧の波形が、図139(a)に図示する電圧波形（3角形波）で、最大振幅値が16V、印加時間が $t_1 = 100\mu sec$ であると10する。この場合は、図139(b)に図示するように、最大振幅値が8V、印加時間が $t_1 = 100\mu sec$ の電圧波形と等価である。また、図139(c)に図示するように、最大振幅値が16V、印加時間が $t_1 = 50\mu sec$ の電圧波形と等価と見なし処理を行ってもよい。以上の事項は、EL素子15に印加する正方向の電圧についても同様である。

【0701】また、同様の事項はEL素子15に流す電流 I_d についても該当する。つまり、EL素子15に流す電流（電圧）も直流ではなく、サイン波形の電流波形などにする場合もあり、この場合も直流の実効値に変換し、その矩形波の印加期間 t_2 に換算すればよい。

【0702】逆バイアス電圧 V_m を印加する期間は、図140(a)に図示するように、ゲート信号線17aにオン電圧を印加する期間（通常、1H期間：プログラム期間）以外のすべての期間としてもよい。

【0703】また、EL素子15に電流 I_d を印加していない期間に逆バイアス電圧 V_m を印加すればよいので、図140(b)に図示するように、ゲート信号線17aにオン電圧を印加する期間（プログラム期間）を含む期間に逆バイアス電圧 V_m を印加するように構成してもよい（図140(b)はEL素子15に電流 I_d を印加している期間（ゲート信号線17bにオン電圧を印加している期間）以外に逆バイアス電圧 V_m を印加している）。30

【0704】なお、図138、図140などで説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は他の実施例にも適用される。

【0705】以上のように、本発明では、1F期間に非点灯期間（非表示領域）312を有しており、この非点灯期間にEL素子15に逆バイアス電圧 V_m を印加できる。したがって、EL素子15が劣化することがなく、端子電圧の上昇もないので、電源電圧 V_{dd} を低く設定できるのである。

【0706】図140はEL素子15の直前に逆バイアス電圧 V_m を印加するように構成したものであったが、他の構成として、図141に図示するように、スイッチング用TFT11dを介してEL素子15に逆バイアス電圧 V_m （電流 $-I_m$ ）を印加する構成も例示される。

【0707】ゲート信号線17dにオン電圧を印加する

ことにより、スイッチング用TFT11gがオンし、逆バイアス電圧 V_m が印加される。同時にスイッチング用TFT11dもオンさせることにより、EL素子15に逆バイアス電圧 V_m を印加することができる。図141の構成であれば、逆バイアス電圧 V_m の印加は、スイッチング用TFT11gと11dの両方で制御することができるので、制御が容易になり、柔軟性が向上する。

【0708】ゲート信号線17には、該当画素が選択されている時にオン電圧が印加される。非選択の期間はオフ電圧が印加される。したがって、ゲート信号線に印加される電圧は1Fの期間のうち、ほとんどの期間にオフ電圧が印加されているので、オフ電圧を逆バイアス電圧として使用することができる。

【0709】オフ電圧はTFTを完全にオフさせるため、通常、カソード電圧よりも低い電位である（もちろん、TFTがPチャンネルの場合は逆である）。特に、TFTがアモルファスシリコンの場合は、オフ電圧はかなり低く設定されることが通常である。

【0710】図142の構成では、ゲート信号線17aに接続された駆動用TFT11b、取込用TFT11cをNチャンネルTFTとしている。したがって、オン電圧 V_{gh} で駆動用TFT11b、取込用TFT11cはオンし、オフ電圧 V_{gl} でオフ状態となる。1Fのほとんどの期間、ゲート信号線17bにはオフ電圧 V_{gl} が印加されている。このオフ電圧 V_{gl} を逆バイアス電圧 V_m とする（ $V_{gl} = V_m$ ）。

【0711】スイッチング用TFT11gも先の実施例と同様に、ゲート信号線17dに印加する電圧で制御する。なお、断っておくが、ゲート信号線17dに印加する電圧はスイッチング用TFT11gのオンオフを制御するものであるから、印加する電圧は V_{gh} 、 V_{gl} に特定されるものではなく、他の任意の電圧を使用することができる。

【0712】スイッチング用TFT11gがオンすると、ゲート信号線17aに印加されているオフ電圧 V_{gl} がEL素子15に印加される。したがって、EL素子15に逆バイアス電圧 V_m を印加することができる。図142の構成では、図141のように逆バイアス電圧 V_m を供給する信号線が不要であるため、画素開口率を向上できる。なお、図142において、ゲート信号線17bに印加する電圧をEL素子15に印加するように構成してもよい（スイッチング用TFT11dはNチャンネルにするなど構成を考慮する必要がある）。

【0713】図142はゲート信号線17の電圧を逆バイアス電圧にする構成であったが、図143はソース信号線18に印加された電圧をEL素子15の逆バイアス電圧とする構成である。スイッチング用TFT11gがオンするタイミングで、ソース信号線18に逆バイアス電圧 V_m を印加すると、ソース信号線18を通じてEL素子15にも逆バイアス電圧 V_m を印加することができ

る。タイミングなどは図131で説明しているので省略する。

【0714】逆バイアス電圧 V_m を印加する時間が、EL素子15に電流を印加している期間と比較して長いときは、図144に図示するように、EL素子15にチャージされた電圧が放電されるので、EL素子15のアノード端子とカソード端子間をショートさせることにも効果がある。このようにショートさせることで、EL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL素子の劣化を抑制できるようになる。なお、図138、図140などで説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は図144の実施例などにも適用されることは言うまでもない。

【0715】図144では各TFTがPチャンネルで構成されていたが、図145では図144の構成をNチャンネルに変化させたものである。図145において、スイッチング用TFT11gがオンすると、EL素子15のアノード端子とカソード端子間がショートし、この両端子に V_{dd} 電圧が印加される。この期間にEL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、EL素子の劣化を抑制できるようになる。なお、図144と同様に、図138、図140などで説明した逆バイアス電圧 V_m の印加時間、印加方式、印加タイミングなどに関する事項は図145の実施例などにも適用されることは言うまでもない。

【0716】また、電流の流れる制御方向を変化させることによって、EL素子15に逆バイアス電圧 V_m を印加することができる。図146はその構成図である。図146における402は定電流源である。

【0717】図146において、スイッチング用TFT11gがオンしているとき、スイッチング用TFT11gには定電流源402と同一方向の電流が流れ、EL素子15には順方向電圧が印加される。一方、スイッチング用TFT11gがオフの時には、EL素子15と定電流源402とでループを構成するため、EL素子15に流れる電流の向きが逆になる。つまり、定電流源402を配置または形成することにより、スイッチング用TFT11gの制御でEL素子15に容易に逆バイアス電圧 V_m を印加することができるのである。この時の、ゲート信号線17のタイミングを図147に示す。ゲート信号線17aが選択されている期間以外の期間にゲート信号線17dにオン電圧が印加されている。こうして、EL素子15の正孔輸送層に蓄積された正孔が引き抜かれ、また、電子輸送層に蓄積された電子も引き抜かれ、正孔輸送材料の酸化および電子輸送材料の還元による劣化を抑制できるようになる。

【0718】図148はスイッチング用TFT11gをNチャンネルとし、スイッチング用TFT11dがオン

しているときはスイッチング用TFT11gをオフ状態にし、スイッチング用TFT11dがオフしているときはスイッチング用TFT11gをオン状態にした構成である。スイッチング用TFT11dがオンしているときはEL素子15が点灯し、スイッチング用TFT11gがオンしているときにはEL素子15に逆バイアス電圧 V_m が印加される。

【0719】逆バイアス電圧 V_m はカソード電圧 V_k よりも低い電圧にすることが有効である。しかし、逆バイアス電圧 V_m を別途発生させようとする、発生回路が必要である。この課題に対して、図149ではフライングコンデンサを形成している。フライングコンデンサ1001は画素ごとに配置（形成）する他、パネルに1回路を配置（形成）してもよい。

【0720】フライングコンデンサ1001はゲート信号線17e、17fを制御することにより動作させる。そして、ゲート信号線17eとゲート信号線17fは逆位相で動作させる。

【0721】まず、ゲート信号線17eにオン電圧を印加し、TFT11i、11jをオンさせ、コンデンサ19bに V_{dd} 電圧を印加する。この時、ゲート信号線17fにはオフ電圧を印加し、コンデンサ19bに充電後、TFT11h、11kをオフさせておく。

【0722】次に、ゲート信号線17eにオフ電圧を印加し、TFT11i、11jをオフさせ、ゲート信号線17fにはオン電圧を印加し、TFT11h、11kをオンさせる。すると、コンデンサ19bに充電された V_{dd} 電圧は逆位相となってEL素子15に、 $-V_{dd}$ 電圧を印加する。

【0723】以上のように構成することにより、逆位相の V_m 電圧（ $V_m = -V_{dd}$ ）を発生させることができる。したがって、 V_m 電圧の供給配線は不要となる。

【0724】以上の実施例は、主として図6で説明した電流プログラム方式の画素構成を例示して説明したがこれに限定されるものではなく、図150に図示するように、カレントミラーの画素構成でも、逆バイアス電圧 V_m を印加できるように構成できることは言うまでもない。なお、動作は図137で説明した構成をそのまま準用できるので省略する。また、図151に図示するように、電圧プログラムの画素構成であっても、逆バイアス電圧を印加できることは言うまでもない。図76などでも同様である。したがって、電圧プログラムの画素構成でも非点灯時にEL素子15に逆バイアス電圧を印加するという構成あるいは方式を適用することができる。

【0725】なお、以上の実施例において、本発明は、非点灯時にEL素子15に逆バイアス電圧 V_m を印加するという構成あるいは方法であるとして説明をした。これは、表示画面21を表示し、EL素子15の非点灯時に、EL素子15に逆バイアス電圧 V_m を印加することに限定されるものではない。アクティブマトリックス型

EL表示パネルにおいて、絶えず非点灯時に逆バイアス電圧 V_m を印加する構成でも本発明の範疇である。

【0726】例えば、EL表示パネルの使用が終了してから所定期間の間、全表示画面21のEL素子15に逆バイアス電圧 V_m を印加するように構成してもよい。また、EL表示パネルの使用を終了してから所定期間の間、全表示画面21のEL素子15を順次走査して逆バイアス電圧 V_m を印加するように構成してもよい。また、EL表示パネルを使用する際（例えば、電源ON時）、所定の時間の間、全表示画面21のEL素子15を順次走査して逆バイアス電圧 V_m を印加するように構成してもよい。また、EL表示パネルを使用していないとき、所定時間間隔（例えば、1時間ごとに10秒間のように）ごとに、逆バイアス電圧 V_m を印加するように構成してもよい。逆に、EL表示パネルを使用している時、所定時間間隔（例えば、1時間ごとに10秒間のように）ごとに、逆バイアス電圧 V_m を印加するように構成してもよい。

【0727】図127において、画素を構成するTFT11は5個となっている。しかし、図6(a)では4個で構成されている。そのため、図6(a)の構成の方が画素16を構成するTFT11数が1個少ないため、開口率を高くでき、また、画素欠陥の発生割合が少ないという利点がある。

【0728】図130も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【0729】図130の構成においてもゲート信号線17cにオン電圧またはオフ電圧を印加することにより、EL素子15に流す電流を制御することができ、図38などに図示した駆動方法あるいは表示状態を実現できる。

【0730】なお、図130ではTFT11eを付加したが、このTFT11eを削除し、ゲート信号線17bを操作し、スイッチング用TFT11dのオンオフ状態を制御することによっても、図38などの画像表示などを実現できることは言うまでもない。

【0731】図152も電流プログラム方式の画素構成である。ゲート信号線17aにオン電圧を印加することにより、電流プログラムを行うことができる。また、ゲート信号線17bにオフ電圧を印加し、ゲート信号線17bにオン電圧を印加することによりEL素子15にプログラムされた電流を流すことができる。

【0732】図152の構成においてもゲート信号線17cにオン電圧またはオフ電圧を印加することにより、スイッチング用TFT11dのオンオフを実現できるから、EL素子15に流す電流を制御することができる。

したがって、図38などに図示した駆動方法あるいは表示状態を実現できる。

【0733】なお、図70は電圧プログラムの画素構成の例である。本発明は、1フィールドあるいは1フレーム（1F、もちろん2Fあるいはそれ以上を1区切りとすることも考えられる）の所定時間にEL素子15に流す電流の印加時間を制御することにより所定の発光輝度を得る方法である。つまり、EL素子に流す電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法である。

【0734】図76も電圧プログラムによる画素構成である。図76において、19aは閾値検出用容量（コンデンサ）、19bは入力信号電圧保持用容量（コンデンサ）である。

【0735】ステップ1（区間1）では、前記TFT11aからTFT11eをすべてONにして一旦前記駆動用トランジスタをON状態にしているので、閾値のばらつきによる電流値のずれが発生する。

【0736】ステップ2（区間2）では、前記TFT11b、TFT11dはONのままで前記TFT11c、TFT11eをOFFにすることにより、前記駆動用TFT11aの電流値が0になるので、前記駆動用TFT11aの閾値が前記閾値検出用容量19aに検出される。

【0737】ステップ3（区間3）では、前記TFT11b、TFT11dをOFFにして前記TFT11c、TFT11eをONにすることにより、データ信号線の入力信号電圧を前記入力信号電圧保持用容量19bに保持すると同時に、前記駆動用TFT11aのゲートに前記入力信号電圧に閾値を加えた信号電圧を印加してEL素子15を電流駆動して発光させる。この駆動用TFT11aは飽和領域で動作しているので、ゲート電圧から閾値を引いた電圧値の2乗に比例した電流が流れるが、ゲート電圧には前記閾値検出用容量19aにより閾値がすでに印加されているので、結果的に閾値はキャンセルされる。従って、駆動用TFT11aの閾値がばらついてもシミュレーション結果に示すように、常に一定の電流値がEL素子15に流れることになる。

【0738】ステップ4（区間4）では、画素16が非選択期間に入ったとき、TFT11b、TFT11dはOFF、TFT11eはONのまま、TFT11cをOFFにしても、前記入力信号電圧保持用容量19bに保持された入力信号電圧と前記閾値検出用容量19aにより保持された閾値電圧が駆動用TFT11aのゲートに印加されているので、EL素子15には電流が流れて発光し続ける。

【0739】以上のように、より正確に前記駆動用トランジスタの閾値を検出するためには、第1ステップの期間として2μsec以上10μsec以下に設定し、第2ステップの期間として2μsec以上10μsec以

下に設定することが必要である。これは書き込みあるいは動作時間を十分に確保するためである。しかし、あまりに長いと本来の電圧プログラム時間が短くなり安定性がなくなる。

【0740】したがって、図70の電圧プログラム方式でも、本発明の駆動方法あるいは表示装置を実施することには効果がある。図70において、ゲート信号線17bを制御することにより、スイッチング用TFT11dをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。また、図76においても、ゲート信号線17cの制御により、TFT11eをオンオフ制御することができる。そのため、図38、図42などの表示状態を実現できる。

【0741】また、EL素子15に流れる電流をN倍し、TFT11eのオンオフ状態を制御することにより、1/Nの期間点灯させるという駆動方法（なお、N倍あるいは1/Nに限定されるものではない）を実現できることは明らかである。つまり、本発明は、図6の電流プログラムの画素構成のみに限定されるものではなく、図76などの電圧プログラムの画素構成でも、本発明の駆動方法を実現することができる。したがって、本明細書で記載した事項は本明細書で記載あるいは図示した画素構成あるいは装置などに適用することができる。

【0742】同様に、図74、図75も電圧プログラムの画素構成である。図74、図75において、ゲート信号線17bを制御することにより、TFT11eをオンオフさせることができる。したがって、EL素子15に流れる電流を間欠させることができる。そのため、図38、図42などの表示状態を実現できる。したがって、容易にアニメーション効果を実現できる。また、多彩な画像表示を実現できる。また、その他の事項、あるいは動作は図76と同様あるいは類似するので説明を省略する。なお、以上の事項は図131、図137などで説明した逆バイアス電圧Vm印加方式に関しても適用することができることは言うまでもない。

【0743】例えば、逆バイアス電圧VmはR、G、B画素ごとに電圧値を異ならせてもよい。その場合は、逆バイアス電圧Vmを制御するTFTのゲート信号線の本数が増加する。各R、G、BのEL素子15はそれぞれ、端子電圧、印加電流が異なるからである。例えば、R画素のEL素子には、-15Vを印加し、GとB画素のEL素子には-12Vを印加するという方式である。

【0744】また、各R、G、BのEL素子15に印加する逆バイアス電圧（電流）の印加時間を異ならせてもよい。それぞれ、RGB画素ごとに、端子電圧、印加電流が異なるからである。例えば、R画素のEL素子には、1Fの1/2の時間だけ逆バイアス電圧Vmを印加し、GとB画素のEL素子には1Fの1/3の時間だけ逆バイアス電圧Vmを印加するという方式である。

【0745】また、表示画面21の部分ごとに、逆バイ

10

20

30

40

50

アス電圧（電流）の印加時間あるいは印加電圧を異ならせてもよい。例えば、表示画面の中央部を明るくするガウス分布方式を採用した場合、中央部のEL素子は周辺部に比較して流す電流値が大きいからである。

【0746】N倍のバルス電圧を印加する方式の課題として、EL素子15に流れる電流が大きくなり、EL素子15が劣化し易くなるという課題がある。また、 $N=10$ 以上となると、電流が流れる時に必要となるEL素子15の端子電圧が高くなり、電力効率が悪くなるという課題もある。ただし、この課題は白表示時のようにEL素子に流れる電流が大きい時に発生する課題である。この課題に対する対処法を図6の画素構成を例にして、図153(a)を参照しながら説明する。

【0747】図153(a)に図示するように、EL素子15への電流 I_{dd} が流れている時、 V_{dd} 電圧（電源電圧）は駆動用TFT11aのソースドレイン間電圧 V_{sd} とEL素子15の端子電圧 V_d で分圧される。この時、 I_{dd} 電流が大きいと V_d 電圧も高くなる。

【0748】 V_{dd} 電圧が十分に高いと駆動用TFT11aにプログラムされた電流 I_w に等しい電流 I_{dd} がEL素子15に流れる。したがって、図154の実線に図示するように、電流 I_w と I_{dd} は等しいかほぼリニアの関係（比例の関係）になる。リニアの関係になるというのは、ゲート信号線17などに印加された信号などによりコンデンサ19に突き抜けが発生し、 $I_{dd}=I_w$ とはならないということである。

【0749】本発明では、 V_{dd} 電圧は I_{dd} と I_w がリニア（比例）の関係を維持できないような低い電圧で用いる。つまり、必要な $V_{sd}+V_d>V_{dd}$ の関係にしている。さらには、 $V_d>V_{dd}$ とすることが好ましい。

【0750】例えば、一例として、 $N=10$ で、最大白表示に必要な I_w 電流が $2\mu A$ とする。この状態では、 I_{dd} 電流が $2\mu A$ とすると、G色のEL素子では $V_d=1.4V$ となるので、この時の V_{dd} 電圧を $1.4V$ 以下とする。もしくは、この時、 $V_{sd}=7V$ とすると、 $V_d+V_{sd}=1.4V+7V=2.1V<V_{dd}=2.1V$ とする。

【0751】この状態で駆動すると、電流 I_{dd} と I_w の関係は図154の点線で示すような関係となり、最大白表示では I_w と I_{dd} の関係はリニアの関係でなくなる（非線形の関係、図154のAの範囲）。しかし、黒表示あるいは灰色表示（表示輝度が比較的低い領域）ではリニアの関係（図154のBの範囲）が維持される。

【0752】Aの領域ではEL素子15に流れる電流が制限され、EL素子15を劣化させるような大きな電流が流れることはない。また、Aの領域で、 I_w 電流を増加させると、変化割合は少ないが I_{dd} 電流は増加するので、階調表示を実現できる。ただし、Aの領域では非線形となるからガンマ変換が必要である。例えば、画像

表示が64階調表示であれば、入力画像データ64階調データをテーブル変換し、128階調あるいは256階調に変換してソースドライバ14に印加する。

【0753】Aの領域では駆動用TFT11aの V_{sd} 電圧とEL素子15の V_d 電圧とが分圧され、EL素子15の端子電圧 V_a が決定される。この際、注目すべき事項として、EL素子15は蒸着で形成される（あるいはインクジェット技術などによる塗布で形成）ため、均一に形成されている点である。そのため、EL端子電圧 V_a は表示画面21の面内で均一な値となる。したがって、駆動用TFT11aの特性がばらついて、EL素子15の端子電圧 V_a で補正される。結果的に V_{dd} 電圧を本発明のように低くすることにより、駆動用TFT11aの特性ばらつきが吸収でき、 V_{dd} 電圧の低減により低消費電力化を実現できる。また、Nが大きい時にも、EL素子15には高い電圧が印加されることがない。

【0754】EL素子15は蒸着技術、インクジェット技術だけでなく、インクを付けたスタンプを紙に当てて印刷するようにするスタンプ技術でも形成できる。

【0755】まず、スタンプとなる部分を形成する。Si基板上に半導体プロセスによって有機EL素子の発光領域と同じ形の溝のパターンを形成し、その溝の中を有機EL材にドーピングする材料を埋めることでスタンプとする。一方、有機EL素子を形成する方のガラス基板には、電極や発光層となる有機EL材を形成しておく。

【0756】次に、スタンプと有機EL素子となる材料をつけたガラス基板をぴったりと重ね合わせる。この状態を保ちながら $+100^{\circ}C\sim+200^{\circ}C$ で約10分間にわたって熱処理する。こうすることで、スタンプの溝の中に埋め込んだドーピング材料が蒸発し、有機EL素子の発光層に拡散する。あとは、色に応じたドーピング材料を埋め込んだスタンプを順次有機EL素子に当てて、RGBを塗り分ける。このスタンプ技術を用いると、 $10\mu m$ の矩形パターンや、線幅 $10\mu m$ のパターンのEL素子15が容易に形成できる。

【0757】なお、1Fの期間の $1/N$ に、EL素子15に電流を印加し、その印加する電流は所定輝度より高くし、所定より高い輝度分はオン時間を短くすることにより所定輝度を得る方法であるとした。しかし、本発明は一定の期間内の輝度平均を所定値にする方法である。したがって、1F（1フィールドあるいは1フレーム）に限定されるものではない。例えば、図42(c1)の表示状態が2F連続したり、図42(c2)の表示状態が3F連続したり、この図42(c1)と図42(c2)の状態が交互に繰り返されても良い。最終的に、5Fで所望の平均輝度となるように駆動すればよい。

【0758】したがって、本発明の技術的思想は、一定の期間内に、EL素子15のオン状態とオフ状態とを発生させ、このオン状態とオフ状態とを交互に繰り返し、

この繰り返しにより、所定の表示輝度を得る方式である。また、制御はゲート信号線17のオンオフ電圧を制御することにより実現する。

【0759】なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を1/N期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値(電流値)を設定できないからである。一般的にコンデンサ19には所望の電圧値(電流値)よりも低い電圧値(電流値)が設定される。例えば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。N=10としても実際にEL素子15に流れる電流はN=5の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である(ただし、図154で説明する駆動方法も実施するので限定は難しい)。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

【0760】また、所望値より電流(そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流)を駆動用TFT11a(図6を例示する場合)に電流(電圧)プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

【0761】また、図6を例示すれば(図76、図74、図75、図110、図151などの電圧プログラム画素構成でも有効である)、駆動用TFT11aと、この駆動用TFTにプログラムをする信号(電流、電圧)経路を設定(構成、配置、接続)する第1のスイッチング用TFT11cと、駆動用TFT11aからの電流がEL素子15に流れる経路を設定(構成、配置、接続)する第2のスイッチング用TFT11dとを具備する画素構成において、前記第1のスイッチング用TFT11cをオン(経路を設定)し、第2のスイッチング用TFT11dをオフ(経路を切断)した第1の状態と、前記駆動用TFTに電流(電圧)プログラムする第1の状態と、前記第1のスイッチング用TFT11cをオフ(経路を切断)し、第2のスイッチング用TFT11dをオン(経路を設定)する第2の状態と、前記第1のスイッチング用TFT11cをオフ(経路を切断)し、第2のスイッチング用TFT11dをオフ(経路を切断)する第3の状態とを実施するものである。

【0762】また、アクティブマトリックス型表示パネルにおいて、駆動用TFT11aからEL素子15に流れる電流経路を1フレーム(1フィールド)期間中の所定期間の間、切断あるいは減少(EL素子15に流れる電流波形は矩形あるいはDCに限定されるものではなく、サイン波形などもある。また、DC振幅値を変化さ

せる場合もある)させ、少なくとも1フレーム(1フィールド)のEL素子15の発光輝度を減少させるものである。

【0763】また、駆動用TFT11aに所望値よりも高い輝度でEL素子15が発光するようにプログラムを行う動作と、EL素子15に前記プログラムされた信号(電流)を流し、少なくとも1フレーム(1フィールド)期間中の所定期間に前記EL素子15に流れないように動作を行うものである。

【0764】あるいは、駆動用TFT11aにプログラムされた電流に対応する輝度以下となるように、EL素子15に流れる電流を制限するものである。

【0765】また、所望値よりも高い輝度でEL素子15が発光するようにプログラムを行う動作と1フレーム(1フィールド)の平均輝度(所望輝度)が、所望輝度か、少なくとも前記所望輝度(プログラムされた輝度(電流))以下となるように、前記プログラム電流が前記EL素子15に流れないように動作を行うものである。また、EL素子15に流れる電流を完全にオンオフさせることに限定されるものではない。

【0766】例えば、図6においてスイッチング用TFT11dを高抵抗オン状態とすることにより(つまり、所定値よりも小さい電流がEL素子15に流れている)、EL素子15をオフあるいは低輝度発光を実施することができる。EL素子15が低輝度発光の時は、表示画面21の非表示領域312とは、完全黒表示ではなく、ダーク(灰色または黒表示に近い輝度)と置き換えて理解する必要がある。つまり、非表示領域312とは、通常表示よりも低輝度表示であればよい。低輝度表示とは画像が認識できる表示状態も含む。

【0767】なお、以上の実施例は、EL素子15の非点灯時間に逆バイアス電圧を印加する(図136、図138などを参照)ことを組み合わせることが有効である。また、図76などの電圧プログラム画素構成にも有効であることは言うまでもない。

【0768】なお、図38などにおいて、非表示領域312は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域311よりも表示輝度が低い領域と解釈するべきである。また、非表示領域312とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

【0769】なお、各画素構成において(例えば、図70、図126、図152(a))、スイッチング用TFT11dのゲート端子を直接、オンオフ電圧を印加できるように構成しても、EL素子15に流す電流を間欠動作させることができる。また、図127においてはTFT11e、図8においては変換用TFT11a、図9においては駆動用TFT11bのゲート端子を直接、オンオフ電圧を印加できるように構成しても、EL素子15

に流す電流を間欠動作させることができる。つまり、EL素子15に電流を印加するTFTのゲート端子を制御することによって、図38などの表示状態を実施できるということである。

【0770】以上のように、本発明はEL素子15に印加する電流をオンオフすることにより、EL素子15を間欠表示させるものである。間欠表示させるためには、図6の例ではスイッチング用TFT11dをオンオフ制御する必要がある。したがって、スイッチング用TFT11dをオンオフするためのゲート信号線が必要となる。つまり、EL素子15を間欠表示させるためには、コンデンサに、EL素子15に流す電流をプログラムするための経路を形成する第1のスイッチング素子と、この第1のスイッチング素子をオンオフ制御するための第1のゲート信号線が必要である。また、EL素子15に流れる電流経路を形成する第2のスイッチング素子と、この第2のスイッチング素子をオンオフするための第2のゲート信号線が必要となる。つまり、ゲート信号線は1画素あたり2本必要となる。

【0771】しかし、1画素あたり2本以上のゲート信号線が必要となると、図13などで説明した3辺フリーの画素構成では課題となる。ゲートドライバ12を低温ポリシリコン技術などで形成しても、シフトレジスタ数が多くなり、回路構成が複雑となるからである。特に、アモルファスシリコン技術で3辺フリーの構成を実現しようとするときに課題は大きくなる。なぜならば、アモルファスシリコン技術ではゲートドライバ12（あるいはソースドライバ14）を表示パネル82上に直接形成することができないからである。

【0772】したがって、アモルファスシリコン技術で表示パネルを構成するには、ソースドライバ14とゲートドライバ12を表示画面21の一辺に配置する必要がある。そして、ゲート信号線17aとゲート信号線17bのすべてを、表示画面の左右にふりわけて配線する必要がある。ゲート信号線17の本数が少ない場合はまだ対応できる可能性があるが、QCIFでも垂直画素数は220ドットであるから、ゲート信号線17は $220 \times 2 = 440$ 本にもなってしまう。その他、低温ポリシリコン技術でゲートドライバ12を内蔵した場合でも、ゲート信号線17の配線数が多いと、狭額縁化できない。したがって、商品力を失ってしまう。

【0773】これより述べる本発明は上記の課題を解決するものである。簡単に記載すれば、EL素子15をオンオフするゲート信号線17bを複数本、共通にするのである。この共通にしたブロックごとにEL素子15に流れる電流をオンオフするのである。

【0774】図34、図84の実施例においても、EL素子15のオンオフは1画素行ずつ制御する必要はない。ブロックごとにオンオフしても非表示領域312を形成できるし、画像表示領域311も形成できるからで

ある。以上のようにブロックでオンオフ制御する方式をブロック駆動と呼ぶ。ただし、隣接した画素行でブロックにする実施例もあるので、通常のブロックという概念よりは広義である。ただし、図6の画素構成では、電流プログラムを行っている画素行は非点灯状態にする必要がある。そのため、電流プログラムのために選択された画素行を含むブロックは非表示領域312とする必要がある。しかし、図6の場合であっても多少の画像にみだれを許容する場合は、電流プログラムを行っている画素行であっても、非表示領域312とする必要はない。また、図8のカレントミラーの画素構成では、電流プログラムを行っている画素行であっても、非表示領域312とする必要はない。

【0775】なお、本発明は、主として図6に図示する電流プログラムの画素構成を例示して説明をするがこれに限定されるものではなく、図8などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できる。また、ブロックでオンオフする技術的概念は、図75、図76などの電圧プログラムの画素構成であっても適用できる。また、本発明は、EL素子15に流れる電流を間欠にする方法であるから、図151などで説明した逆バイアス電圧を印加する方式とも組み合わせることができる。以上のように、本発明は他の実施例と組み合わせることで実施することができる。

【0776】図155はブロック駆動の実施例である。まず、説明を容易にするため、ゲートドライバ12はアレイ基板49に直接形成するか、もしくはシリコンチップのゲートドライバ12をアレイ基板49に積載するとして説明する。また、ソースドライバ14およびソース信号線18は図面が煩雑になるため省略する。

【0777】図155において、ゲート信号線17aはゲートドライバ12と接続されている。一方、各画素のゲート信号線17bは点灯制御線1791と接続されている。図155では4本のゲート信号線17bが1つの点灯制御線1791と接続されている。なお、4本のゲート信号線17bでブロックするというのはこれに限定されるものではなく、それ以上であってもよい。一般的に、表示画面21は少なくとも5以上、さらには10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。なぜなら、分割数が少ないと、フリッカが見えやすく、また、あまりにも分割数が多いと、点灯制御線1791の本数が多くなり、点灯制御線1791のレイアウトが困難になるからである。

【0778】したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220 / 5 = 44$ 本以上、好ましくは、 $220 / 10 = 11$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

【0779】図155の実施例では、点灯制御線1791a、1791b、1791c、1791dと順次、オン電圧Vg1を印加するか、もしくはオフ電圧Vghを印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

【0780】なお、図155の実施例では、ゲート信号線17bと点灯制御線1791とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線1791とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線1791とが容量結合することがないため、点灯制御線1791からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線1791を駆動しやすい。

【0781】図1は、図155の接続状態をさらに詳細に図示している。ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧Vg1を印加することにより、画素行が選択され、選択された各画素のTFT11b、11cはオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のTFT11dのゲート端子と接続されている。したがって、点灯制御線1791にオン電圧Vg1が印加されたとき、駆動用TFT11aとEL素子15との電流経路を形成し、逆にオフ電圧Vghが印加された時は、EL素子15のアノード端子をオープンにする。

【0782】なお、点灯制御線1791に印加するオンオフ電圧の制御タイミングと、ゲートドライバ12がゲート信号線17aに出力する画素行選択電圧Vg1のタイミングは1水平走査クロック（1H）に同期していることが好ましい。しかし、これに限定されるものではない。点灯制御線1791に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。なぜなら、点灯制御線1791に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、1/2Hでも、1/4Hであってもよい。

【0783】図156は、画素構成が図8などに図示したカレントミラーの画素構成の場合である。ただし、以前の実施例でも説明したように、EL素子15に流れる電流を制御するために、TFT11eを形成し、また、TFT11eを制御するためのゲート信号線17bを付加している。

【0784】なお、図156において、取込用TFT11cとスイッチング用TFT11dを制御（オンオフ）するゲート信号線は共通（ゲート信号線17a）とした

が、これに限定されるものではなく、別個のゲート信号線17としてもよい。この場合は、取込用TFT11cを制御する第1のゲート信号線17と、スイッチング用TFT11dを制御する第2のゲート信号線17をゲートドライバ12に接続する。

【0785】図156において、ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択される。なお、図1などでも同様であるが、選択される画素行は1画素行に限定されるものではない。例えば、図83、図86、図89では複数画素行が選択される。以上のように、本発明は選択される画素行数に制約されるものではない。

【0786】図156において、ゲート信号線17aにオン電圧Vg1が印加されると、選択された各画素の駆動用TFT11b、スイッチング用TFT11dがオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。つまり、ソースドライバ14は画素16に書き込む電流（電圧）を出力（吸収）する。一方、ゲート信号線17bは各画素のTFT11eのゲート端子と接続されている。したがって、点灯制御線1791にオン電圧Vg1が印加されたとき、駆動用TFT11bとEL素子15との電流経路を形成し、逆にオフ電圧Vghが印加された時は、EL素子15のアノード端子をオープンにする。

【0787】図157は、電圧プログラムの画素構成である。ただし、以前の実施例でも説明したように、EL素子15に流れる電流を制御（間欠動作できるように）するために、スイッチング用TFT11dを形成し、また、スイッチング用TFT11dを制御するためのゲート信号線17bを付加している。このゲート信号線17bは複数画素行ごとに点灯制御線1791に接続されている。

【0788】図157において、ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、駆動用TFT11bがオンし、所定の画素行が選択される。

【0789】図157において、ゲート信号線17aにオン電圧Vg1が印加されると、選択された各画素の駆動用TFT11bはオンして、ソース信号線18に印加された電流（電圧）を各画素のコンデンサ19にプログラムする。つまり、ソースドライバ14は画素16に書き込む電流（電圧）を出力（吸収）する。一方、ゲート信号線17bは各画素のスイッチング用TFT11dのゲート端子と接続されている。したがって、点灯制御線1791にオン電圧Vg1が印加されたとき、駆動用TFT11aとEL素子15との電流経路を形成し、逆にオフ電圧Vghが印加された時は、EL素子15のアノード端子をオープンにする。

【0790】図158は、他の電圧プログラムの画素構

成である。EL素子15に流れる電流の間欠動作はスイッチング用TFT11dを用いて行う。スイッチング用TFT11dを制御するためのゲート信号線17dは複数画素行ごとに点灯制御線1791に接続されている。

【0791】図158の画素構成では、オフセット電圧を測定し、1フレームの期間に書き込まれた電圧をコンデンサ19に保持させるためには、2本のゲート信号線17aと17cが必要である。そのため、この2本のゲート信号線17a、17cはゲートドライバ12に接続されている。この構成を図159に図示している。ゲートドライバ12はゲート信号線17aとゲート信号線17cにオンオフ電圧を印加することにより、取込用TFT11c、駆動用TFT11bをオンオフ制御し、ソースドライバ14から出力された電圧を画素にプログラムする。一方、ゲート信号線17dは各画素のスイッチング用TFT11dのゲート端子と接続されている。したがって、点灯制御線1791にオン電圧Vg1が印加されたとき、駆動用TFT11aとEL素子15との電流経路を形成し、逆にオフ電圧Vghが印加された時は、EL素子15のアノード端子をオープンにする。

【0792】以上のように本発明は、画素構成が、電流プログラム方式であっても、電圧プログラム方式であっても、適用することができる。なお、以上の実施例はアクティブマトリックス型表示パネルを例示して説明したが、これに限定されるものではなく、単純マトリックス型表示パネルにも適用することができる。なぜならば、ブロックごとにEL素子15を点灯あるいは非点灯させることが、単純マトリックス型表示パネルでも実現できるからである。

【0793】図160は他の実施例である。以下の実施例では先に述べた実施例との差異を中心に説明する。したがって、図160以降の実施例でも画素構成などは図1、図156～図158などで説明したいずれでも適用できる。

【0794】図160は、ゲート信号線17bを2画素行ずつ共通にし、かつ4ブロックごとに点灯制御線1791で共通にした構成である。第1番目と第2番目の画素行のゲート信号線信号線17bと、第9番目と第10番目の画素行のゲート信号線17bとを点灯制御線1791aで共通にしている。したがって、点灯制御線1791aにオン電圧Vg1を印加すると、少なくとも第1番目、第2番目、第9番目および第10番目の画素行が点灯する。

【0795】また、第3番目と第4番目の画素行のゲート信号線信号線17bと、第11番目と第12番目の画素行のゲート信号線17bとを点灯制御線1791bで共通にしている。したがって、点灯制御線1791bにオン電圧Vg1を印加すると、少なくとも第3番目、第4番目、第11番目および第12番目の画素行が点灯する。

【0796】同様に、第5番目と第6番目の画素行のゲート信号線信号線17bと、第13番目と第14番目の画素行のゲート信号線17bとを点灯制御線1791cで共通にしている。したがって、点灯制御線1791cにオン電圧Vg1を印加すると、少なくとも第5番目、第6番目、第13番目および第14番目の画素行が点灯する。また、第7番目と第8番目の画素行のゲート信号線信号線17bと、第15番目と第16番目の画素行のゲート信号線17bとを点灯制御線1791dで共通にしている。したがって、点灯制御線1791dにオン電圧Vg1を印加すると、少なくとも第7番目、第8番目、第15番目および第16番目の画素行が点灯する。

【0797】図160のように、ゲート信号線17bを点灯制御線1791と接続すると、小さな点灯ブロックが、分散して表示される。したがって、低レートでもフリッカの発生が少なくなる。

【0798】図161は、ゲート信号線17bを4画素とばして共通にして点灯制御線1791に接続した構成である。第1番目、第5番目、第9番目、第13番目の画素行のゲート信号線信号線17bが点灯制御線1791aで共通にされている。したがって、点灯制御線1791aにオン電圧Vg1を印加すると、少なくとも第1番目、第5番目、第9番目および第13番目の画素行が点灯する。

【0799】また、第2番目、第6番目、第10番目、第14番目の画素行のゲート信号線信号線17bが点灯制御線1791bで共通にしている。したがって、点灯制御線1791bにオン電圧Vg1を印加すると、少なくとも第2番目、第6番目、第10番目および第14番目の画素行が点灯する。

【0800】同様に、第3番目、第7番目、第11番目、第15番目の画素行のゲート信号線信号線17bが点灯制御線1791cで共通にしている。したがって、点灯制御線1791cにオン電圧Vg1を印加すると、少なくとも第3番目、第7番目、第11番目および第15番目の画素行が点灯する。また、第4番目、第8番目、第12番目、第16番目の画素行のゲート信号線信号線17bが点灯制御線1791dで共通にしている。したがって、点灯制御線1791dにオン電圧Vg1を印加すると、少なくとも第4番目、第8番目、第12番目および第16番目の画素行が点灯する。

【0801】図161のように、ゲート信号線17bを点灯制御線1791と接続すると、図160よりも点灯する画素行が分散される。したがって、低レートでもフリッカの発生が少なくなる。

【0802】図162は、奇数画素行のゲート信号線17bを点灯制御線1791aに接続し、偶数画素行のゲート信号線17bを点灯制御線1791bに接続した構成である。

【0803】図162では1画素行ごとにEL素子15

を点灯制御できるので低レートでもフリッカの発生が少なくなる。また、点灯制御線1791が2本と本数も少なくなる。

【0804】図163は、4画素行ごとにゲート信号線17bを点灯制御線1791aまたは点灯制御線1791bに接続した構成である。図163では、画素への電流（電圧）プログラムのタイミングと同期を取りやすい。

【0805】以上の実施例は、点灯制御線1791に印加する電圧により、画素行ごとにオンオフ制御を行うものであり、本発明は、EL素子15を間欠動作させることを目的としている。したがって、点灯制御線1791の有無に限定されるものではない。

【0806】例えば、図164では点灯制御ドライバ回路1891を表示画面の1辺に形成（配置）している。つまり、表示画面の1辺にゲートドライバ12を形成（配置）し、この辺の対面に点灯制御ドライバ回路1891を配置（形成）している。点灯制御ドライバ回路1891は、低温ポリシリコンあるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成してもよいし、シリコンチップで構成し、アレイ基板49にCOG技術などを用いて積載してもよい。ただし、図164のように、複数のゲート信号線17bを共通（ブロック）することにより、回路構成は極めて簡易になる。したがって、アレイ基板49に直接形成しても、シリコンチップで構成しアレイ基板49に積載しても、ほとんど面積を占有しない。したがって、表示パネルの狭額縁化を実現できる。なお、点灯制御ドライバ回路1891をソースドライバ14と同一辺に配置して、3辺フリー構成を実現してもよい。

【0807】図164までの実施例では、ゲートドライバ12は、低温ポリシリコンあるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成するか、シリコンチップで構成し、アレイ基板49にCOG技術などを用いて積載するとして説明したが、本発明はこれに限定されるものではない。例えば、図165に図示するように、ソースドライバ14が配置された辺から、ゲート信号線17aを配線してもよい。つまり、点灯制御線1791とゲート信号線17aの両方を表示画面21の端に形成するのである。他の構成は図155などと同様であるので説明を省略する。

【0808】また、図166に図示するように、表示画面の2つの辺にソースドライバ14、ゲートドライバ12をそれぞれ配置（形成）し、表示画面21の中央部でそれぞれのゲートドライバ12とソースドライバ14と接続するように構成してもよい。このように構成することにより、ゲート信号線17aの引き回しが減少（1/2になる）し、狭額縁化を実現できる。

【0809】図167はソースドライバ14とゲートドライバ12などをパネルに配置した説明図である。図1

67では、ソースドライバ14をシリコンチップで作製し、アレイ基板49の1辺に配置している。ゲートドライバ12は、低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接に形成している。点灯制御線1791へのオンオフ電圧はソースドライバ14より出力している。

【0810】図168は点灯制御ドライバ回路1891を低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成した実施例である。もちろん、点灯制御ドライバ回路1891をシリコンチップで作製し、アレイ基板49にCOG技術などを用いて積載してもよい。

【0811】図169は、点灯制御線1791へのオンオフ信号はコントロールIC101などから出力した例である。このように、点灯制御線1791のオンオフデータをマイコンなどのコントロールIC101などから出力するように構成することにより、ソースドライバ14の仕様が簡易となり、また、駆動方法に変更があっても、ソースドライバ14の変更が不要となる。

【0812】図170は表示画面21aを駆動するゲートドライバ12aとソースドライバ14a、および表示画面21bを駆動するゲートドライバ12bとソースドライバ14bを用いた構成である。他の構成は、以前の実施例と同様であるので説明を省略する。

【0813】図171は点灯制御線1791へのオンオフ信号はコントロールIC101などから出力し、ゲートドライバ12およびソースドライバ14を、低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成した実施例である。もちろん、ソースドライバ14、点灯制御ドライバ回路1891などをシリコンチップで作製し、アレイ基板49にCOG技術などを用いて積載してもよい。

【0814】図172は点灯制御線1791へのオンオフ信号がコントロールIC101などから出力し、ゲート信号線17aへの制御信号およびソース信号線18への画像データをソースドライバ14aで実現した構成である。ソースドライバ14aを、低温ポリシリコン、CGS技術あるいは高温ポリシリコン技術を用いて、アレイ基板49に直接形成してもよい。また、ソースドライバ14aなどをシリコンチップで作製し、アレイ基板49にCOG技術などを用いて積載してもよい。

【0815】図141～図150などにおいて、逆バイアス電圧 V_m の印加する方式について説明を行った。逆バイアス電圧 V_m は基本的にはEL素子15に電流を印加していない時に、印加する方式であった。一方、図1などで説明したブロック駆動方式は、ブロックごとに非表示領域312と画像表示領域311を形成するものであった。これらを基に、ブロック駆動で非表示領域312のEL素子15に逆バイアス電圧 V_m と印加することができる。つまり、ブロックごとに逆バイアス電圧（電

10

20

30

40

50

流)を印加するのである。ただし、逆バイアス電圧 V_m は非表示領域312のブロックすべてに印加することによって限定されるものではない。例えば、任意のブロックを複数に分割し、分割されたブロックごとに逆バイアス電圧 V_m を印加する構成でもよい。もちろん、ブロックごとに非表示領域312制御を実施し、逆バイアス電圧 V_m の印加制御は1画素行ずつ行ってもよい。

【0816】以上のように、ブロックごとに逆バイアス電圧 V_m を印加するように構成することにより、図141などで説明した画素構成などが簡略され、制御も容易となる。特に、非表示領域312に逆バイアス電圧 V_m を印加するため、ロジックも簡単である。

【0817】図173はブロック駆動と逆バイアス電圧駆動とを組み合わせた場合の本発明の実施例であり、図141の画素構成と同様である。この画素構成は、図1で説明したブロック駆動とを組み合わせている。なお、ブロック駆動は図1、図156～図172で説明したいずれの構成であっても適用できることは言うまでもない。

【0818】図173において、点灯制御線1791にオフ電圧 V_{gh} を印加することにより、該当ブロックが非表示領域312となる。同時に(同時に限定されるものではない。該当点灯制御線1791にオフ電圧 V_{gh} が印加されている期間であれば、いずれの期間でもよい)、逆バイアス制御線2111にオン電圧 V_{gl} を印加する。すると、該当ブロックのEL素子15に逆バイアス電圧 V_m が印加される。つまり、ロジック的には、点灯制御線1791の逆位相の信号を逆バイアス制御線2111とすればよい。

【0819】同様に、図174は図156の構成に、逆バイアス駆動方式を追加した構成である。また、図175は図157の構成に、逆バイアス駆動方式を追加した構成であり、図176は図158の構成に、逆バイアス駆動方式を追加した構成である。動作は、容易であるから、あえて説明を要さないであろう。

【0820】なお、先にも記載したが、逆バイアス電圧 V_m の印加とブロック駆動とは、完全に同期を取る必要はない。また、走査周期も完全に一致させる必要はない。

【0821】以下、本発明のブロック駆動の説明を引き続き行う。図177は、本発明のブロック駆動方法の説明図である。以降の説明図においても、説明を容易するため、画素構成は図6で図示した画素構成として説明する。しかし、これに限定されるものではなく、図8、図75、図76などの他の画素構成もよいことは言うまでもない。

【0822】図6の画素構成の場合、電流プログラムを行っている画素行のスイッチング用TFT11dはオフ状態にする必要がある。つまり、選択画素行にはEL素子15がソース信号線18から見えないう(ソース信

号線18にEL素子15が接続されていない)に駆動する。これば、ソース信号線18からのプログラム電流がEL素子15に流れ込むことを防止するためである。EL素子15でプログラム電流が流れ込むと正規の電流をコンデンサ19にプログラムできなくなるからである。

【0823】したがって、ブロック駆動を実施する時は、選択画素行を含むブロックは非表示領域312とする必要がある。つまり、該当ブロック内の画素行が選択されている時は、このブロックは絶えず、非表示領域312とする。逆に、他のブロックは画像表示領域311でも、非表示領域312のいずれでもよい。フリッカを抑制するには、この選択画素行以外のブロックをオンオフ制御することにより行う。

【0824】図177(a)はブロック1981bの1本の書き込み画素行871aが選択されている。そのため、ブロック1981bは非点灯状態に制御されている。もし、ブロック1981が6画素行で構成されるのであれば、選択されたブロック1981は6Hの期間、非点灯表示に制御される。

【0825】図177(b)は図177(a)から1H後の表示状態である。選択された書き込み画素行871aは1画素行シフトされている。図177(a)において、非表示領域312のブロックは、1981b、1918d、1981f、1981h、1981jである。図177(b)では、非表示領域312のブロックは、1981a、1918b、1981e、1981g、1981iとなっている。つまり、図177(a)と(b)では選択された書き込み画素行871aを含むブロック1981b以外は反転(非表示領域312と画像表示領域311とが逆転)している。

【0826】なお、選択画素行は1画素行に限定されるものではなく、複数本でもよい。例えば、図34、図35、図89などで説明したように、複数本の画素行を選択する方法と図177のブロック駆動あるいは図173の逆バイアス電圧駆動などと組み合わせることができ

る。

【0827】また、図177では、選択画素行のスイッチング用TFT11dをオフ状態とし、EL素子15は点灯させないとしたが、図8のようにカレントミラー構成の場合は、ソース信号線18とEL素子15とは接続されていない。したがって、選択画素行も表示状態としてもよい。ただし、選択画素行は、プログラム中であって、その期間の画像はみだれるので、非点灯状態に制御することが好ましい図177では、非表示領域312と画像表示領域311との反転は、1H周期で行うとしたが、これに限定されるものではなく、2Hであったり、それ以上であったりしてもよい。また、比較的ランダムに点灯制御を行ってもよい。また、当然のことながら、非点灯のブロックに逆バイアス電圧 V_m を印加してもよい。

【0828】なお、非表示領域312と画像表示領域311との制御は、RGBの画素で同時に行う必要はなく、R、G、Bで点灯制御を異ならせても良い。これは、FSC（フレームシーケンシャルコントロール）の場合も含まれる。

【0829】また、図177は1ブロックごとにオンオフ制御を行うとしたが、これに限定されるものではない。例えば、図178のように、2つのブロック（例えば、図178（a）ではブロック1981bと1981cとを非表示領域312としている。また、ブロック1981dと1981eとを画像表示領域311としている）で制御を行ってもよい。また、1H後に図178（b）のように点灯制御を行ってもよい。図178（a）と（b）では1ブロックずつずらして点灯制御を行っている。なお、図177、図178などでは図示を容易にするため、ブロック1981の数を非常に少なくしている。以上の事項は他の実施例においても同様である。

【0830】図179はブロックの点灯制御により、表示画面21に明るさ分布を形成する方法である。説明を容易にするため、図179（a）を1H目の状態とし、図179（b）を図179（a）の次の1H後であるとして説明する。もちろん、図179（a）と（b）は所定期間はなれた状態であればよい。

【0831】明るさ分布を構成するには、ガウス分布が例示される。つまり、表示画面の中央部を明るくし、周辺部を暗くすることにより、視覚的には明るくし、消費電力を低減する手法である。本発明では、画面の左右方向は、映像信号の変調により、データ自身を変更して明るさ分布を形成する。例えば、1画素行のラインメモリを搭載し、このメモリに演算に必要な係数を保持させておく。例えば、画面の端が中央部に比較して50%であれば、50%に相当する係数を保持させておく。以下、ラインメモリには中央部が100%になるように、かつガウス分布を満足するように係数を保持させておく。印加された画像データはこのラインメモリの係数と演算され、演算された結果が、各ソース信号線に印加される。

【0832】なお、画面の縦方向にも非表示領域312をオンオフできるように、画素構成すれば、画面の左右方向は、映像信号の変調によりデータ自身の変更され、そのために明るさ分布を形成する必要がなくなる。例えば、1画素列のスイッチング用TFT11dをオンオフ制御できるように信号線を形成すればよい。つまり、スイッチング用TFT11dを表示画面でマトリックス状に制御できるようにすればよいのである。

【0833】また、ガウス分布とは一実施例である。つまり、表示画面21の中央部近傍を明るくする輝度の分布状態を発生するものである。したがって、ガウス分布に限定されるものではなく、サインカーブ状の明るさ分布であったり、円錐状の明るさ分布であったりしてもよ

い。また、本発明はスイッチング用TFT11dなどを制御して明るさ分布を発生させるものであるから、表示画面21の中央部を明るくすることとに限定されるものではない。例えば、表示画面の中央部が最も暗い状態であってもよいし、表示画面の上部が最も明るい状態でもよい。これらの明るさ分布状態もスイッチング用TFT11dなどを制御することにより、容易に実現することができる。単に、ゲート信号線17bの制御タイミング、オン時間を調整（変化）させることにより実現できるからである。

【0834】また、画像の種類にあわせて、明るさの分布状態をユーザーが自由に、あるいは自動的に変更することができる。例えば、バーチャル表示の時は、バーチャル表示位置を特に明るく表示することができる。また、任意の表示部分の色を容易に変化させたり、屋外で必要な部分のみが明るく見えるように表示したりすることができる。

【0835】また、明るさはR、G、Bの3原色を同時に、かつ同一位置に変化させて発生させる（白色が移動する）ことに限定されるものではない。例えば、Rのみの最大輝度位置を移動させることもできる。以上に、各色の最大輝度（最小輝度）位置を変化させることにより表示画面21での色模様を発生させることができる。

【0836】表示画面21の上下方向における明るさの分布の形成は、ブロック1981のオンオフ制御により実現する。つまり、表示画面の中央部のブロック1981のオフ回数を少なくし、表示画面の上または下はオフ回数を多くする。オフ回数が多いほど表示画面は暗くなり、少なくなるほど明るくなる。このオンオフを制御することにより、表示画面の上下方向にガウス分布を形成できる。したがって、画面の左右方向は映像データの演算（もしくはアナログ変調で振幅値を変調する場合もあるであろう）などにより、明るさを調整（制御）し、表示画面の上下方向はブロック1981のオンオフ制御により、表示画面の明るさ調整（制御）を行う。

【0837】なお、図179などにおいて、ブロック1981のオンオフ制御により、明るさ分布を形成するとしたがこれに限定されるものではない。ブロック1981に限らず、画素行ごとにオンオフ制御することによって明るさ分布を形成できることは言うまでもない。また、複数画素行ごとにオンオフ制御することでも実現できる。つまり、ブロック1981でオンオフ制御するというのは、複数の画素行の集まりとしてオンオフ制御しているに過ぎない。したがって、図179などは、本発明の技術的範囲の限定された1つの実施例である。

【0838】図179（a）での非表示領域312はブロック1981b、1981d、1981h、1981jである。図179（b）での非表示領域312はブロック1981a、1981c、1981i、1981k

である。したがって、中央部のブロック1981e、1981f、1981gは図179(a)、(b)ともに点灯している。したがって、中央部は明るくなる。

【0839】一方、図179(a)では、ブロック1981a、1981c、1981i、1981kは画像表示領域311であるが、図179(b)では逆に非表示領域312となっている。したがって、表示画像の上下部は暗くなる。

【0840】以上のことから、ブロック1981ごとにオンオフ制御することにより、表示画像に明るさ分布を形成できる。なお、図179において、中央部のブロック1981e、1981f、1981gは図179

(a)、(b)ともに点灯しているが、次の1Hで非点灯状態とするなどの制御を行うことにより、自由に明るさの制御を実現でき、また、フリッカの発生も抑制できる。

【0841】図179では、ブロック1981の幅はすべて同一であった。しかし、視覚的には、表示画面21の中央部を細かくし周辺部を荒くしてもよく、例えば、図180のように実施する。これは、人間の視覚による解像度は、画面の中央部が高いことによる。

【0842】図180において、オンオフ制御は、図180(a)と(b)とを交互に行う。そして、表示画面21の中央部のブロック1981f~1981nでは細かいブロック単位(1単位)でオンオフ制御を行い、前記中央部の上下は2ブロック単位でオンオフ制御を行う。なお、書き込み画素行871aのオフ制御は図177で説明した方法で行い、非表示領域312とする。

【0843】図180は点灯ブロック1981の幅を変化させることにより、表示画面の中央部でオンオフ制御を行い、視覚的にあわせた表示を実現するものであったが、図181は複数単位周期でオンオフさせる回数を制御することにより、表示画面のガウス分布を実現するものである。図181は6周期(図181(a)→(b)→(c)→(d)→(e)→(f)→(a)→(b)→(c)→(d)→(e)→(f)→(a))で表示画面の明るさ分布を形成するものである。もちろん、6周期に限定されるものではなく、2周期や、8周期以上であってもよい。また、周期の単位は、1H、1F、あるいは、他のクロックに同期させればよい。なお、図181においても、表示画面の左右方向へのガウス分布は、映像信号などで行う。このことは図177などで説明をしているので省略する。また、以上の事項は他の本発明にも適用される。

【0844】図181でわかるように、図181(b)、(e)で表示画面の中央部に画像表示領域311を発生させ、図181(c)、(f)でも、表示画面の中央付近に画像表示領域を多く発生させている。このように制御することにより、表示画面の中央部が明るく

なる。したがって、良好なガウス分布を発生させることができる。

【0845】図182は、ガウス分布を発生させるものではなく、複数の期間で点灯ブロック1981の位置を変化させることにより、フリッカの発生を抑制するものである。図182(a)では、2ブロックごとに非表示領域312を発生させ、次のブロックの図182(b)では、3ブロックごとに非表示領域312を発生させている。また、次のブロックの図182(c)では、4ブロックごとに非表示領域312を発生させている。以上のように、非表示領域312もしくは画像表示領域311の位置を複数の周期で変化させることにより、フリッカの発生を抑制できる。また、図180、図181で説明した方法を組み合わせることにより、ガウス分布も発生できる。

【0846】なお、以上の実施例は、図183に図示するようにブロック1981単位で点灯位置を変化させるものであった。しかし、本発明はこれに限定されるものではない。例えば、図184に図示するように、1/2ブロックずつ点灯位置を変化させてもよい。つまり、以上の実施例は、ブロック単位でオンオフ制御することを主として説明したがこれに限定されるものではない。ガウス分布の発生、フリッカの抑制は、ブロック1981単位でなくとも実現できるからである。以前に説明したように、1画素行単位で非点灯制御を実施すればよい。もちろん、複数画素行単位で非点灯制御あるいは点灯制御を実施すればよい。

【0847】また、画素行に限定されるものではなく、画素列でオンオフ処理を実施してもよく、また、画素行と画素列の両方でオンオフ処理を実施してもよい。また、オンオフする画素行などは順次処理をすることに限定されるものではなく、ランダム処理を実施してもよい。ランダムに画素行(画素列)をオンオフ制御することにより、表示画面21を見えにくくしたり、フリッカを発生させたりすることもできる。また、特定画素行(画素列)を常時、非表示領域312にすることもできる。また、画面全体あるいは一部を低フレームレートでオンオフ表示(非表示領域312と画像表示領域311を交互に繰り返す)することにより、画面をフラッシングさせたりすることもできる。これらは画像のスクランブル処理あるいは特殊効果処理として応用できる。

【0848】ただし、以上の表示状態は、ブロック1981単位で制御を行うことにより、回路構成が容易になり、パネル構成、画素構成も容易となることは言うまでもない。

【0849】図185に図示するように、画像表示領域311を表示画面21の上から下へ走査することにより画像を表示する((a)→(b)→(c)→(d)→(e)→(a)→(b)→(c)→)。この時、走査クロックを制御することにより、表示画面の上下方向に明

るさ分布（ガウス分布など）を実現できる。

【0850】図185では（c）の表示状態で、画像表示領域311が走査されるときは、画像表示領域311の走査速度を遅くする。（a）、（e）の部分に画像表示領域311が走査されるときは、画像表示領域311の走査速度を速くする。（b）、（d）の部分に画像表示領域311が走査されるときは、画像表示領域311の走査速度は（a）と（c）の中間の速度にする。走査速度は図10などで説明したゲートドライバ12のシフトレジスタ22に印加するCLK*を制御することにより実現できる。また、図155などで説明した点灯制御線1791を制御することにより実現できる。

【0851】以上のように、画像表示領域311を制御することにより、表示画面21の中央部が最も高輝度となり、画面の上下部分が最も暗くなる。したがって、表示画面21の上下方向にガウス分布などを形成できる。もちろん、画素列方向に制御して、画面の左右方向にガウス分布などを形成してもよい。また、映像信号の演算処理でも実現できる。

【0852】なお、図185では、画像表示領域311の走査スピードを画面位置で変化させることにより、表示画面にガウス分布などの輝度分布を形成するとしたが、この技術的思想はEL表示装置に限定されるものではない。例えば、LED表示装置でも適用できることは明らかである。また、自己発光型の表示パネル（表示装置）に限定されるものではない。例えば、液晶表示装置でも適用することができる。

【0853】液晶表示装置では、バックライトを改良して実現する。バックライトは、画素行方向に沿ってストライプ状の発光領域が複数配置されたものを用いる。例えば、ストライプ状の白色EL素子が画素行方向に沿って、少なくとも10本以上形成されたものを用いる。このストライプ状の発光素子を上から順に点灯していけばよい。つまり、ストライプ状のEL素子を点灯させるときに、表示画面21の中央部に該当するストライプ状EL素子15の点灯時間を長くすると、バックライトの発光状態を図185の状態にすることができる。

【0854】したがって、液晶表示装置では、そのもの自身では点灯表示状態を図185のようにすることはできないが、バックライトの点灯領域を走査状態とすることにより、図185で説明した画像表示を実現できる。以上の事項は図177、図188～図190などにおいても適用できることは言うまでもない。

【0855】図186はゲート信号線17aの駆動波形を図示している。なお、説明を容易にするため、MCLKの周期は1H（1水平走査期間）としている。しかし、これに限定されるものではない。1Hよりももっと高速のクロックを用いることにより柔軟性のある制御を実現できる。

【0856】図186の‘a’で示す部分が図185

（a）の表示状態に該当する。同様に、図186の‘b’で示す部分が図185（b）の表示状態に該当し、図186の‘c’で示す部分が図185（c）の表示状態に該当する。また、図186の‘d’で示す部分が図185（d）の表示状態に該当し、図186の‘e’で示す部分が図185（e）の表示状態に該当する。

【0857】なお、画素構成は図6の構成を例示して説明をする。したがって、ゲート信号線17aにオン電圧Vg1が印加された時に、該当画素行が選択される。しかし、本発明の実施例は、図6の画素構成に限定されるものではなく、図8などのカレントミラー構成、図75、図76などの電圧プログラムの画素構成にも適用できる。

【0858】図186に図示するように、‘a’、‘e’の部分は1H幅のクロックで画素行がシフトされる。‘b’、‘d’の部分は2H幅のクロックで画素行がシフトされる。また、‘c’の部分は3H幅のクロックで画素行がシフトされる。したがって、‘c’の部分は‘a’の部分に比較して3倍、画素行のシフト動作が遅い。つまり、‘c’の部分は‘a’の部分に比較して3倍明るくなる。そのため、画面の中央部が最も明るくなり、上下部を最も暗くすることができる。

【0859】図186では、表示画面の中央部において、シフトレジスタ22のデータ転送を3クロックとした。また、表示画面の上下部において、シフトレジスタ22のデータ転送を1クロックとした。また、表示画面の上下部と中央部において、シフトレジスタ22のデータ転送を2クロックとした。しかし、図186のように、クロックの切り替えが3段階であると、切り替えの境目がくっきりと明るさの差で表示される。したがって、境目が見えないように、実際はデータの転送クロックの差を小さくするとともに、変化するクロック数を多様にすることが好ましい。つまり、図186は説明のための図である。

【0860】例えば、表示画面の中央部において、シフトレジスタ22のデータ転送を5クロックとし、表示画面の上下部において、シフトレジスタ22のデータ転送を3クロックとし、表示画面の上下部と中央部において、シフトレジスタ22のデータ転送を4クロックとする。

【0861】また、表示画面を9分割の領域以上とし、表示画面の上から第1領域、第2領域、第3領域、・・・第9領域とすれば、中央部の第5領域を、シフトレジスタ22のデータ転送を15クロックとし、第1領域、第9領域を、シフトレジスタ22のデータ転送を1クロックとする。第2領域、第8領域を、シフトレジスタ22のデータ転送を12クロックとする。第3領域、第7領域を、シフトレジスタ22のデータ転送を13クロックとする。第4領域、第6領域を、シフトレジ

10

20

30

40

50

スタ22のデータ転送を14クロックとする。以上のように、表示画面を分割してそれぞれ最適にオンオフ制御すれば、明るさの境目は目立たない。

【0862】また、図187の方法も表示画面の明るさの境目が見えなくすることに対して有効である。図187では、表示画面21の中央部領域のゲート信号線17aの信号波形を図示している。

【0863】図187でわかるように、各フィールド（フレーム）（F）で表示位置に対する3クロックのシフト開始タイミングを変化させている。図187では説明を容易にするために、1Fから4Fでは1クロックずつ開始位置をシフトしている。現実には、各Fごとに1クロックずつシフトするものではなく、あるFでは1クロック分シフトするが、他のFではシフトしないなどの処理を行う。また、3クロックのシフトを実施する回数は各Fごとに変化させる。

【0864】例えば、1F目は、表示画面の中央部の3クロックの開始位置が、画素行（90）（90画素行目）から開始されるとし、3クロックでシフトレジスタが転送される範囲を20画素行とする。2F目は、表示画面の中央部の3クロックの開始位置が、画素行（92）から開始されるとし、3クロックでシフトレジスタが転送される範囲を16画素行とする。また、3F目は、表示画面の中央部の3クロックの開始位置が、画素行（94）から開始されるとし、3クロックでシフトレジスタが転送される範囲を12画素行とする。さらに、4F目は、表示画面の中央部の3クロックの開始位置が、画素行（96）から開始されるとし、3クロックでシフトレジスタが転送される範囲を8画素行とする。以上のように処理を行うことにより、中央部が最も明るく、表示画面の上部の表示輝度から、この中央部の表示輝度に変化する境目を目立ちにくくすることができる。

【0865】なお、シフトの開始位置はループ状に処理を行う。例えば、図187では1F→2F→3F→4F→1F→2F・・・と繰り返す。また、図187では表示画面の中央部は3クロック周期で画素行をシフトするとしたがこれに限定されるものではなく、図186で説明したように、輝度分布がなめらかに変化するようにクロック数、表示領域を調整することは言うまでもない。

【0866】図186と図187を組み合わせることによりさらに、画面表示の明るさ分布処理が目立たず、良好な表示を実現できることは言うまでもない。

【0867】図186、図187で説明した駆動方法は、表示画面21に輝度分布を意識的に形成するものであったが、この技術的概念は、他の画像表示にも応用できる。

【0868】図188は表示画面21に2つの輝度部分を形成（表示）したものである。図188において、画像表示領域311aは画像表示領域311bよりも明るく表示していることを示している。図188（a）ではメモ1の画像表示領域311aを他の画像表示領域311bよりも明るくする。画像表示領域311aを画像表示領域311bよりも明るく表示することは、図185などで説明した方法で容易に構成できる。また、各部の表示領域を選択する回数を制御すればよいのであるから容易に他の方法でも実現できる。

【0869】図188では、ユーザーが選択する領域を明るく（もしくは暗く）表示することにより、表示装置の使い勝手を良好なものとしている。もちろん、選択した画像表示領域311の色を変化させたりすることも好ましい。図188の表示方法はメニュー選択画面などに適用することが好ましい。ユーザーの操作で画面表示を切り替えることができ、操作性が向上するからである。また、マイコンなどの制御により、自動的に図188の画面表示状態となるように構成してもよい。また、屋外では外光が強く、表示画像が見えなくなるので、特に必要な部分のみを強く点灯するように（画像表示領域311a）制御を行っても良い。例えば、外光の明るさを検出し、その検出した外光の強さが一定値以上の場合において、ユーザーが電源スイッチを押して表示画面21を表示した場合などである。

【0870】また、図189（a）に図示するように、強く点灯する画像表示領域311aを表示画面21の複数箇所に設けたり、点滅させてもよい。点滅させるとは、図189（a）において、画像表示領域311aを0.5秒サイクルでオンオフさせたり、低輝度と高輝度を交互に表示させたりすることである。

【0871】また、図189（b）に図示するように、高輝度画像表示領域311a、低輝度画像表示領域311b、非表示領域312とを組み合わせる画像表示を行っても良い。

【0872】図190は表示画面21のスクロール効果を持たせたものである。図190（a）では、表示画面21の中央部まで、高輝度画像表示領域311aとしており、図190（b）が表示画面21の下端近傍まで、高輝度画像表示領域311aとしている。

【0873】また、表示画面21全体を同時に低輝度表示することも可能であることは言うまでもない。本発明は点灯制御線1791あるいはゲート信号線17bを制御してEL素子15に流れる電流をオンオフさせることにより表示画面21の輝度を調整（制御）する。したがって、ソースドライバ14から出力する画像データは変化しないので、表示画像のコントラスト、ガンマカーブは、表示画像の輝度によらず一定値が保たれることにも特徴がある。そのため、表示画面21全体を同時に低輝度表示しても、階調特性はそのまま保たれる（例えば、64階調表示をしている場合は、表示画面の輝度が1／2となっても、64階調が保たれる）。

【0874】図190に図示するように、最初に表示画

面21全体を低輝度画像表示領域311bとしておき（低輝度表示としておき）、表示画面を書き換えるという効果を発揮させるために、表示画面21の上から、下方向に高輝度画像表示領域311aとしていく（高輝度表示としていく）。したがって、図190の矢印方向に高輝度表示を行っていくことにより、1表示画面21が書き換えられる。そして、一定時間の間、高輝度表示が連続させると、低消費電力化の観点から、表示画面21全体を低輝度表示にする。

【0875】なお、有機EL表示パネルでは、白ラスタ表示で、大きな電力を必要とする。この白ラスタ表示用の電源回路を設けると電源回路が非常に大きくなる。一方で、通常のキャラクタ表示では、白ラスタ表示の1/5~1/3の電力しか冗費しない。したがって、白ラスタ表示の対応できるように電源の出力電流を保有することは経済的あるいは、システムサイズの観点から好ましくない。

【0876】この課題に対処するため、本発明では、一定値以上の電力を消費される画像（例えば、白ラスタ表示など）を表示する場合は、画像の輝度を低下させて表示するように構成している。例えば、白ラスタで100mAの電流が流れる場合は、1/2の50mAの電流となるように画像データを処理する。つまり、入力画像のデータの総和を求め、総和が一定値以上となる場合は、画像データに演算処理を行って、保有する電源電力で表示可能なように画像データの値を小さくするのである。

【0877】もちろん、画像データの値を小さくすることに限定されるものではなく、図155、図185、図189などで説明した非点灯制御を行うことにより、表示画面21全体の輝度を低減することができる。もちろん、画像表示部のみの輝度を低減し、アンテナ表示、時計表示などのアイコン部分は従来の輝度（そのままの輝度）を保つように制御することもできることは言うまでもない。

【0878】なお、以上の実施例は、画像表示領域311もしくは非表示領域312を表示画面の上下方向に走査することにより、画像表示を行うか、異なる輝度表示領域を形成（表示）するとして説明をした。しかし、本発明はこれに限定されるものではない。例えば、図188などにおいて、表示画面21の各部分を選択する回数を制御すれば明るさ分布を形成できる。つまり、図188において、表示画面21を表示するフレームレートが60Hzの時、画像表示領域311bを25回選択し、画像表示領域311aを50回選択するように制御すれば、画像表示領域311aは画像表示領域311bの2倍の輝度で表示できる。同様に、図190(b)において、表示画面21を表示するフレームレートが60Hzの時、画像表示領域311bを25回選択し、画像表示領域311aを50回選択し、非表示領域312を全く

選択しないように制御すれば、画像表示領域311aは画像表示領域311bの2倍の輝度で表示でき、312の非表示領域を黒表示にすることができる。

【0879】なお、以上説明した事項は、図172などで説明したブロック駆動あるいは図173で説明した逆バイアス電圧駆動にも適用できることは言うまでもない。また、ブロック駆動において、各ブロックを構成する画素行の本数は1つの文字列を表現する本数にすることが好ましい。例えば、1文字が16×16ドットで構成されるのであれば、16画素行を1つのブロックとする。また、1文字が24×24ドットで構成されるのであれば、24画素行を1つのブロックとする。このように、文字を構成する縦方向のドット数をブロック数とを一致させることにより、文字を表示する行ごとに画像表示領域311、非表示領域312を制御することができる。

【0880】（実施の形態10）図52の表示方法のように、奇数画素行と偶数画素行（もしくは複数画素行ごと）を所定フィールド（フレーム）ごとに切り替える表示方法は、立体画像表示装置もしくは方法に適用することができる。以下、本発明の立体表示装置について図191、図192を参照しながら説明をする。

【0881】まず、本発明の表示方法は基本的に画素行単位（画素行の方向）に画像表示領域311と非表示領域312を構成するものである。したがって、図52のように表示する場合は縦横を変換する必要があるが、この変換は容易である。メモリに蓄積された画像データを行と列を入れ替えればよいからである。縦横を変換すれば図191(a1)の表示状態となる。つまり、表示パネルの走査方向はAに示す矢印方向となるが、画像は図191(a1)に示すように、紙面上が画面上となり、紙面下が画面下となる。したがって、表示パネルの使用者にはあたかも画面上から下に走査しているように見える。

【0882】表示パネルの表示画面21は左から奇数画素列（行）に右目の画像を表示し、偶数画素列（行）に左目の画像を表示する。画像表示は表示パネルと同期する観察用眼鏡852と同期させる。観察用眼鏡852はシャッタ851として機能する2つの液晶パネルを具備している。

【0883】第1フィールド（第1フレーム）では図191(a1)に示すように、左から奇数番目の画素列（実際は奇数番目の画素行）が画像表示領域311となり、左から偶数番目の画素列（実際は偶数番目の画素行）が非表示領域312となる。図191(a1)の表示状態と同期して、観察用眼鏡852の左目用のシャッタ851Lが閉じ、観察用眼鏡852の右目用のシャッタ851Rが開く。したがって、観察者は右目だけで、図191(a1)の画像を見ることになる。

【0884】第1フィールド（第1フレーム）の次の第

2フィールド(第2フレーム)では図191(a2)に示すように、左から偶数番目の画素列(実際は偶数番目の画素行)が画像表示領域311となり、左から奇数番目の画素列(実際は奇数番目の画素行)が非表示領域312となる。図191(a2)の表示状態と同期して、観察用眼鏡852の右目用のシャッタ851Rが閉じ、観察用眼鏡852の左目用のシャッタ851Lが開く。したがって、観察者は左目だけで、図191(a2)の画像を見ることになる。

【0885】以上の動作を交互に繰り返すことにより、観察者が使用する眼鏡型のシャッタ851と画像表示状態とが同期して交互に観察者に見えるようにすることにより立体画像表示を実現できる。

【0886】シャッタ851を用いずに立体画像表示を実現するためには、図192に図示したように表示パネルの光出射側にプリズム861を配置すればよい。プリズム861のA部をある表示タイミングにおける画像表示領域311に対応するように配置し、プリズム861のB部を前述の表示タイミングにおける非表示領域312に対応するように配置する。このように、プリズム861を配置することにより、奇数画素行の画像が観察者の右目に入射するようにし、偶数画素行の画像が観察者の左目に入射するように構成することができる。なお、プリズム861と表示パネル間にはエチレングリコールなどの光結合材862を配置し、オブティカルカップリングさせておく。

【0887】なお、図191において切り替え手段852は眼鏡としたがこれに限定されるものではない。観察者の右目に入射する光と左目に入射する光とを制御できるものであればいずれのものでもよい。例えば、ゴーグルタイプのものが例示される。また、切り替え手段852と表示パネルとが一体となったもの(ヘッドマウントディスプレイ)が例示される。また、シャッタ851は液晶表示パネルに限定されるものではなく、カメラのシャッタ、回転フィルタのようにメカニカルなものでもよい。また、ポリゴンミラーを組み込んだもの、PLZTを用いたシャッタ、エレクトロルミネッセンスを応用したシャッタなども例示される。

【0888】以上のように、1つの表示パネルの表示画像を図52の表示方法を用いることにより立体表示を実現できる。なお、図191、図192の装置または方法は、複数画素行(列)ごと、あるいは奇数画素行(列)と偶数画素行(列)ごとに異なる画像を表示するというものであり、その用途は立体表示のみに限定されるものではない。例えば、単に2つの画像を重ね合わせて表示するという用途に用いてもよい。なお、本発明のEL表示装置を用い、本発明の駆動方法を実施することが特に有効であることは言うまでもない。

【0889】なお、各画素を駆動する素子はTFT11としたがこれに限定されるものではない。例えば、薄膜

ダイオード(TFD)の組み合わせにより、画素16を構成でき、このダイオードの一方の端子電圧レベルを操作することにより、EL素子15に流す電流を間欠動作させることができる。この構成では、必要に応じてカソード電極と横ストライプ状に加工(形成)する。その他、バリスタ、サイリスタなどのスイッチング素子でも同様である。

【0890】例えば、図6の変換用TFT11aにおける駆動用TFTを例にすれば、図193(a)に図示するように、NチャンネルまたはPチャンネルのバイポーラトランジスタでもよい。また、図193(b)に図示するように、NチャンネルまたはPチャンネルのMOSトランジスタでもよい。さらに、図193(c)に図示するように、ホトトランジスタあるいはホトダイオードでもよく、図193(d)に図示するように、サイリスタ素子などでもよい。このことは、他の画素を構成するスイッチング素子にも適用できるということを意味する。

【0891】また、TFT素子はPチャンネルでもNチャンネルのいずれでも用いることができる。また、EL素子15の位置は図6または図8のような位置に限定されるものではない。例えば、図153(a)は図6の変換用TFT11aとEL素子15との接続状態を抜き出したものである。この変形として図153(b)の構成も例示される。また、駆動用TFTをNチャンネルとした図153(c)、(d)の構成も例示される。これらの事項は変換用TFT11aについてだけでなく、他の画素を構成するスイッチング素子についても同様である。

【0892】また、TFTなどのスイッチング素子は低温多結晶Si-TFTで形成されることが望ましいが、アモルファスシリコンTFTでもよい。特に、EL素子15に流す電流が1 μ A以下の場合には、アモルファスシリコン技術で形成した方が特性上十分である。また、ゲートドライバ回路、ソースドライバ回路などもアモルファスシリコン技術による素子で形成してもよい。

【0893】また、図10、図55、図56、図58などのゲートドライバ12の構成についてもこれに限定されるものではなく(図10などはST信号を順次クロックに同期してシフト動作(シリアル処理)する構成である)、例えば、各ゲート信号線のオンオフ状態を一度に決定するパラレル入力であってもよい(すべてのゲート信号線のオンオフフロッグがコントローラかゲート信号線17の本数分、一度に出力され決定される構成など)。

【0894】図194は有機ELモジュールの構成図である。プリント基板103にはコントロールIC101と電源IC102が実装されている。プリント基板103とアレイ基板49とはフレキシブル基板104で電気的に接続される。このフレキシブル基板104を介して

電源電圧、電流、制御信号、映像データがアレイ基板49のソースドライバ14およびゲートドライバ12に供給される。

【0895】この際問題となるのは、ゲートドライバ12の制御信号である。ゲートドライバ12には少なくとも5V以上の振幅の制御信号を印加する必要がある。しかし、コントロールIC101の電源電圧は2.5Vあるいは3.3Vであるため、コントロールIC101から直接ゲートドライバ12に制御信号を印加することができない。

【0896】この課題に対して、本発明は高い電圧で駆動される電源IC102からゲートドライバ12の制御信号を印加する。電源IC102はゲートドライバ12の動作電圧も発生させるので、当然ながらゲートドライバ12に最適な振幅の制御信号を発生させることができる。

【0897】図195ではゲートドライバ12の制御信号をコントロールIC101で発生させ、ソースドライバ14で一旦レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は5〜8Vであるから、コントロールIC101から出力された3.3V振幅の制御信号を、ゲートドライバ12が受け取れる5V振幅に変換することができる。

【0898】図132、図196は本発明の表示モジュール装置の説明図である。図196はソースドライバ14内に内蔵表示メモリ151を持たせた構成である。内蔵表示メモリは8色表示（各色1ビット）、256色表示（RGは3ビット、Bは2ビット）、4096色表示（RGBは各4ビット）の容量を有する。この8色、256色または4096色表示で、かつ静止画の時は、ソースドライバ14内に配置されたドライバコントローラはこの内蔵表示メモリ151の画像データを読み出すので、超低消費電力化を実現できる。もちろん、内蔵表示メモリ151は26万色以上の多色の表示メモリであってもよい。また、動画の時も内蔵表示メモリ151の画像データを用いてもよい。

【0899】内蔵表示メモリ151の画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに交換することができ、さらに内蔵表示メモリ151の容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ141で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【0900】なお、図196などにおいて、14をソースドライバと記載したが、単なるドライバだけでなく、電源IC102、バッファ回路154（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、内蔵

表示メモリ151からの入力を処理してソース信号線に電圧あるいは電流を出力する様々な機能あるいは回路が構成されたものである。これらの事項は、本発明の他の実施例でも同様である。

【0901】なお、図196などで説明する構成は、図12〜図16、図18、図20、図21などで説明する3辺フリー構成あるいはその他の構成、駆動方法などにも適用できることは言うまでもない。

【0902】図197はEL素子15を湿度から保護するための保護カバーを封止フタ41とした構成例であり、また、携帯電話などの保護カバーと兼用してもよい。保護カバーとは、表示パネルの前面を保護するために配置された透明板である。もしくは、反射型の液晶表示パネルでは、フロントライトが保護カバーとなっている。そして、封止フタ41には円偏光板74が取り付けられている。なお、円偏光板74は薄膜、または封止フタ41などに樹脂を塗布し、この樹脂を延伸することにより形成してもよい。

【0903】そして、携帯電話などの筐体193にEL素子のアレイ基板49が取り付けられている（EL表示パネルが取り付けられている）。封止フタ41内にゲートドライバ12（あるいはソースドライバ14）が配置されている。ゲートドライバ12（あるいはソースドライバ14）も、封止フタ41で保護されている。以上のように形成（構成）することで、保護カバーを省略することができ、表示パネルモジュールとしての全体の厚みを薄くすることができる。

【0904】また、図2でも説明したように、有機ELパネルはカソード電極（もしくはアノード電極）として反射膜46を形成する必要がある。この電極はアルミなどで形成する。そのため、反射率は85%以上と良好である。

【0905】図198は、この反射膜46をミラーとして使用できるように構成した携帯電話である。通常の使用状態では図199に図示するように使用する（もしくは図200を参照のこと）。表示パネル2046をミラーとして使用する際には、表示パネル2046を右または左の支点（図示せず）を中心としてひっくり返し、裏面ミラー2045を使用する。

【0906】ただし、以上の実施例は、EL表示パネルの裏面に形成された反射膜をミラーとして使用するものである。したがって、ミラーとして使用する対象は、携帯電話に限定されるものではなく、テレビ、モニター、PDAでもよい。また、表示パネルの裏面にミラーを形成するものである。したがって、カソードに限定されるものではなく、別途、表示パネルの裏面にミラーを形成した構成でもよい。例えば、反射型の液晶表示パネルでは、裏面を使用していないので、この裏面にアルミあるいは銀を蒸着し、ミラーを形成してもよい。この場合、アルミあるいは銀が腐食することを防止するため、表面

にSiO₂などの無機薄膜を形成することが好ましい。
また、UV樹脂などでも保護してもよい。

【0907】なお、図198において、2041は受信した音声を聞こえるようにするスピーカであり、2044は、使用者の音声を入力するためのマイクである。また、図44で説明したように、表示モード切り替えスイッチ465を配置しておくことが好ましい。また、さらに、図43などで説明した画面の明るさを切り替える機能を実現する切り替えスイッチを形成（配置）することが好ましい。

【0908】フレームレートはパネルモジュールの消費電力と関係する。つまり、フレームレートを高くすればほぼ比例して消費電力は増大する。携帯電話などは待ち受け時間を長くするなどの観点から消費電力の低減を図る必要がある。一方、表示色を多くする（階調数を多くする）ためにはソースドライバ14などの駆動周波数を高くしなければならない。しかし、消費電力の問題から消費電力を増大させることは困難である。

【0909】一般的に、携帯電話などの情報表示装置では、表示色数よりも低消費電力化が優先される。表示色数を増加させる回路の動作周波数が高くなる、あるいはEL素子に印加する電圧（電流）波形の変化が多くなるなどの理由から、消費電力が増加する。したがって、あまり表示色数を多くすることはできない。この課題に対して、本発明は画像データを誤差拡散処理あるいはディザ処理を行って画像を表示する。

【0910】図199で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影した画像およびデータは即時に表示パネルの表示画面21に表示できる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー入力で切り替えることができる。

【0911】表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵表示メモリ151の容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵表示メモリ151の容量以下となるように画像処理を行う。

【0912】今、ソースドライバ14には4096色（RGB各4ビット）で1画面の内蔵表示メモリ151を具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバ14の内蔵表示メモリ151に格納され、この内蔵表示メモリ151から画像データを読み出し、表示画面21に画像を表示する。

【0913】画像データが26万色（G：6ビット、R、B：各5ビットの計16ビット）の場合は、図132および図196に示すように、誤差拡散コントローラ141の演算メモリ152に一旦格納され、かつ同時に

演算回路153で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵表示メモリ151のビット数である12ビットに変換されてソースドライバ14に転送される。ソースドライバ14はRGB各4ビット（4096色）の画像データを出力し、表示画面21に画像を表示する。

【0914】また、図132の構成などにおいて、垂直同期信号VDを用いて（垂直同期信号VDで処理方法を変化させて）、フィールドあるいはフレームごとに誤差拡散処理あるいはディザ処理方法を変化させてもよい。例えば、ディザ処理では、第1フレームでBayer型を用い、次の第2フレームではハーフトーン型を用いる。このように、フレームごとにディザ処理を変化させ、切り替えるようにすることで、誤差拡散処理などに伴うドットむらが目立ちにくくなるという効果が発揮される。

【0915】また、第1フレームと第2フレームで誤差拡散処理などの処理係数を変化させてもよい。また、第1フレームで誤差拡散処理をし、第2フレームでディザ処理をし、さらに第3フレームで誤差拡散処理をするなど、様々な処理を組み合わせても良い。また、乱数発生回路を具備し、乱数の値でフレームごとに処理を実施する処理方法を選択してもよい。

【0916】フレームレートなどの情報を伝送されるフォーマットに記載するようにしておけば、この記載されたデータをデコードあるいは検出することにより、自動でフレームレートなどを変更できるようになる。伝送されてくる画像が動画か静止画かを記載しておくこと、特に動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、伝送パケットに携帯電話の機種番号を記載しておくことが好ましい。なお、本明細書では伝送パケットとして説明するがパケットである必要はなく、送信あるいは発信するデータ中に図201などで説明する情報（表示色数、フレームレートなど）が記載されたものであればいずれでもよい。

【0917】図202は本発明の携帯電話などに送られてくる伝送フォーマットである。伝送とは、受信するデータと送信するデータの双方を含む。つまり、携帯電話は受話器からの音声あるいは携帯電話に付属のCCDカメラで撮影した画像を他の携帯電話などに送信する場合もあるからである。したがって、図201などで説明する伝送フォーマットなどに関連する事項は送信、受信の双方に適用される。

【0918】本発明の携帯電話などにおいて、データはデジタル化されてパケット形式で伝送される。図202で記載しているように、フレームの中は、フラグ部（F）、アドレス部（A）、コントロール部（C）、情報部（I）、及びフレームチェックシーケンス（FCS）からなる。コントロール部（C）のフォーマットは図203のように情報転送（Iフレーム）、監視（Sフ

フレーム)、及び非番号制(Uフレーム)の3つの形式をとる。

【0919】まず、情報転送形式は、情報(データ)を転送する時に使用するコントロールフィールドの形式で、非番号性形式の一部を除けば、情報転送形式がデータフィールドを有する唯一の形式である。この形式によるフレームを情報フレーム(Iフレーム)という。

【0920】また、監視形式は、データリンクの監視制御機能、すなわち情報フレームの受信確認、情報フレームの再送要求などを行うために使用する形式である。この形式によるフレームを、監視フレーム(Sフレーム)という。

【0921】次に、非番号制形式は、その他のデータリンク制御機能を遂行するために使用するコントロールフィールドの形式で、この形式によるフレームを非番号制フレーム(Uフレーム)という。

【0922】端末及び網は送受信する情報フレームを送信シーケンス番号N(S)と受信シーケンス番号N

(R)で管理する。N(S)、N(R)とも3ビットで構成され、0~7までの8個を循環番号として使い、7の次は0となるモジュラス構成をとっている。したがって、この場合のモジュラスは8であり、応答フレームを受信せずに連続送信できるフレーム数は7である。

【0923】データ領域には色数データを示す8ビットのデータとフレームレートを示す8ビットのデータが記載される。これらの例を図201(a)、(b)に示す。また、表示色の色数には静止画と動画の区別を記載しておくことが好ましい。また、携帯電話の機種名、送受信する画像データの内容(人物などの自然画、メニュー画面)などを図202のバケットに記載しておくことが望ましい。データを受け取った機種はデータをデコードし、それを自身(該当機種番号)のデータと認識したとき、記載された内容によって、表示色、フレームレートなどを自動的に変更する。また、記載された内容を表示装置の表示画面21に表示するように構成してもよい。ユーザーが表示画面21の記載内容(表示色、推奨フレームレート)を見て、キーなどを操作し、最適な表示状態にマニュアルで変更すればよい。

【0924】なお、一例として、図201(b)では数値の3はフレームレート80Hzと一例をあげて記載しているがこれに限定されるものではなく、40~60Hzなどの一定範囲を示すものであってもよい。また、データ領域に携帯電話の機種などを記載しておいてもよい。機種により性能などが異なり、フレームレートを変化させる必要も発生するからである。また、画像が漫画であるとか、宣伝(CM)であるとかの情報を記載しておくことも好ましい。また、バケットに視聴料金や、バケット長などの情報を記載しておいてもよい。ユーザーが視聴料金の確認をして情報を受信するか否かを判断できるからである。また、画像データが誤差拡散処理をさ

れているか否かのデータも記載しておくことが好ましい。

【0925】また、画像処理方法(誤差拡散処理、ディザ処理などの種別、重み付け関数の種類とそのデータ、ガンマの係数など)、機種番号などの情報を伝送されるフォーマットに記載しておけばよい。また、画像データがCCDで撮影されたデータか、JPEGデータか、また、その解像度、MPEGデータか、BITMAPデータかなどの情報を記載しておく、これを基にデータをデコードあるいは検出し、自動受信した携帯電話などを最適な状態に変更できるようになる。

【0926】もちろん、伝送されてくる画像が動画か静止画かを記載しておくこと、特に動画の場合は、動画の1秒あたりのコマ数を記載しておくことが好ましい。また、受信端末で推奨する再生コマ数/秒などの情報も記載しておくことが好ましい。

【0927】以上の事項は、伝送バケットが送信の場合でも同様である。また、本明細書では伝送バケットとして説明しているがバケットである必要はない。つまり、送信あるいは発信するデータ中に図201などで説明する情報が記載されたものであればいずれでもよい。

【0928】誤差拡散処理コントローラ141には、誤差処理されて送られてきたデータに対して逆誤差拡散処理を行い、元データに戻してから再度、誤差拡散処理を行う機能を付加することが好ましい。誤差拡散処理の有無は図202のバケットデータに載せておく。また、誤差拡散(ディザなどの方式も含む)の処理方法、形式など逆誤差拡散処理に必要なデータも載せておく。

【0929】逆誤差拡散処理を実施するのは、誤差拡散処理の過程において、ガンマカーブの補正も実現できるからである。データを受けたEL表示装置などのガンマカーブと、送られてきたガンマカーブとが適応しない場合や、送信されてきたデータが誤差拡散などの処理をすでに実施された画像データである場合がある。この事態に対応するために、逆誤差拡散処理を実施し、元データに変換してガンマカーブ補正の影響が出ないようにする。その後、受信したEL表示装置などで誤差拡散処理を行い、受信表示パネルに最適なガンマカーブにし、かつ最適な誤差拡散処理となるように誤差拡散処理などを実施する。

【0930】また、表示色によりフレームレートを切り替えたい場合は、携帯電話などの装置にユーザボタンを配置し、ボタンなどを用いて表示色などを切り替えられるようにすればよい。

【0931】図199は情報端末装置の一例としての携帯電話の平面図である。筐体193にアンテナ191、テンキー192などが取り付けられている。194は表示色切り替えキーあるいは電源オンオフ、フレームレート切り替えキーである。

【0932】携帯電話などの内部回路ブロックを図20

4に示す。回路は主としてアップコンバータ205とダウンコンバータ204のブロック、デブレクサ201のブロック、LOバッファ203などのブロックから構成される。

【0933】キー194を1度押さえると表示色は8色モードに、続いて同一キー194を押さえると表示色は256色モード、さらに同一キー194を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー194は3つ(以上)となる。

【0934】キー194はブッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切り替わるものでもよい。例えば、4096色を受話器に音声入力すること、例えば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面21に表示される色が変化するよう

【0935】また、表示色の切り替えは電氣的に切り替わるスイッチでもよく、表示パネルの表示画面21に表示させたメニューを触れることにより選択するタッチパネルでも良い。また、スイッチを押さえる回数で切り替える、あるいはクリックボールのように回転あるいは方向により切り替えるように構成してもよい。

【0936】194は表示色切り替えキーとしたが、フレームレートを切り替えるキーなどとしてもよい。また、動画と静止画とを切り替えるキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に(連続的に)フレームレートが変化するよう

【0937】なお、表示色などによりフレームレートを切り替えるという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、TFTパネル、PLZTパネルや、CRTにも適用することができる。

【0938】図198において、2043はファンクションスイッチ(FSW)である。FSW2043は、小

指、薬指で押さえられる位置に配置されている。また、FSW2043a、2043bは左右に配置されている。これは、右手の小指、薬指で押さえられること、左手の小指、薬指で押さえられることを実現できるように構成したためである。なお、FSWは筐体193の裏面に配置してもよい。

【0939】右手用のFSW2043を有効にするか、左手のFSW2043を有効にするかは、コマンド設定でユーザーが切り替えられるようにしている。つまり、ユーザーがメニュー画面で右側用を有効にする設定をすると、右手用のFSW2043が有効になり、左手のFSW2043は無効になる。逆に、ユーザーがメニュー画面で左側用を有効にする設定をすると、左手用のFSW2043が有効になり、右手のFSW2043は無効になる。

【0940】図205(a)に図示するように、FSW2043が押されてない時は、テンキー192は数字入力キーとなる。図205(b)のように、FSW2043aが押されると、ひらがな入力モードとなる。この時は、「あ、か、さ、た、な…」の一番上の文字が指定される。この状態でまず、「あ」を選択する。次に、FSW2043bも押さえると、先に押さえられた文字列を含む5つの文字の入力状態となる。この状態で特定のキーを押さえると文字が入力される。したがって、FSW2043とテンキー192とを組み合わせることにより、容易に日本語入力を実現できる。また、図205(d)に図示するように、FSW2043bのみを押さえると、英文字入力モードとなる。

【0941】以上のように、テンキー192の他に、FSW2043を配置することにより、容易に多種多様な文字入力が可能になる。

【0942】(実施の形態11)さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【0943】図206は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また、一部拡大あるいは縮小した箇所や省略した箇所もある。例えば、図206においては接眼カバーを省略している。以上のことは他の図面においても該当する。

【0944】ボディ451の裏面は暗色あるいは黒色にされている。これは、表示パネル82から出射した迷光がボディ451の内面で乱反射し、表示コントラストの低下を防止するためである。また、表示パネルの光出射側には入/4板50(位相板など)、偏光板54などが配置されている。このことは図2でも説明している。

【0945】接眼リング452には拡大レンズ453が取り付けられている。観察者は接眼リング452をボデ

ィー451内での挿入位置を可変して、表示パネルの表示画像にピントが合うように調整する。また、必要に応じて表示パネルの光出射側に正レンズ454を配置すれば、拡大レンズ453に入射する主光線を収束させることができる。そのため、拡大レンズ453のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0946】図207はビデオカメラの斜視図である。ビデオカメラは撮影レンズ461とビデオカメラ本体462とを具備し、撮影レンズ461とビューファインダ466とは背中合わせとなっている。また、ビューファインダ466には接眼カバー464が取り付けられている(図206も参照)。観察者(ユーザー)はこの接眼カバー464部から表示パネルの画像を観察する。

【0947】一方、本発明のEL表示パネルは表示画面21としても使用されている。表示画面21は支点468で角度を自由に調整できる。表示画面21を使用しない時は、格納部463に格納される。

【0948】図207において、465は表示モード切り替えスイッチである。表示モード切り替えスイッチ465を押さえると図44の回路が動作し、図44で説明した事項が実施される。

【0949】本実施の形態のEL表示装置はビデオカメラだけでなく、図208に示すような電子カメラにも適用することができる。表示パネル82はデジタルカメラ本体472に付属されたモニターとして用いる。デジタルカメラ本体472にはシャッタ471の他、表示モード切り替えスイッチ465が取り付けられている。

【0950】この表示モード切り替えスイッチ465は、携帯電話などにも取り付けることが好ましい。また、携帯電話などにも、先に説明した表示モード切り替えスイッチの表示輝度を切り替える機能をも付加することが好ましい。以下、この表示輝度をデジタル的に変化させる方法について説明する。

【0951】図80などで説明したが、本発明の駆動方法の1つにN倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法がある。この点灯させる1/MのMの値だけを切り替えることにより、明るさをデジタル的に変更することができる。例えば、N=4として、EL素子15に4倍の電流を流す。点灯期間を1/Mとし、M=1、2、3、4と切り替えれば、1倍から4倍までの明るさ切り替えが可能となる。なお、M=1、1.5、2、3、4、5、6などと変更できるように構成してもよい。

【0952】以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面21を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。例えば、屋外などでは、周辺が明るく、画面が全く

見えなくなるので、画面を非常に明るくする。しかし、高い輝度で表示し続けるとEL素子15は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【0953】したがって、ユーザーがボタンで切り替えられるとか、設定モードで自動的に変更できるとか、外光の明るさを検出して自動的に切り替えられるとかのような構成にしておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【0954】また、表示画面はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ問題がない。本発明の自己発光型表示パネルでは、先に説明したN倍パルス駆動(N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法)を用いて画面の上から下方向に、ガウス分布を発生させている。

【0955】具体的には、画面の上部と下部ではMの値を大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現できる。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度(画角0.9)を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。また、周辺輝度(画角0.9)を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

【0956】なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。例えば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えられるとか、設定モードで自動的に変更できるとか、外光の明るさを検出して自動的に切り替えられるとかのような構成にしておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【0957】なお、液晶表示パネルではバックライトで固定のガウス分布を発生させているので、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【0958】また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場

合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動(N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法)において、NまたはMの値を変更できるように構成している。

【0959】以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどにも用いることができる。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【0960】また、クロック・フェーズと画面位置(水平・垂直)を自動調整する「画面自動調整」機能や、ブラック・レベル・コントラストを自動調整する「オートゲインコントロール機能」を搭載することが好ましい。ブラック・レベル・コントラストを適正な値に調整すれば、RGB各色に対して最適な階調表示を実現できる。さらに、VGAモードなどを縮小あるいは拡大表示した際に発生するにじみなどを抑える機能を搭載することが好ましい。また、一定時間使用しない際には、自動的にバックライトが消える「パワーセーブモード」を搭載することが好ましい。

【0961】また、N倍パルス駆動(N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法)を用い、Mの値をかなり大きくし、うっすらと画像が認識できる程度に表示輝度を低下させてもよい。以上の事項は他の本発明でも同様である。

【0962】以上は表示パネル82の表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面21がたわみやすい。その対策のため、本発明では図209に示すように、表示パネル82に外枠481をつけ、外枠481をつり下げられるように固定部材482を取り付けている。この固定部材482を用いて図210に示すように、ネジ等の固定部材482を用いて壁491などに取り付ける。

【0963】しかし、表示パネル82の画面サイズが大きくなると重量も重たくなる。そのため、表示パネル82の下側に脚取り付け部484を配置し、複数の脚483で表示パネル82の重量を保持できるようにしている。

【0964】図209のように、脚483はAに示すように左右に移動でき、また、脚483はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【0965】なお、脚483あるいは筐体(他の本発明においても)にはプラスチックフィルム-金属板複合材

(以後、複合材と呼ぶ)を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層(接着層)を介して強力的に接着したものである。金属板は0.2mm以上0.8mm以下が好ましく、金属板に特殊表面処理層を介して貼り合わされるプラスチックフィルムは15μm以上100μm以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラスチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程(フィルムの手貼り、メッキ塗装)の削除が可能となる。また、従来では不可能であった深絞り成形やDI成形に適する。

【0966】図209のテレビにおいて、画面の表面を保護フィルム(保護板でもよい)493で被覆している。これは、表示パネル82の表示画面21に物体があたって破損することを防止することが1つの目的である。保護フィルム493の表面にはAIRコートが形成されており、また、表面をエンボス加工することにより液晶表示画面21に外の状況(外光)が写り込むことを抑制している。

【0967】保護フィルム493と表示パネル82間にビーズなどを散布することにより、一定の空間が配置されるように構成する。また、保護フィルム493の裏面に微細な凸部を形成し、この凸部で表示パネル82と保護フィルム493間に空間を保持させる。このように、空間を保持することにより保護フィルム493からの衝撃が表示パネル82に伝達することを抑制する。

【0968】また、保護フィルム493と表示パネル82間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【0969】保護フィルム493としては、ポリカーボネートフィルム(板)、ポリプロピレンフィルム(板)、アクリルフィルム(板)、ポリエステルフィルム(板)、PVAフィルム(板)などが例示される。その他、エンジニアリング樹脂フィルム(ABSなど)を用いることもできる。また、強化ガラスなど無機材料からなるものでもよい。保護フィルム493を配置するかわりに、表示パネル82の表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

【0970】また、保護フィルム493あるいはコーティング材料の表面をフッ素コートすることにも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【0971】画面は4:3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にすることが好ましい。ワイド型とすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネル82の明るさは300cd/m²（カンデラ/平方メートル）、さらには500cd/m²（カンデラ/平方メートル）にすることが好ましい。また、インターネットや通常のパソコン作業に適した明るさ（200cd/m²）で表示できるように切り替えスイッチを設置している。

【0972】このように、使用者は表示内容あるいは使用方法により、最適な画面の明るさにすることができる。さらに動画を表示しているウインドウだけを500cd/m²にして、その他の部分は200cd/m²にする設定も可能である。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い方にも柔軟に対応できる。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

【0973】テレビ番組の再生、録画機能も使い勝手が向上している。例えば、iモードからの録画予約が簡単にできる。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をiモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできる。ニュース番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分を飛ばして、番組の概要を短時間で見ることができる（30分番組で1～10分程度）。

【0974】また、テレビ録画ができるようにディスク容量が40GB以上のハードディスクを積載している。これは本体の他に、電源と映像入出力端子をまとめた拡張ボックスで構成されている。ビデオなどのAV機器の接続に使う拡張ボックスには、パソコンとテレビの他に2系統の映像機器を接続できる。映像入力にはBSデジタルチューナー用のD1端子の他にS端子入力も備え、接続する機器に合わせて選択できる。また、ゲーム機などの接続に便利のようにAV用の端子は前面に配置されている。

【0975】また、表示画面を前屈30度以上、後屈120度以上とし、90度/180度/270度に回転できるように構成することにより、操作環境にあわせて自在な設置が可能となる。例えば、90度回転させてブラウザ画面を縦長に表示することができる。また、145度後屈させることによって対面に座った人へ向かって画面を表示できる。

【0976】以上の保護フィルム493、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまで

もない。

【0977】なお、図61などでコンデンサ19の一方の端子はV_{dd}電源と接続するとしたがこれに限定されるものではない。例えば、図133に図示するように、前段（1つ前の画素行）のゲート信号線17aに一方の端子を接続してもよい。前段のゲート信号線17aは1H前に選択され、電位変動が発生するが、その後は、次の1Fで選択されるまで（次回選択されるまで）、電位は固定される。つまり、前段のゲート信号線17aはオフ電位V_{gh}に固定されているので、コンデンサ19の一方の電極として使用することができる。このように、前段のゲート信号線をコンデンサの電極として使用する構成を前段構成と呼ぶ。

【0978】なお、図133ではゲート信号線17aを電極として使用するとしたがこれに限定されるものではなく、他のゲート信号線でもよい。また、前段構成の技術的思想は、選択されていない画素の固定電位を使用する方式である。したがって、場合によっては、後段のゲート電位を使用することもできる（例えば、ゲート信号線17b、逆バイアス電圧V_mなど）。以上の事項は他の画素構成にも適用できることは言うまでもない。

【0979】同様の事項は図74の電圧プログラムの画素構成にも適用することができる。前段構成としては、図123の構成が例示され、コンデンサ19の一方の電位がゲート信号線17a1の電位とされている。また、図76の前段構成は図124となる。以上のように、前段構成を採用することにより、画素内に形成する電源配線数を減少させることができ、高開口率化も実現できる。

【0980】すでに説明したが、図61のTFT11d、図62のTFT11e、図63のTFT11d、図64のTFT11b、図65のTFT11d、図66のTFT11d、図67のTFT11e、図68のTFT11e、図69のTFT11d、図71のTFT11d、図72のTFT11d、図74のTFT11e、図75のTFT11eなどのオンオフ状態を制御することにより、図38、図42、図48、図50、図52～図54、図57、図59、図60、図191などで説明した駆動方法あるいは表示方法もしくは装置を実施できることは言うまでもない。

【0981】また、図6などの駆動用TFT11b、取込用TFT11cなどはNチャンネルで形成されることが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

【0982】逆に、図6の駆動用TFT11b、取込用TFT11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルにおいて駆動用TFT11bがオフす

るときはオフ電圧 V_{gh} となる。そのため、コンデンサ19の端子電圧が V_{dd} 側に少しシフトし、交換用TFT11aのゲート端子電圧が上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式により書き込み電流不足を軽減できる。

【0983】その他、ゲート信号線17aと交換用TFT11aのゲート端子間に積極的にコンデンサを形成し、突き抜け電圧を増加させる構成も有効である(図211を参照)。このコンデンサの容量はコンデンサ19の容量の $1/50$ 以上 $1/10$ 以下、さらには $1/40$ 以上 $1/15$ 以下とすることが好ましい。もしくは駆動用TFT11bのソースゲート(SG)もしくはゲートドレイン(GD)容量の1倍以上10倍以下、さらにはSG(もしくはGD)容量の2倍以上6倍以下にすることが好ましい。なお、コンデンサの形成位置は、コンデンサ19の一方の端子(交換用TFT11aのゲート端子)とスイッチング用TFT11dのソース端子間に形成または配置してもよい(図212を参照)。この場合も容量などは先に説明した値と同様である。

【0984】したがって、駆動用TFT11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上、好ましくはトリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、駆動用TFT11bのソースゲート(SG)もしくはゲートドレイン(GD)容量(TFTがオンしているときの容量)の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

【0985】なお、以上の事項は、図6の画素構成だけでなく、他の画素構成でも有効である。例えば、図8、図9のカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線17aまたは17bと交換用TFT11aのゲート端子間に配置または形成する(図213、図214を参照)。取込用TFT11cのNチャンネルはダブルゲート以上とする。もしくは取込用TFT11c、スイッチング用TFT11dをPチャンネルとし、トリプルゲート以上とする。図75の電圧プログラムの構成にあっては、ゲート信号線17cと駆動用TFT11aのゲート端子間にコンデンサを形成または配置する。また、取込用TFT11cはトリプルゲート以上とする。以上の事項は図110、図76などの画素構成にも有効である。

【0986】なお、突き抜け電圧を発生させるコンデンサ19bは、TFTのソース配線とゲート配線で形成する。ただし、これはTFT11のソース幅を広げて、ゲート信号線17と重ねて形成する構成であるから、実用上は明確にTFTと分離できない構成の場合がある。また、駆動用TFT11b、取込用TFT11c(図6の構成の場合)を必要以上に大きく形成することで、見か

け上、突き抜け電圧用のコンデンサ19bを構成する方法も本発明の範疇である。駆動用TFT11b、取込用TFT11cはチャンネル幅 W /チャンネル長 $L=6/6\mu m$ で形成されることが多い。これらのチャンネル幅 W を大きくすることでも突き抜け電圧用のコンデンサ19bを構成することができる。例えば、 $W:L$ の比を $2:1$ 以上 $20:1$ 以下、好ましくは、 $W:L$ の比を $3:1$ 以上 $10:1$ 以下にする構成が例示される。

【0987】また、突き抜け電圧用のコンデンサ19bは、画素が変調するR、G、Bで大きさ(容量)を変化させることが好ましい。R、G、Bの各EL素子15の駆動電流が異なり、EL素子15の交換用TFT11aのゲート端子にプログラムする電圧(電流)が異なるからである。例えば、R画素のコンデンサ19bを $0.02pF$ とした場合、他の色(G、Bの画素)のコンデンサ19bを $0.025pF$ とする。また、R画素のコンデンサ19bを $0.02pF$ とした場合、G画素のコンデンサ19bを $0.03pF$ とし、B画素のコンデンサ19bを $0.025pF$ とするなどである。このように、R、G、Bの画素ごとにコンデンサ19bの容量を変化させることによりオフセットの駆動電流をRGBごとに調整することができる。したがって、各RGBの黒表示レベルを最適値にすることができる。

【0988】また、表示画面21の左右で突き抜け電圧用のコンデンサ19bの容量を変化させてもよい。これは、ゲートドライバ12が信号供給側にあるので、ゲート信号の立ち上がりが遅い(スルーレートが高い)時、突き抜け電圧が大きくなり、また、ゲート信号線17端は、信号波形が鈍っているため、ゲート信号の立ち上がりが遅い(スルーレートが遅い)時、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ12との接続側のコンデンサ19bを小さくし、ゲート信号線17端側のコンデンサ19bを大きくする。例えば、画面の左右でコンデンサの容量を10%程度変化させる。

【0989】図211、図212のように、本発明のコンデンサ19bを形成(配置)する構成は以下の通りである。つまり、スイッチング用TFTがオンし、その後、オフする。この時、コンデンサ19aなどに作用し、EL素子15の交換用TFT11(図6ではTFT11a)のゲート端子を変化させることにより、TFT11の電流が流れないようにする方向に機能する構成である。図211、図212などではPチャンネルの場合であったが、図215に図示するようにNチャンネルの場合でも適用することができる。Nチャンネルの場合は、 V_{gh} 電圧でTFTがオンし、 V_{gl} 電圧でTFTがオフする。したがって、Nチャンネルの場合はTFT11b(11c)がオン(画素行が選択されている)からオフ(次の画素行が選択される)する際に、交換用TFT11aが電流を流さない方向に作用するように構成

すればよい。したがって、本発明は、選択するTFTがオフになる際に、EL素子15に電流を流さない方向に動作させるように構成したものである。

【0990】なお、図215は図6のTFTのPチャンネルとNチャンネルに変更したものであるので、動作は図6、図211などと同様であるので説明を省略する。また、PチャンネルとNチャンネルとの変更は図8などでも同様であるので、本発明の突き抜け電圧用のコンデンサ19bの概念をそのまま他の画素構成にも適用することができる。

【0991】なお、以上の事項は、図75、図76などの電圧プログラムの画素構成に対しても適用させることができる。つまり、一定以上のプログラム電圧以上にならないとEL素子15に電流を流さないようにすることができるからである。したがって、黒表示などにおいて、ノイズで信号が揺れている際は、ノイズレベルを除去（突き抜け電圧の効果により、一定のレベルまではEL素子15は点灯しない）できるようになる。

【0992】また、以上の実施例ではコンデンサ19bの容量で、突き抜け電圧を設定（所望値にする）としたが、突き抜け電圧の値は、ゲート信号線17の振幅値でも変化する。したがって、ゲート信号線17a（図6の場合）の振幅値を調整することにより、突き抜け電圧を調整することができる。例えば、ゲート信号線のV_{gh}電圧=10V、V_{gl}電圧=0Vであれば、振幅値は10Vである。この状態で突き抜け電圧が0、1Vであるとし、V_{gh}電圧を12Vとすると、振幅値は12Vとなる。したがって、理想的には突き抜け電圧は0、12Vとなる。つまり、ゲート信号線17の振幅により自由突き抜け電圧を変更でき、ベース電流を調整できるようにするのである。

【0993】ゲート電圧を発生する電源回路をコマンドにより、V_{gh}電圧またはV_{gl}電圧の値を設定できるようにしておけばよいので、この制御は容易である。この電圧を調整することにより、突き抜け電圧の微妙な調整が可能になる。

【0994】ゲート信号線17aに印加する信号（TFT11のオンオフ信号）のスルーレート（立ち上がりおよび立ち下がり時間に対する電圧の変化）が高いと突き抜け電圧は増加する傾向にある。逆に、スルーレートが低いと突き抜け電圧は低下する。つまり、スルーレートが40V/μsecの方が、20V/μsecよりも突き抜け電圧は大きくなる。このゲート信号のスルーレートはゲートドライバ12の出力バッファ（インバータ回路、オペアンプなど）の駆動能力で変化する。出力バッファの出力電流を制御することにより、スルーレートを調整でき、突き抜け電圧をも調整できる。出力バッファの出力電流を制御することは、出力バッファの供給電圧を調整すること、ゲート端子への印加波形を鈍らすことなどにより実現できる。また、供給電圧を調整すること

は回路構成上、容易である。ゲート端子への印加波形を鈍らすことは前段のバッファのサイズを小さくすること（能力を低下させる）により、実現できる。また、ゲート信号線17aに印加するオンオフ信号をサインカーブや鋸歯状の信号としても突き抜け電圧を変化できる。以上の事項は、以下に説明する電圧制御信号線、共通信号線の制御においても適用される。

【0995】なお、図211などにおいて、突き抜け電圧発生用のコンデンサ19bは、一方の電極をゲート信号線17にするとしたが（ゲート信号線17に接続するとして）、これに限定されるものではない。例えば、突き抜け電圧発生用にコンデンサ19bの制御用の電圧制御信号線を別途形成する。コンデンサ19bの2つの電極のうち、一方を変換用TFT11aのゲート端子に接続し、他方を別途形成した前記電圧制御信号線に接続する構成でもよい。この構成では、ゲート信号線17aの選択状態に同期して、電圧制御信号線にパルス信号（矩形波に限定されるものではない。サインカーブや鋸歯状の信号でもよい）を印加すればよい。また、このパルス振幅値を調整することにより、突き抜け電圧を容易に調整できる。

【0996】また、コンデンサ19aの電極の下層に、前記電極と絶縁された信号線を形成してもよい。仮に、この信号線を共通信号線と呼ぶ。このような構成を実現すれば、共通信号線と前記絶縁膜とコンデンサの電極とで第2のコンデンサを形成することができる。このコンデンサは、図211のコンデンサ19bと見なせる。したがって、共通信号線に先と同様にパルス信号を印加することにより、先と同様の作用および効果を発揮できる。

【0997】なお、共通信号線、電圧制御信号線は画素行と平行に形成する。つまり、画素行ごとに前記信号線を形成（配置）する。しかし、必ずしも画素行ごとに形成することに限定されるものではない。例えば、2画素行以上ずつ画素を選択する場合は、複数画素行ごとに前記信号線を形成（または配置）すればよい。

【0998】また、図211などにおいて、19bは2端子のコンデンサとしたがこれに限定されるものではない。例えば、TFTを用いて、TFTのソース-ゲート間容量を用いてコンデンサとしてもよい。つまり、突き抜け電圧を発生させる素子はコンデンサに限定されるものではなく、EL素子15の変換用TFT11aのゲート端子に絶縁状態で、この端子の電位を変更できるものであればいずれでもよい。もちろん、ダイオードの接合容量でもコンデンサを構成できることは言うまでもない。

【0999】また、コンデンサ19bは各画素に形成するとしてしたが必ずしもこれに限定されるものではない。例えば、隣接した画素で1つのコンデンサ19bを形成してもよい。

【1000】また、コンデンサ19bの一端にTFTなどのスイッチング素子を配置（形成）し、このスイッチング素子をオンオフ制御することにより、コンデンサ19bを画素16から切り離せるように構成してもよい。つまり、画素16からコンデンサ19bを切り離すことにより、ベース電流を変更（あり、なし）することができる。また、スイッチング素子でコンデンサ19bを切り離すとしたが、コンデンサ19bの電極間をショートするTFT（スイッチング素子）などを形成（配置）し、このスイッチング素子をオンさせることにより、コンデンサ19bの容量を0とする制御を行ってもよい。

【1001】電位の変更の対象は変換用TFT11aに限定されるものではない。EL素子15の電流量を設定する素子であればいずれでもよい。つまり、変換用TFT11aはMIM、TFD（薄膜ダイオード）などでも構成できるからである。これらを制御することによりEL素子15に流れる（あるいは流す）電流を制御できるように構成すればよい。この構成では、必要に応じてカソード電極を横ストライプ状に加工（形成）する。

【1002】また、EL素子15に流す電流を制御するというのが本発明の技術的思想である。したがって、突き抜け電圧の発生タイミングはゲート信号線17aの走査タイミングと必ずしも同期がとれていることが必須の条件ではない。非同期制御も可能であろう。突き抜け電圧は複数回に分散して印加してもよい。

【1003】図111～図114に図示したように、DA回路1226を含む電流出力回路1222でソース信号線18に電流を出力するとしたが、図211、図212、図215などのように、突き抜け電圧を発生させて駆動する方法の場合は、一定のベース電流を加えて出力する必要がある。例えば、ある階調で30nAの電流を画素16に電流プログラムする場合、突き抜け電圧によるベース電流を加えた電流をソース信号線18に印加する。ベース電流が40nAであれば、30nA+40nAの電流をソース信号線18に印加する（ソース信号線18から電流出力回路1222に向かって吸収する）。したがって、ベース電流を加えて流すように回路構成をする必要がある。例えば、ベース電流用のカレントミラー回路を付加したりする構成が例示される。

【1004】図111～図114では、DA回路1226を含む電流出力回路1222でソース信号線18に電流を出力するとしたが、これに限定されるものではない。例えば、ソースドライバ14内に基準電流を発生させる第1のカレントミラー回路を1つ形成する。この第1のカレントミラー回路に流す電流を調整することにより、ソースドライバ全体の出力電流量を調整できるようにする。この出力電流の調整により、表示パネルの明るさ、ガンマ特性を調整することができる。なお、基準電流は、RGBでガンマカーブ、印加電流が異なるので、

R、G、B画素ごとに独自に調整できるように構成する。

【1005】この第1のカレントミラー回路と同一の電流を流す複数の第2のカレントミラー回路を構成し、この第2のカレントミラー回路と同一の電流を流す、63個（64階調の場合）の第3のカレントミラー回路を構成する方法でもよい。この第3のカレントミラー回路の出力電流をデータにより、変化（接続する個数を変化）させてソース信号線18に所定の電流を印加できるようにしてもよい。

【1006】その他、データD0に1個のカレントミラー回路、データD1に2個のカレントミラー回路、データD2に4個のカレントミラー回路、データD3に8個のカレントミラー回路、データD4に16個のカレントミラー回路、データD5に32個のカレントミラー回路を対応させ、それぞれのデータビットに対応して接続されたカレントミラー回路をオンさせ、この総和の出力をソース信号線18に印加する（ソース信号線から電流を吸収する）ように構成してもよい。なお、以上のように3段階にするのは、第1および第2のカレントミラー回路を1チップ内で密集させて形成することにより、第3のカレントミラー回路およびソース信号線18に出力する出力電流のバラツキを少なくするためである。

【1007】前述の3段階カレントミラー回路の構成であっても、図211、図215のように、突き抜け電圧用のコンデンサ19bを形成した場合は、一定のベース電流を加えて出力する必要がある。例えば、先と同様に、ある階調で30nAの電流を画素16に電流プログラムする場合、突き抜け電圧によるベース電流を加えた電流をソース信号線18に印加する。ベース電流が40nAであれば、30nA+40nAの電流をソース信号線18に印加する（ソース信号線18から電流出力回路1222に向かって吸収する）。したがって、ベース電流を加えて流すように回路構成をする必要がある。例えば、ベース電流用のカレントミラー回路を別途、付加したりする構成が例示される。

【1008】RGBのEL素子15ごとにガンマカーブ、印加電流が異なるので、ベース電流もRGBごとに独自に調整できるように構成すること、また、オンオフ制御できるように構成することが好ましい。ベース電流を印加（ソース信号線18から電流を吸収する場合もある）すると、画像によっては、黒浮きが発生するからである。したがって、ベース電流をオンオフさせることにより、最適に調整できるようにする。また、ベース電流のオンオフもRGBごとに独自に設定できるようにしておくことが好ましい。

【1009】なお、基準電流、ベース電流は温度補償をしておく。パネル（正確にはEL素子15の温度）を検出し、その検出した温度によって、基準電流、ベース電流の値を変化させる。一般的に、EL素子15は温度が

上がると発光効率が低下するので、温度が上がる際にはEL素子15に印加する電流を増大させるように構成する。また、基準電流、ベース電流の温度補償も、RGBごとに独自に補償値を設定できるようにすることが好ましい。

【1010】以上の実施例では、EL素子15はR、G、Bであるとしたがこれに限定されるものではない。例えば、シアン、イエロー、マゼンダでもよいし、任意の2色でもよい。R、G、B、シアン、イエロー、マゼンダの6色あるいは任意の4色以上であってもよい。また、白単色であってもよいし、白単色光をカラーフィルタでRGBにしたものでもよい。また、有機EL素子に限定されるものではなく、無機EL素子であってもよい。

【1011】本発明の液晶表示パネルあるいはそれを用いた表示装置において、ゲートドライバ12とソースドライバ14は複数個（複数種類）集積することが好ましい。こうすることで、携帯電話網や無線LANからダウンロードした動画や静止画、地上波のテレビ放送を受信する画像など、あらゆる通信網から入る画像を、MPUに負担をかけることなく表示できるようになる。高精細画像はVGA対応で6ビットのゲートドライバ12とソースドライバ14を使って表示し、精細度が落ちればQVGAに切り替え、テキスト・データならば1ビットのゲートドライバ12とソースドライバ14を使用する。また別途、NTSC表示用ドライバ（インターレース、擬似インターレース走査）、プログレッシブ表示用ドライバ（ノンインターレース）を形成することも好ましい。なお、これらの複数の機能を有するゲートドライバ12、ソースドライバ14はシリコンチップで形成し、COG技術などで実装してもよいことは言うまでもない。

【1012】なお、図34、図35などでは、アクティブマトリックス型表示パネルを例示して説明したがこれに限定されるものではない。ソースドライバ14などからは所定電流のN倍電流をソース信号線18に印加（から吸収）する。また、複数の画素行を同時に選択する。そして、所定の期間の間だけ、EL素子に電流を流し、他の期間は電流を流さない、という概念は、単純マトリックス型表示パネルにも適用できるものである。

【1013】ゲートドライバ12、ソースドライバ14が1種類の場合、精細度の異なる画像を表示するためにMPUで信号の変換処理を実行する必要がある。液晶表示パネル以外で多数のゲートドライバ12、ソースドライバ14を用意する場合は、個別にICを実装する必要があるため、コストが高くなるとともに実装面積が拡大してしまう。また、ゲートドライバ12、ソースドライバ14だけでなく、画像処理回路など多くの回路を表示パネル82上のSi膜中に集積してもよい。

【1014】また、EL素子は点灯初期に特性変化が大

きいので、焼きつきなどが発生しやすい。この対策のため、パネル形成後、20時間以上150時間以内の間、白ラスタ表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも2～10倍程度の明るさで表示させることが好ましい。

【1015】図10、図38～図42、図44、図49、図52、図55、図56、図58、図137、図140～図151などを用いて駆動（表示）方法、駆動回路について説明したが、これらの技術的思想を実現するガリウム、シリコン、ゲルマニウムなどで作製された半導体チップも本発明の権利範囲である。これらの半導体チップを表示パネルに実装することにより表示装置、情報表示装置などを実現できる。

【1016】また、図6（b）、図9、図65、図68、図69、図71などにおけるV_bb電圧を印加する端子を、図56で説明したようにゲートドライバ12bに接続することにより、良好な画像表示を実現することができる。

【1017】また、図153、図193などで説明した電源電圧V_{dd}などに関する事項も本明細書のすべての画素構成あるいは、表示パネル、情報表示装置あるいは駆動方法に適用される。また、図2～図5、図12～図21、図25～図27、図132、図137、図140～図151、図192、図194～図196、図201、図204、図206～図209などに関しても本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

【1018】図34、図35、図73、図77～図109で説明した本発明の駆動方法、駆動回路と、図131、図134、図137、図140～図151などで説明したEL素子15に逆バイアス電圧を印加する方法あるいは構成とを組み合わせることによりさらに特徴ある効果が発揮される。また、これらは、図6、図8、図74～図76、図136～図151、図211～図215などで説明した画素構成に適用できることも言うまでもない。また、これらの構成で、図37～図40、図42～図49、図52～図54、図57、図59、図60、図74などを實現できることも説明を要しない。図12～図21の3辺フリーの構成と組み合わせることも有効であることは言うまでもない。また、これらの技術を用いて、図2～図5、図12～図21、図25～図27、図132、図137、図140～図151、図192、図194～図196、図201、図204、図206～図209などの表示パネル、情報表示装置あるいは駆動方法に適用できることも言うまでもない。

【1019】また、図131、図134、図137、図140～図151などで説明したEL素子15に逆バイアス電圧を印加する方法あるいは構成も、図6、図8、

図38、図51、図55、図56、図61～図65、図68～図72、図74～図76、図123～図130、図133、図137、図140～図152、図211～図215などの画素構成あるいはアレイ構成などに適用することは言うまでもない。また、これらの構成で、図37～図40、図42～49、図52～図54、図57、図59、図60、図74などを実現できることも説明を要しない。図1、図12～図21、図155～図167、図173～図176などの3辺フリー構成と組み合わせることも有効であることは言うまでもない。特に、3辺フリー構成の場合は、画素がアモルファスシリコン技術を用いて作製されている時に有効である。また、アモルファスシリコン技術で形成されたパネルでは、TFT素子の特性ばらつきのプロセス制御が不可能なため、本発明の電流駆動を実施することが好ましい。

【1020】さらに、これらの技術を用いて、図2～図5、図12～図21、図25～図27、図132、図137、図140～図151、図192、図194～図196、図201、図204、図206～図209などの表示パネル、情報表示装置あるいは駆動方法に適用することも言うまでもない。

【1021】図136～図151などで説明した画素構成、あるいは駆動方法における画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。また、スイッチング素子についてもTFTに限定されるものではない。また、本明細書のすべての画素構成あるいは、ドライバ配置、表示パネル、情報表示装置あるいは駆動方法に適用されることは言うまでもない。

【1022】図6、図8、図17～図21、図38、図51、図55、図56、図61～図65、図68～図72、図74～図76、図123～図130、図133、図137、図140～図152、図211～図215などの画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。例えば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。また、スイッチング素子についてもTFTに限定されるものでないことは、図193などで説明した。

【1023】また、図3、図12、図15、図17～図21、図132、図199、図201、図202、図206～図209などの構成、装置、方式はEL表示パネルを用いたものに限定されるものではない。例えば、PDP表示パネル、PLZT表示パネル、液晶表示パネルなどを用いたものにも適用することができる。

【1024】図6、図8、図28、図38、図51、図55、図56、図61～65、図68～図72、図74 50

～図76、図123～図130、図133、図137、図140～図152、図211～図215などの画素構成あるいはアレイ構成は、図197、図198、図200、図205などの情報表示装置に適用できることは言うまでもない。

【1025】また、図6、図8、図38、図51、図55、図56、図61～65、図68～図72、図74～図76、図123～図130、図133、図137、図140～図152、図211～図215などの画素構成あるいはアレイ構成は、図3、図12、図15、図17～図21、図132、図177～図190、図197～図202、図205～図209に採用できることは言うまでもない。

【1026】図32、図33の方法にあっては、EL表示パネルの製造方法に限定されるものではない。例えば、液晶表示パネルの製造方法にも適用できる。また、図12～図21の構成あるいは方法にあってもEL表示パネルに限定されるものではなく、LED表示パネル、液晶表示パネルなどにも適用できることは言うまでもない。図37～図40、図42～図49、図52～図54、図57、図59、図60、図74などの表示方法についても同様である。

【1027】以上、本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

【1028】また、スキャナの光源としても有機ELパネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定されるものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【1029】また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用液晶表示パネルのバックライトとしても用いることができる。

【1030】

【発明の効果】本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【1031】なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図1】本発明の表示パネルの説明図

【図2】本発明の表示装置の断面図

【図3】本発明の表示パネルの断面図

【図4】本発明の表示装置の断面図

【図5】本発明の表示装置の断面図

【図6】本発明の表示パネルの回路構成図

【図7】本発明の表示パネルの説明図

【図8】本発明の表示パネルの説明図

【図9】本発明の表示パネルの説明図

【図10】本発明の表示装置の回路構成図

【図11】本発明の表示装置の説明図

【図12】本発明の表示パネルの説明図

【図13】本発明の表示パネルの説明図

【図14】本発明の表示パネルの説明図

【図15】本発明の表示パネルの説明図

【図16】本発明の表示パネルの説明図

【図17】本発明の表示パネルの駆動方法の説明図

【図18】本発明の表示パネルの説明図

【図19】本発明の表示パネルの説明図

【図20】本発明の表示パネルの説明図

【図21】本発明の表示パネルの説明図

【図22】本発明の表示パネルの説明図

【図23】本発明の表示パネルの説明図

【図24】本発明の表示パネルの説明図

【図25】本発明の表示装置の説明図

【図26】本発明の表示装置の説明図

【図27】本発明の表示装置の断面図

【図28】本発明の表示パネルの説明図

【図29】本発明の表示パネルの説明図

【図30】本発明の表示パネルの製造方法の説明図

【図31】本発明の表示パネルの説明図

【図32】本発明の表示パネルの製造方法の説明図

【図33】本発明の表示パネルの製造方法の説明図

【図34】本発明の表示パネルの駆動方法の説明図

【図35】本発明の表示パネルの駆動方法の説明図

【図36】本発明の表示パネルの説明図

【図37】本発明の表示パネルの駆動方法の説明図

【図38】本発明の表示パネルの駆動方法の説明図

【図39】本発明の表示パネルの駆動方法の説明図

【図40】本発明の表示パネルの駆動方法の説明図

【図41】本発明の表示パネルの駆動方法の説明図

【図42】本発明の表示パネルの駆動方法の説明図

【図43】本発明の表示パネルの駆動方法の説明図

【図44】本発明の表示パネルの回路ブロック図

【図45】本発明の表示パネルの駆動方法の説明図

【図46】本発明の表示パネルの駆動方法の説明図

【図47】本発明の表示パネルの駆動方法の説明図

【図48】本発明の表示パネルの駆動方法の説明図

【図49】本発明の表示パネルの駆動方法の説明図

【図50】本発明の表示パネルの駆動方法の説明図

【図51】本発明の表示パネルの説明図

【図52】本発明の表示パネルの駆動方法の説明図

【図53】本発明の表示パネルの駆動方法の説明図

【図54】本発明の表示パネルの駆動方法の説明図

【図55】本発明の表示パネルの回路ブロック図

【図56】本発明の表示パネルの回路ブロック図

【図57】本発明の表示パネルの駆動方法の説明図

【図58】本発明の表示パネルの回路ブロック図

【図59】本発明の表示パネルの駆動方法の説明図

【図60】本発明の表示パネルの駆動方法の説明図

【図61】本発明の表示パネルの説明図

【図62】本発明の表示パネルの説明図

【図63】本発明の表示パネルの説明図

【図64】本発明の表示パネルの説明図

【図65】本発明の表示パネルの説明図

【図66】本発明の表示パネルの説明図

【図67】本発明の表示パネルの説明図

【図68】本発明の表示パネルの説明図

【図69】本発明の表示パネルの説明図

【図70】本発明の表示パネルの説明図

【図71】本発明の表示パネルの説明図

【図72】本発明の表示パネルの説明図

【図73】本発明の表示パネルの駆動方法の説明図

【図74】本発明の表示パネルの説明図

【図75】本発明の表示パネルの説明図

【図76】本発明の表示パネルの説明図

【図77】本発明の表示パネルの駆動方法の説明図

- 50

- [illegible]

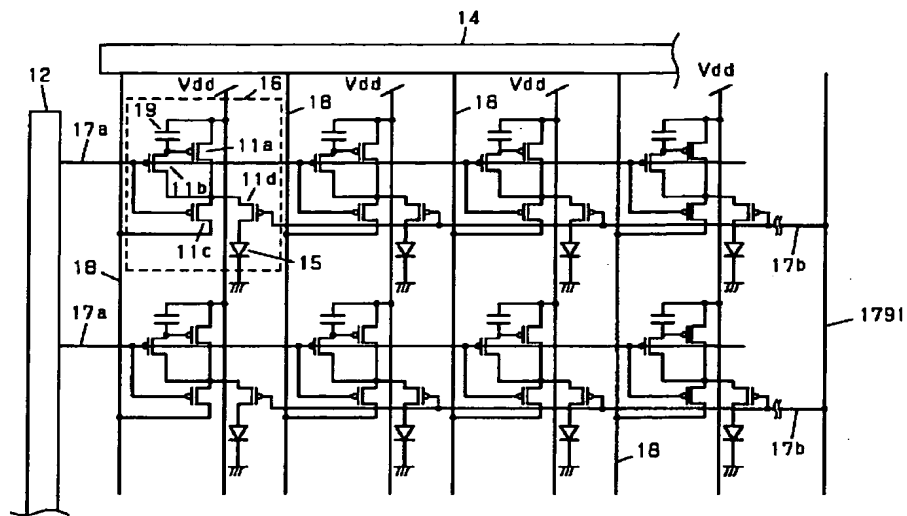
【図178】本発明の表示パネルの駆動方法の説明図
 【図179】本発明の表示パネルの駆動方法の説明図
 【図180】本発明の表示パネルの駆動方法の説明図
 【図181】本発明の表示パネルの駆動方法の説明図
 【図182】本発明の表示装置の駆動方法の説明図
 【図183】本発明の表示装置の駆動方法の説明図
 【図184】本発明の表示装置の駆動方法の説明図
 【図185】本発明の表示パネルの駆動方法の説明図
 【図186】本発明の表示パネルの駆動方法の説明図
 【図187】本発明の表示パネルの駆動方法の説明図
 【図188】本発明の表示パネルの駆動方法の説明図
 【図189】本発明の表示パネルの駆動方法の説明図
 【図190】本発明の表示パネルの駆動方法の説明図
 【図191】本発明の情報表示装置の説明図
 【図192】本発明の情報表示装置の説明図
 【図193】本発明の表示パネルの説明図
 【図194】本発明の表示装置の構成図
 【図195】本発明の表示装置の構成図
 【図196】本発明の表示装置の説明図
 【図197】本発明の表示パネルの説明図
 【図198】本発明の情報表示装置の説明図
 【図199】本発明の情報表示装置の平面図
 【図200】本発明の情報表示装置の説明図
 【図201】本発明の表示装置のデータ伝送方法の説明図
 【図202】本発明の表示装置のデータ伝送方法の説明図
 【図203】本発明の表示装置のデータ伝送方法の説明図
 【図204】本発明の情報表示装置の説明図
 【図205】本発明の情報表示装置の説明図
 【図206】本発明のビューファインダの断面図
 【図207】本発明のビデオカメラの斜視図
 【図208】本発明の電子カメラの斜視図
 【図209】本発明のテレビの説明図
 【図210】本発明のテレビの説明図
 【図211】本発明の表示パネルの説明図
 【図212】本発明の表示パネルの説明図
 【図213】本発明の表示パネルの説明図
 【図214】本発明の表示パネルの説明図
 【図215】本発明の表示パネル置の説明図
 【図216】本発明の表示パネルの駆動方法の説明図
 【図217】本発明の表示パネルの画素構成の説明図
 【図218】本発明の表示パネルの画素構成の説明図
 【図219】本発明の表示パネルの画素構成の説明図
 【図220】従来の表示パネルの回路構成図
 【符号の説明】
 11 TFT
 12 ゲートドライバ
 14 ソースドライバ

14c 1チップドライバIC
 15 EL素子
 16 画素
 17 ゲート信号線
 18 ソース信号線
 19 コンデンサ
 20 電流供給線
 21 表示画面
 22 シフトレジスタ
 23 インバータ回路
 24 出力ゲート
 41 封止フタ
 43 凹部
 44 凸部
 45 シール剤
 46 反射膜
 47 有機EL層
 48 画素電極
 49 アレイ基板
 50 $\lambda/4$ 板
 51 カソード配線
 52 コンタクトホール
 53 カソード電極
 54 偏光板
 55 乾燥剤
 61, 62 接続端子
 63 アノード配線
 71 平滑化膜
 72 透明電極
 73 封止膜
 74 円偏光板
 81 エッジ保護膜
 82 表示パネル
 91 遮光膜
 92 低抵抗化配線
 101 コントロールIC
 102 電源IC
 103 プリント基板
 104 フレキシブル基板
 105 データ信号
 141 誤差拡散コントローラ
 151 内蔵表示メモリ
 152 演算メモリ
 153 演算回路
 154 バッファ回路
 191 アンテナ
 192 テンキー
 193 筐体
 194 キー
 201 デュプレクサ

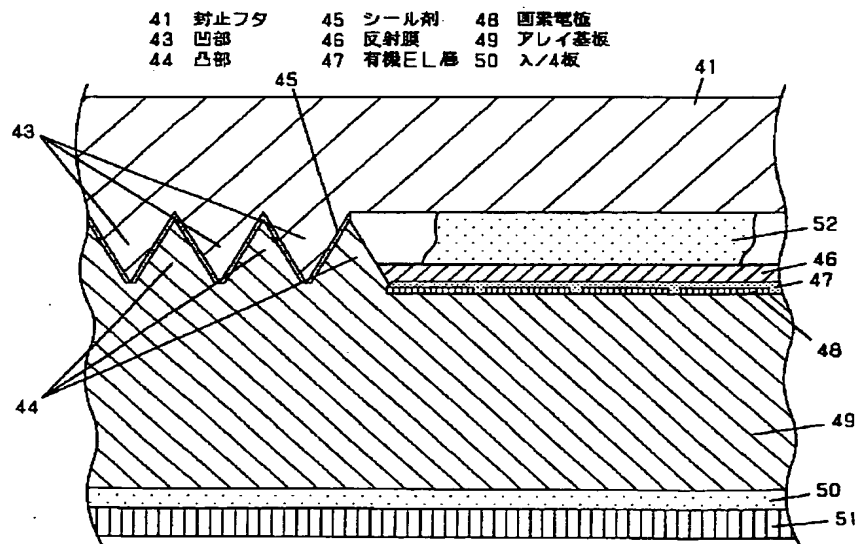
202 LNA
 203 LOバッファ
 204 ダウンコンバータ
 205 アップコンバータ
 206 PAブリドライバ
 207 PA
 230 レーザー照射スポット
 241 ガラス基板
 242 位置決めマーカ
 251 凸部
 252 凹凸部（エンボス加工部）
 311 画像表示領域
 312 非表示領域
 351 カウンタ回路
 352 輝度メモリ
 353 CPU
 354 フレームメモリ（フィールドメモリ）
 355 切り替え回路
 391 書き込み画素行
 392 保持画素行
 401 電圧源
 402 電流源
 403 電源切り替え手段
 404 寄生容量
 451 ボディー
 452 接眼リング
 453 拡大レンズ
 454 正レンズ
 461 撮影レンズ
 462 ビデオカメラ本体
 463 格納部
 464 接眼カバー
 465 表示モード切り替えスイッチ
 466 ビューファインダ
 467 蓋
 468 支点
 471 シャッター
 472 デジタルカメラ本体
 481 外枠

482 固定部材
 483 脚
 484 脚取り付け部
 491 壁
 492 固定金具
 493 保護フィルム（保護板）
 501 走査領域
 601 ENBL端子
 602 OR回路
 10 851 シャッター
 852 観察用眼鏡（切り替え手段）
 861 プリズム
 862 光結合材
 871 書き込み画素行
 1001 フライングコンデンサ
 1221 電圧出力回路
 1222 電流出力回路
 1223 スイッチ回路（アナログスイッチ）
 1224 オペアンプ（出力バッファ）
 20 1225 調整ポリウム
 1226 DA回路（デジタル-アナログ変換手段）
 1227 出力トランジスタ（FET）
 1228 抵抗
 1271 出力段回路
 1321 信号配線
 1751 画素コンタクト部
 1761 保護膜
 1771 マスク
 1772 コンタクトホール
 30 1781 スペーサ
 1791 点灯制御線
 1891 点灯制御ドライバ回路
 1981 ブロック
 2041 スピーカー
 2043 ファンクションスイッチ（FSW）
 2044 マイク
 2045 ミラー
 2046 表示パネル
 2111 逆バイアス制御線

【図1】

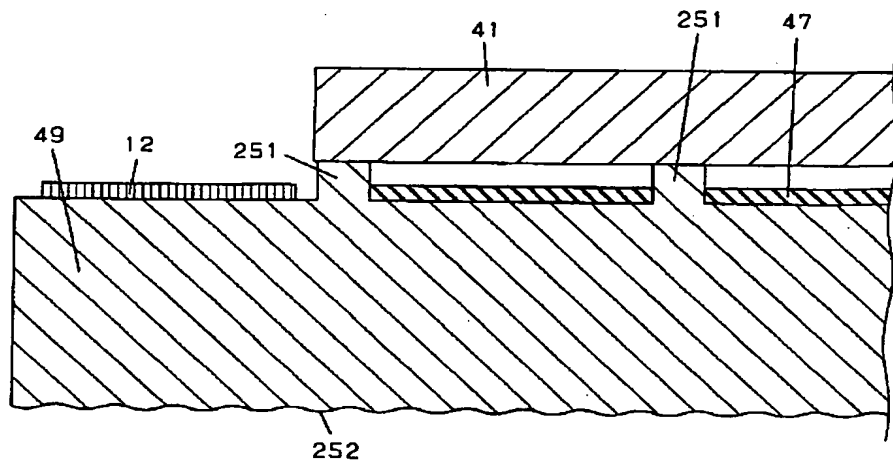


【図2】



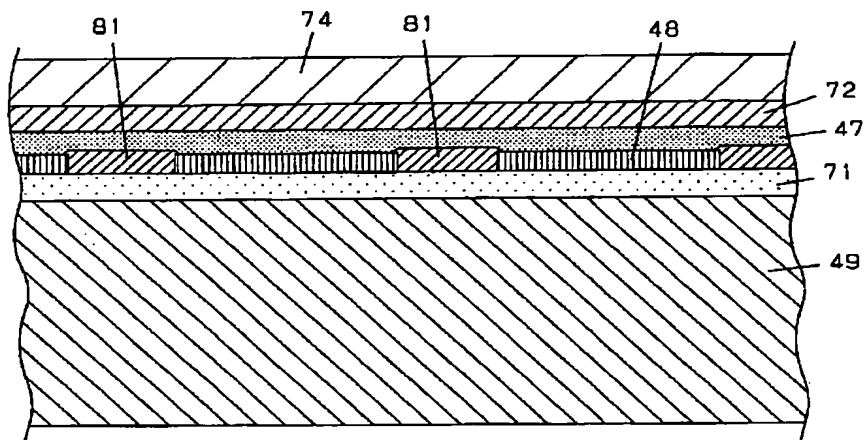
【図3】

251 凸部
252 凹凸部



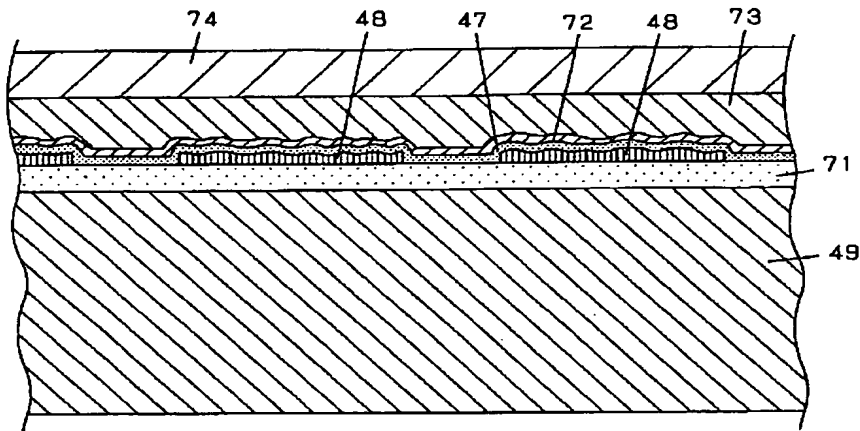
【図4】

81 エッジ保護膜



【図5】

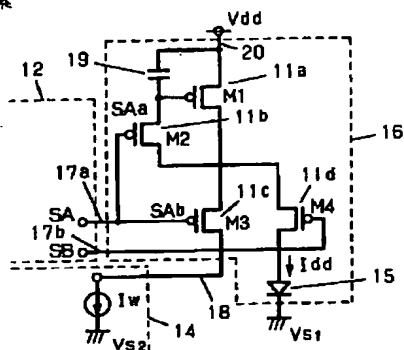
71 平滑化膜 73 封止膜
72 透明電極 74 円偏光板



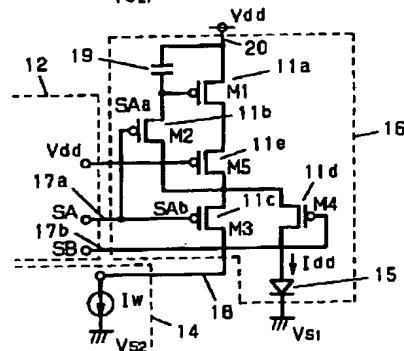
【図6】

11 TFT 17 ゲート信号線
12 ゲートドライバ 18 ソース信号線
14 ソースドライバ 19 コンデンサ
15 EL素子 20 電流供給線
16 画素

(a)

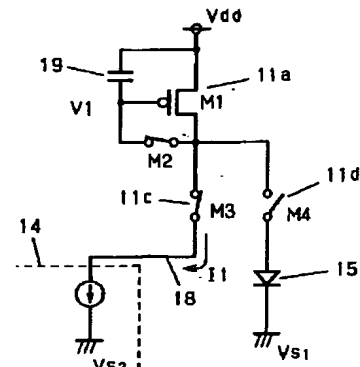


(b)

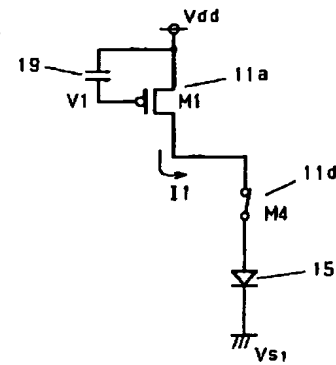


【図7】

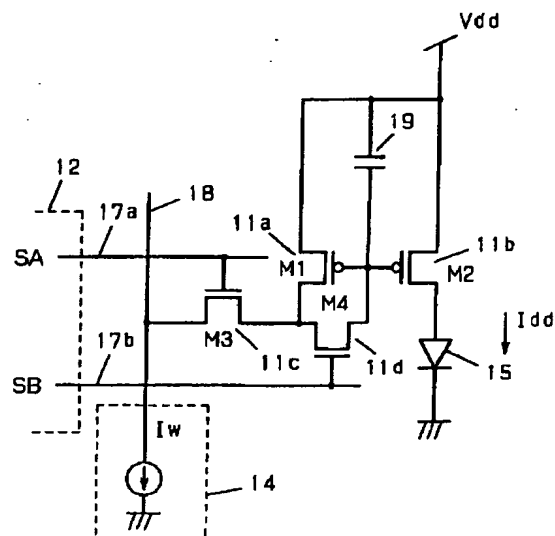
(a)



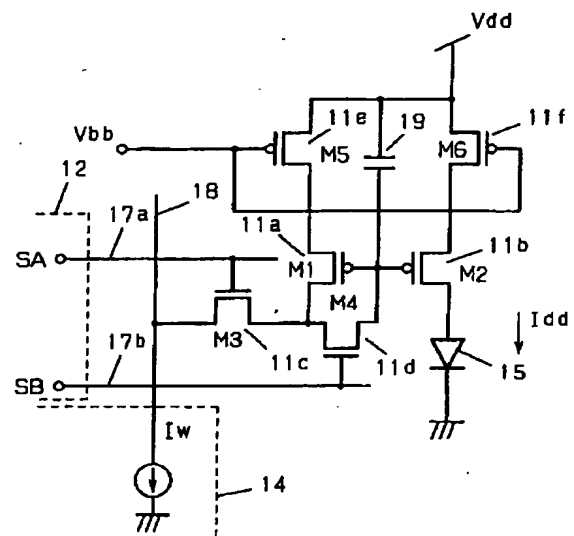
(b)



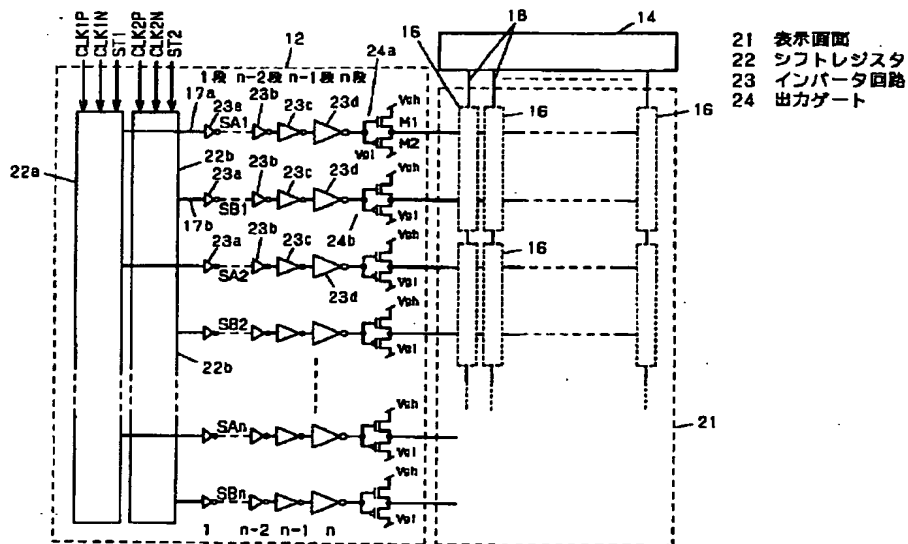
【図8】



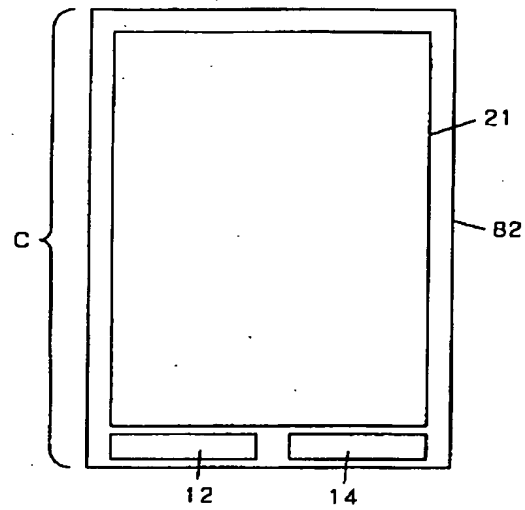
【図9】



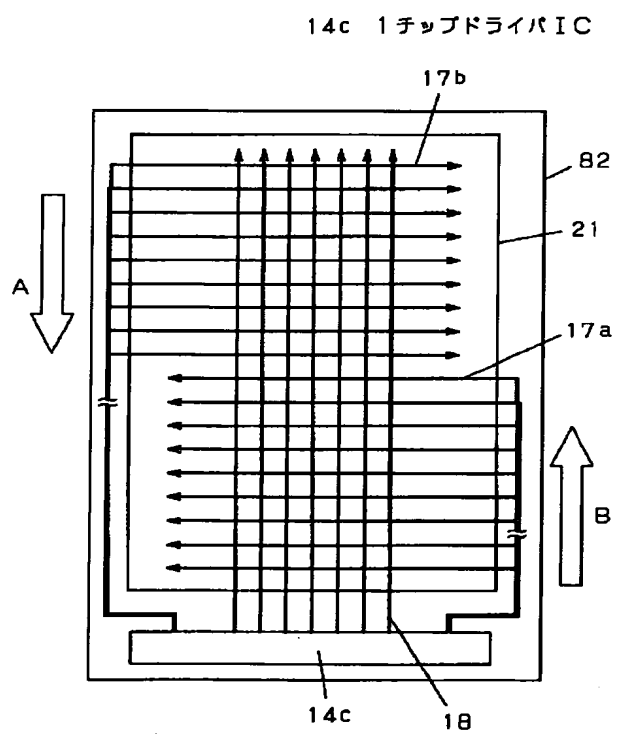
【図10】



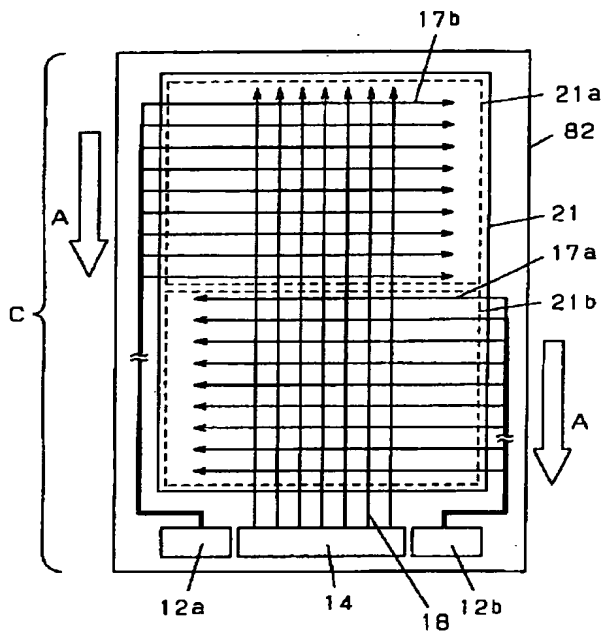
【圖 12】



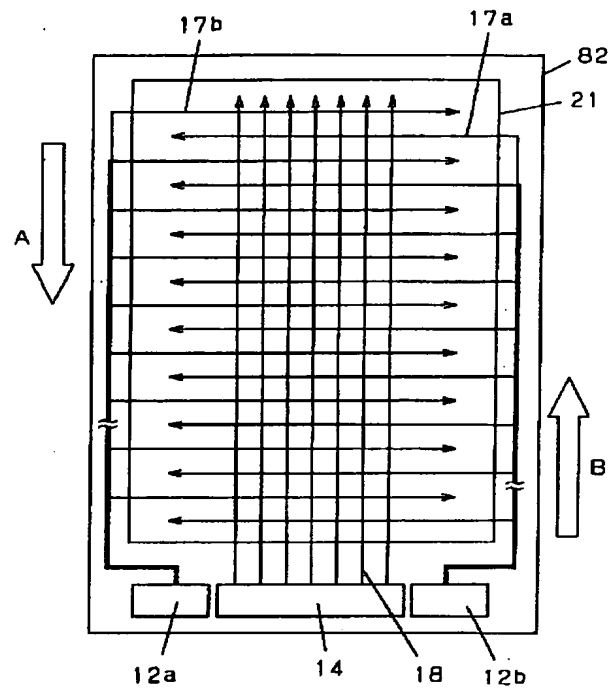
【圖 14】



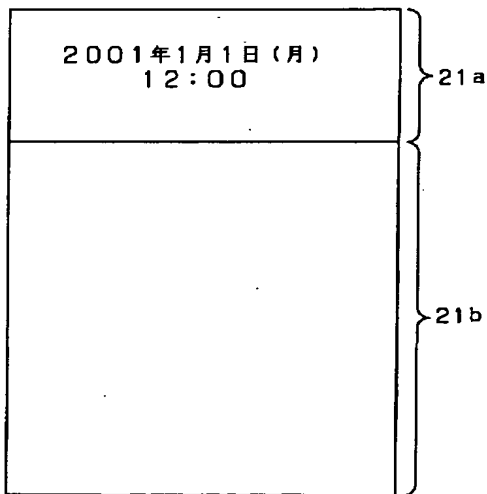
【図15】



【図16】

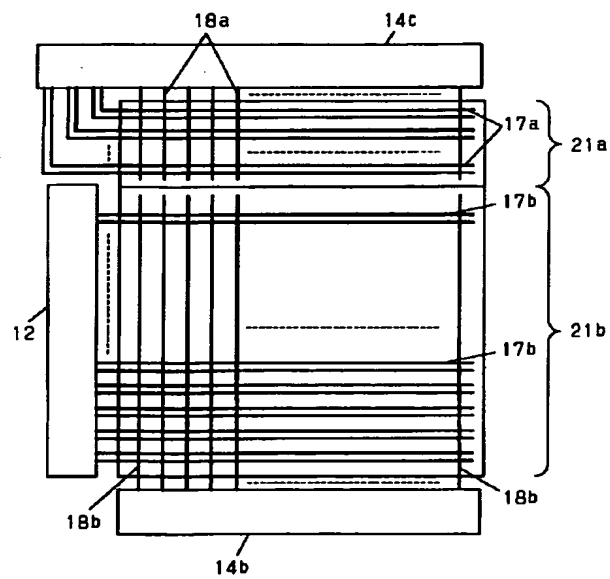


【図17】

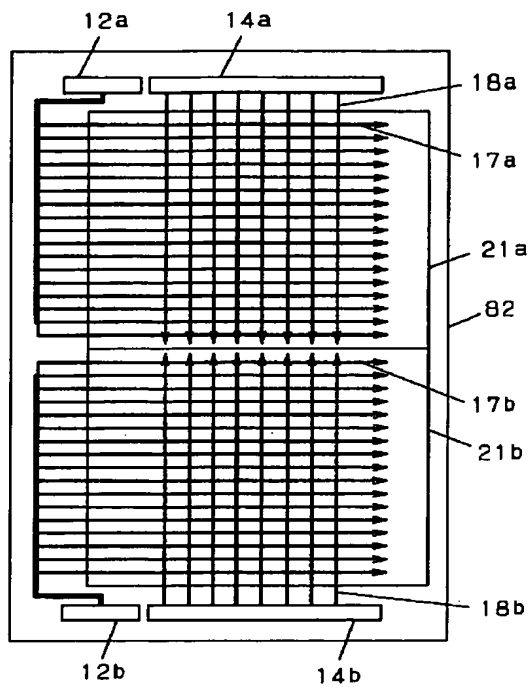


【図18】

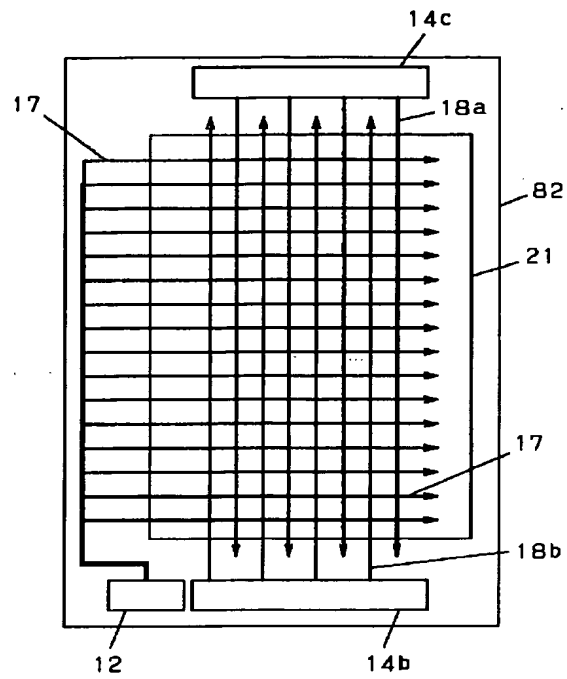
14c 1チップドライバIC



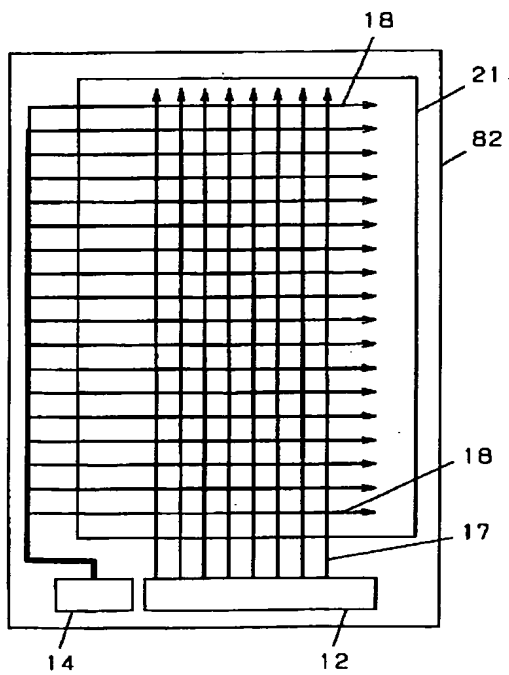
【図19】



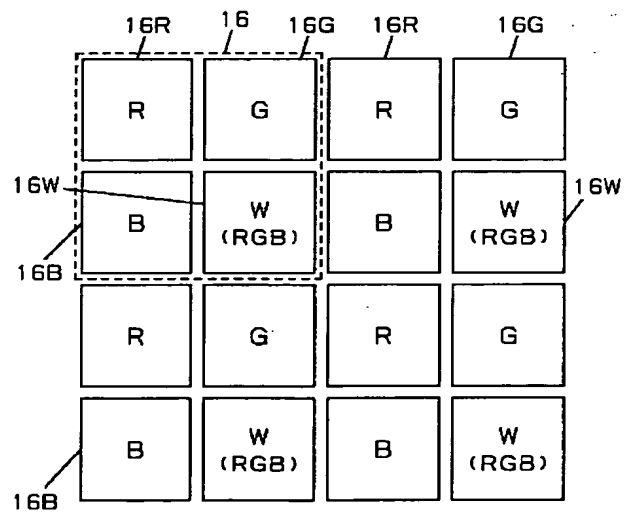
【図20】



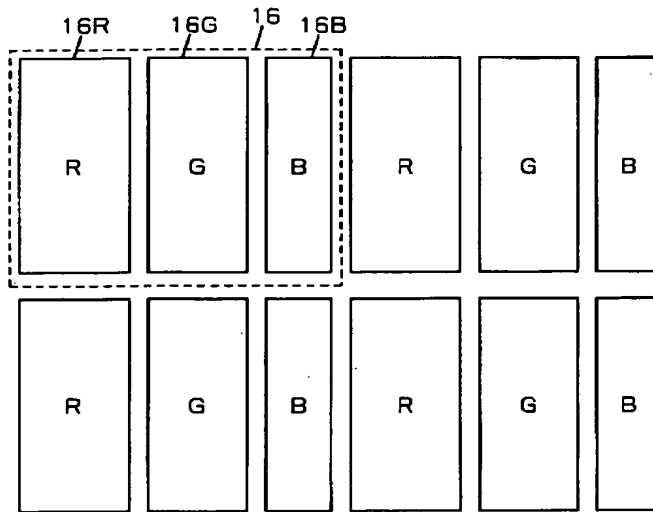
【図21】



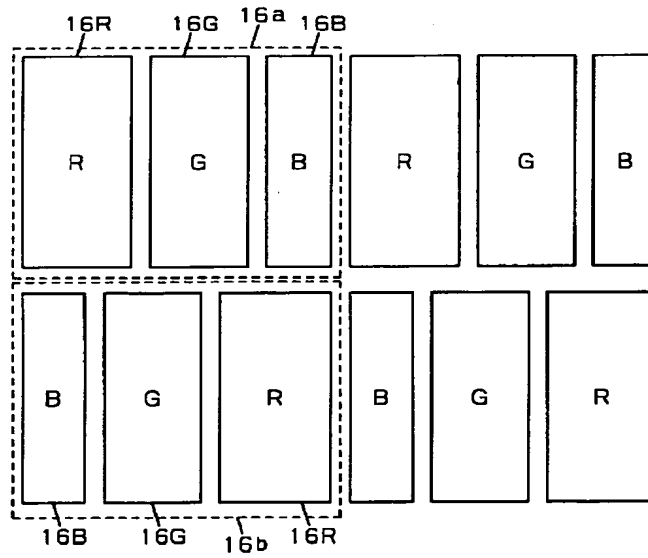
【図22】



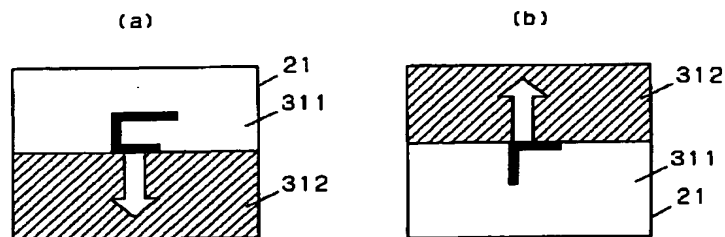
【図23】



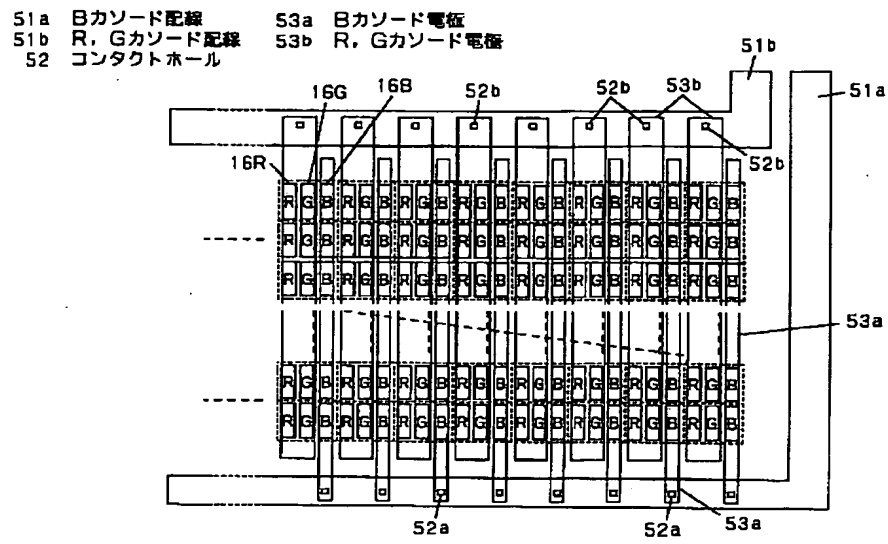
【図24】



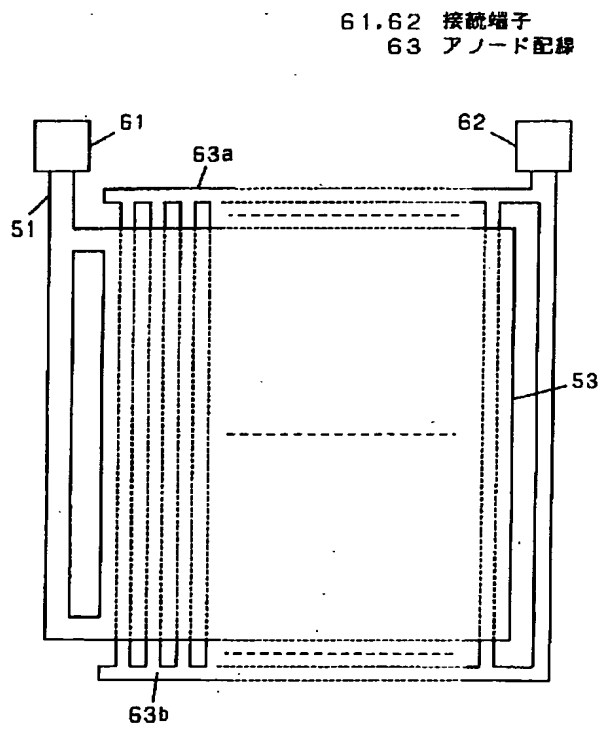
【図39】



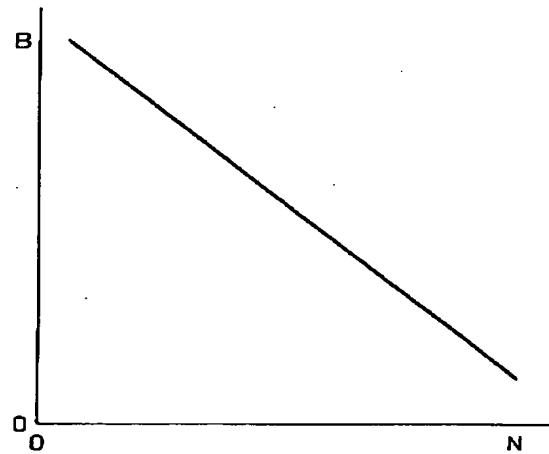
【図25】



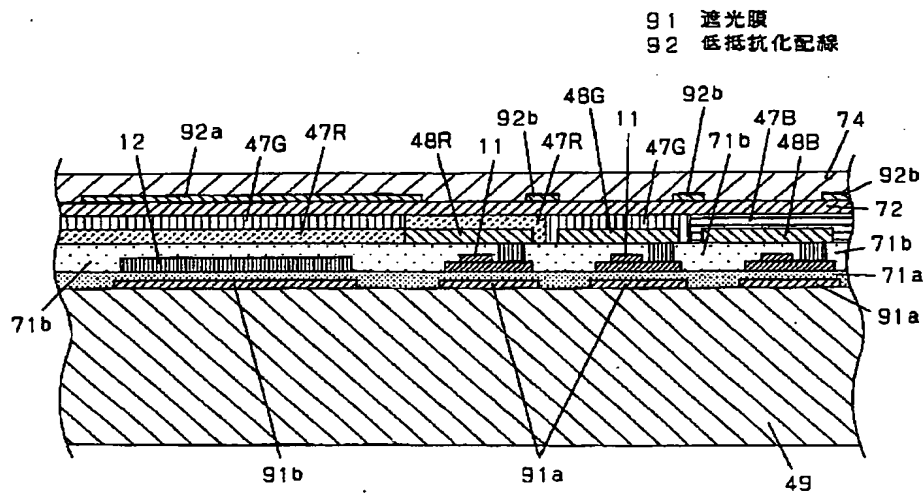
【図26】



【図43】

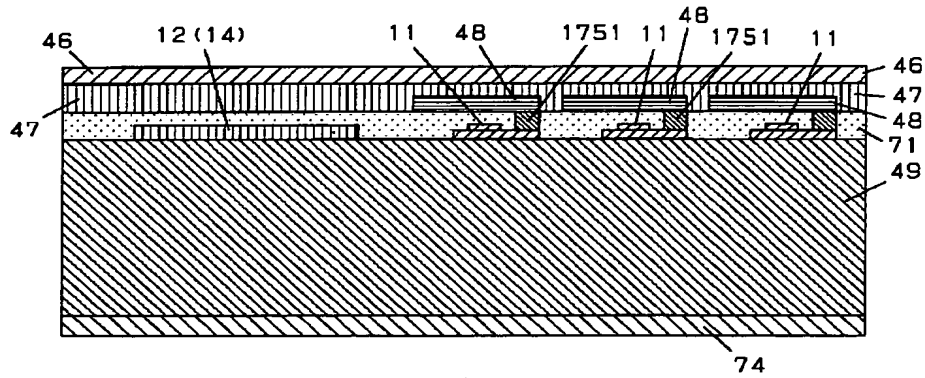


【図27】

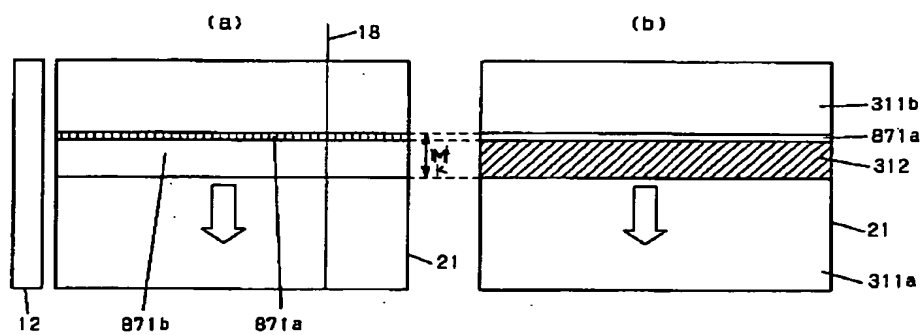


【図28】

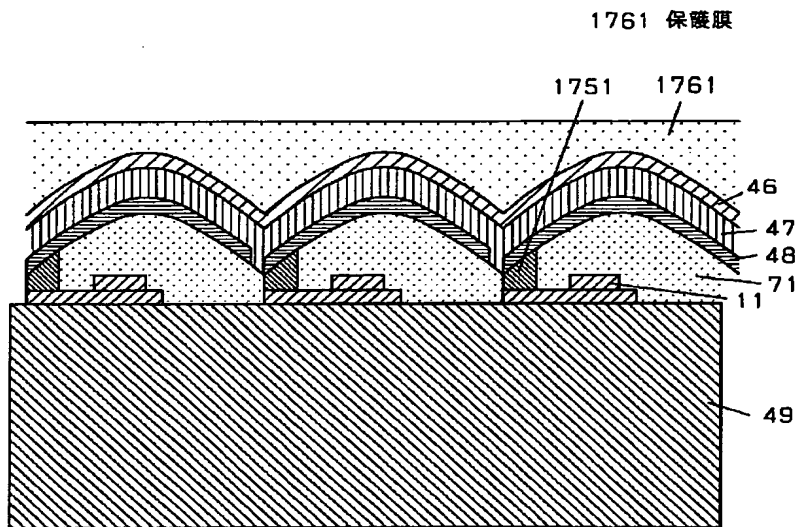
1751 画素コンタクト部



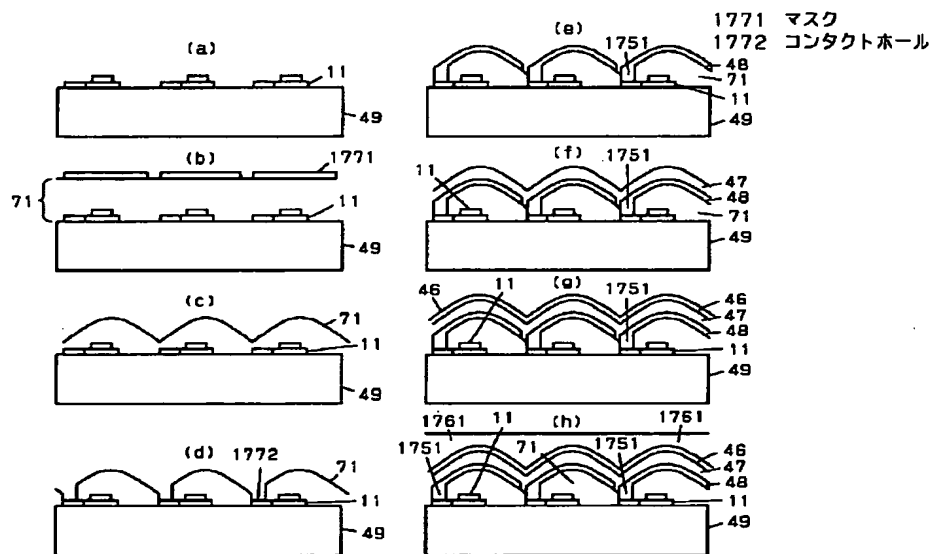
【図35】



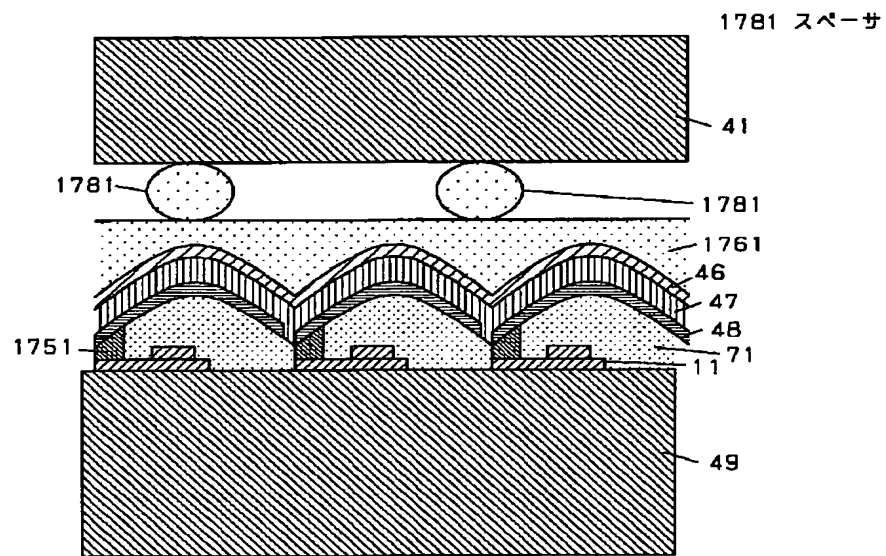
【図29】



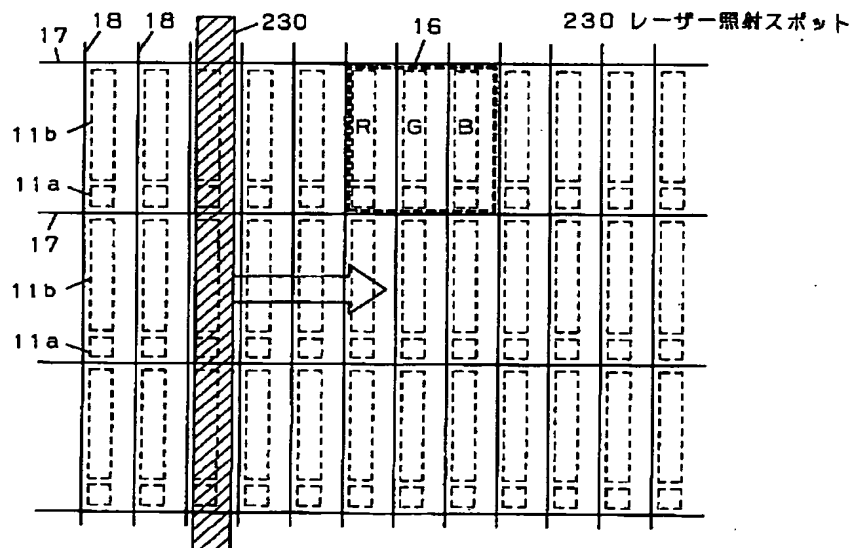
【図30】



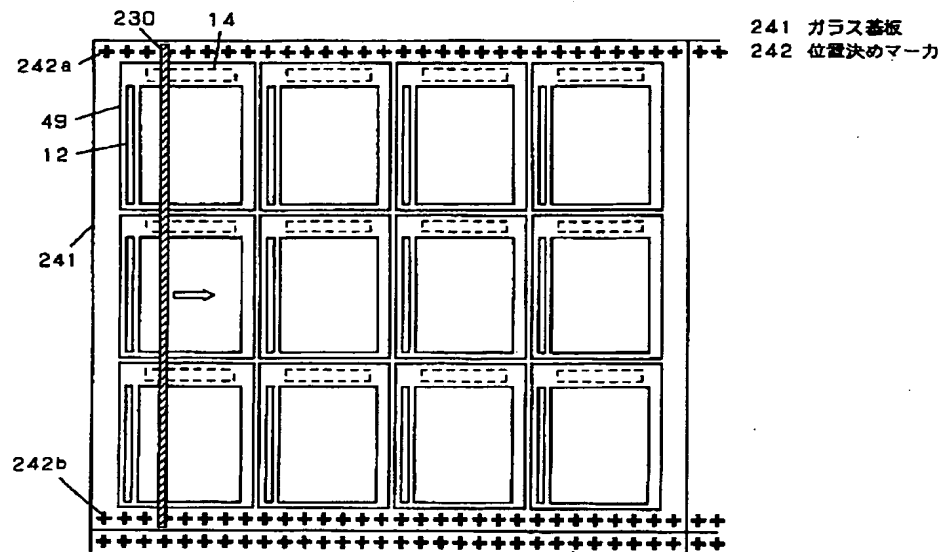
【図31】



【図32】

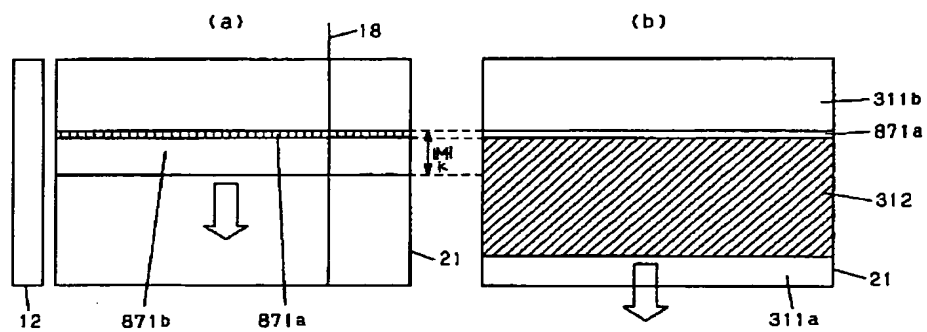


【図33】

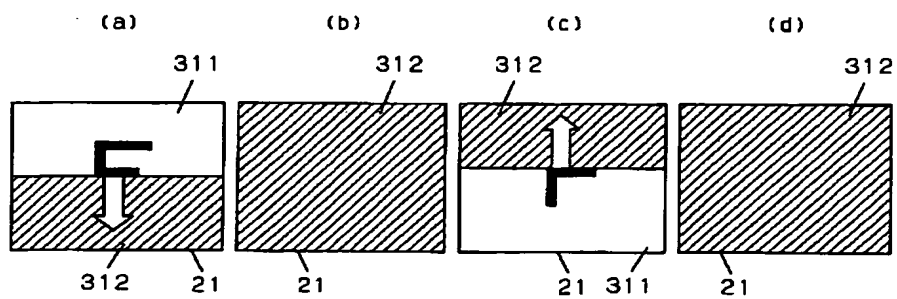


【図34】

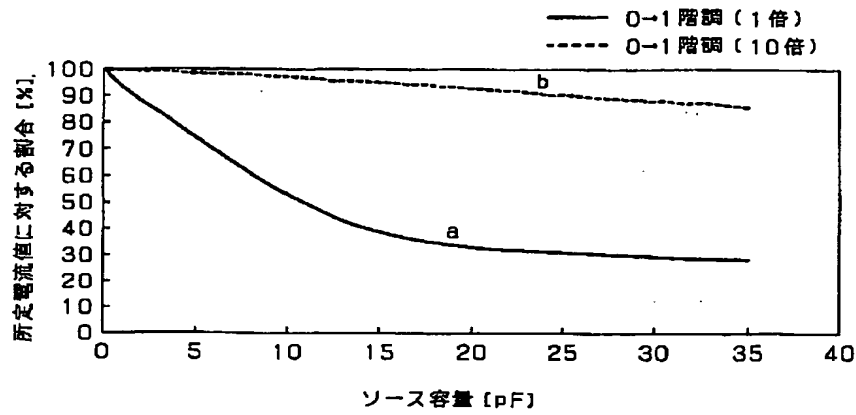
871 書き込み画素行



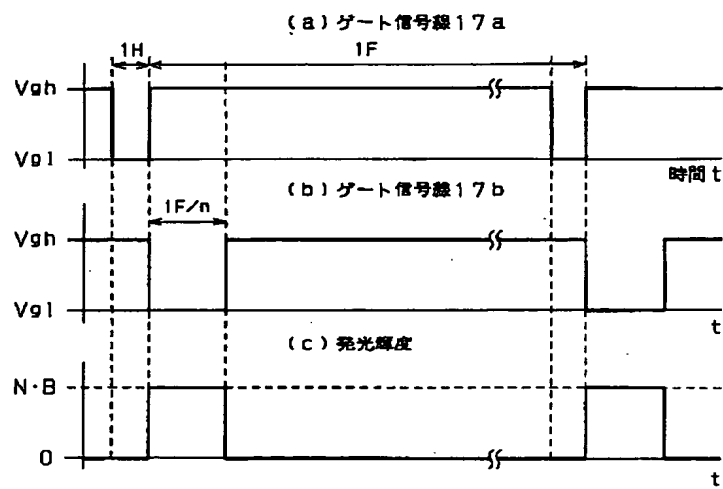
【図40】



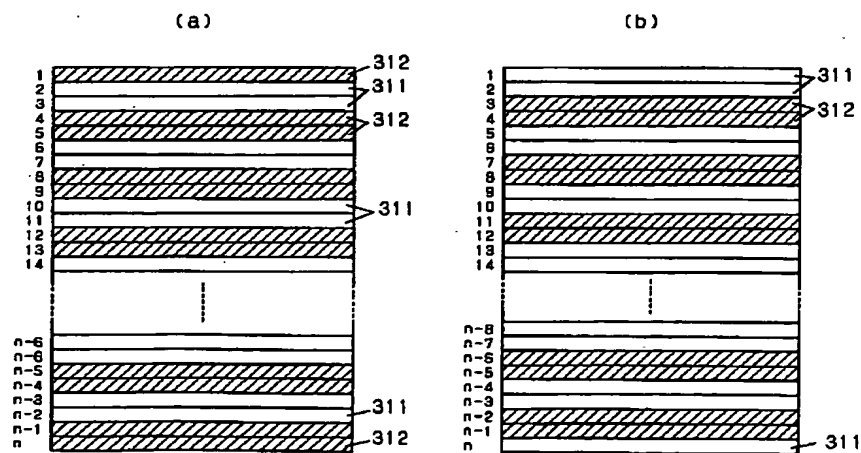
【図36】



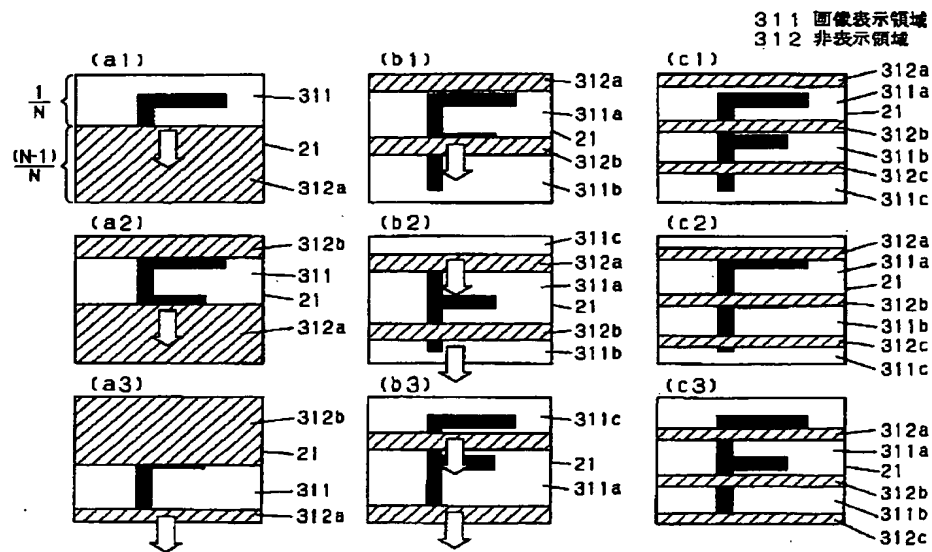
【図37】



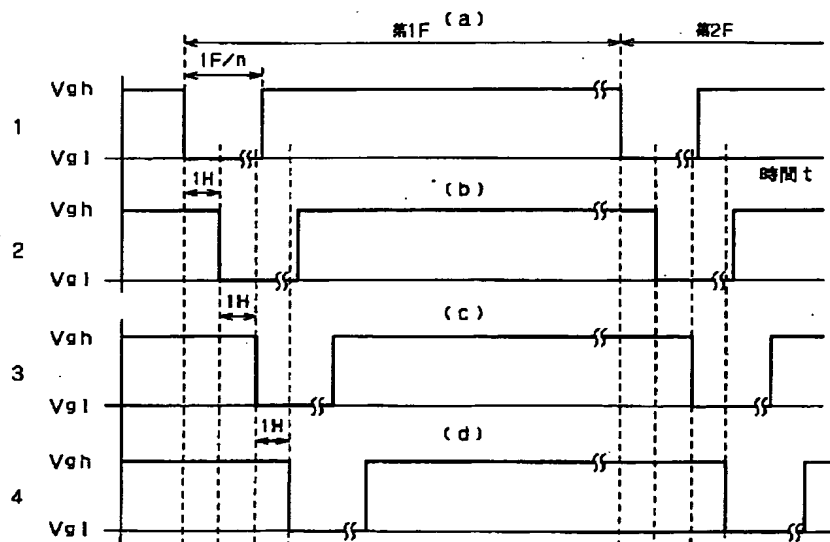
【図49】



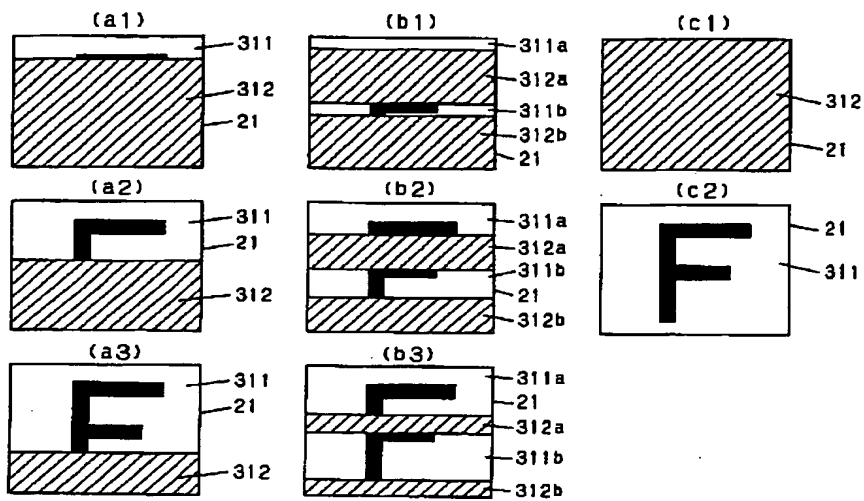
【図38】



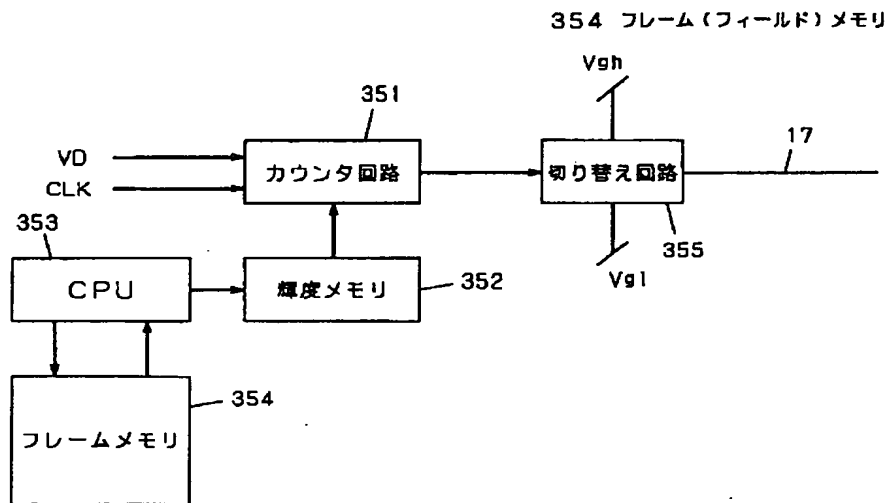
【図41】



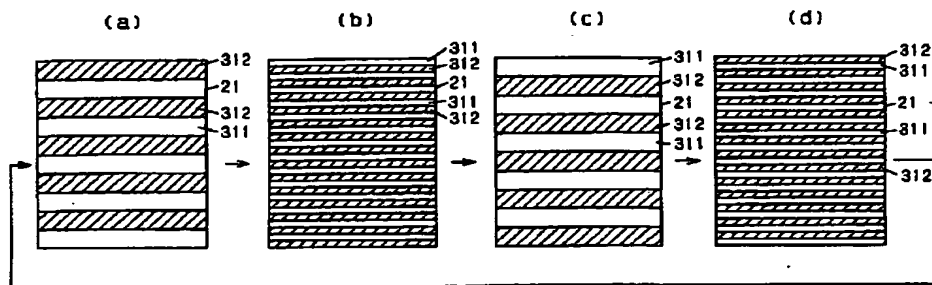
【図42】



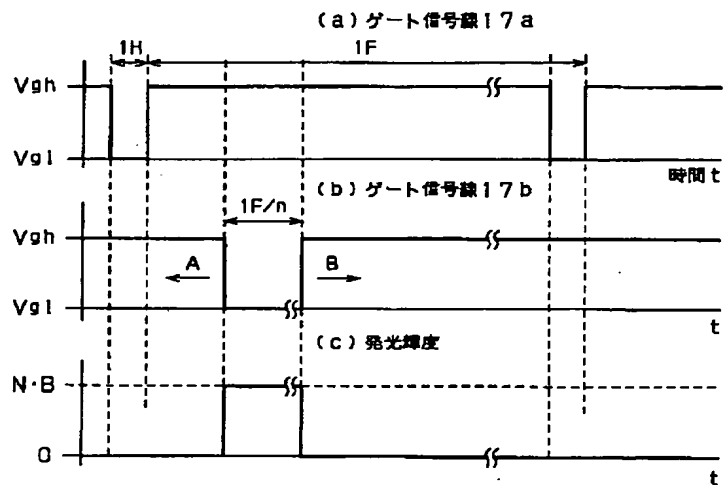
【図44】



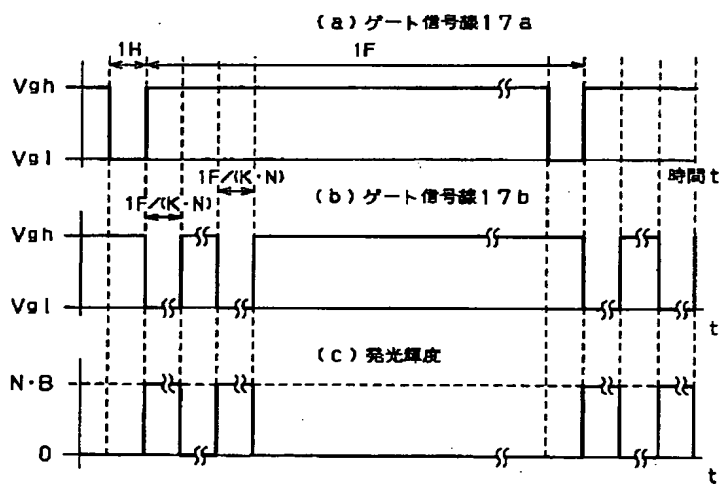
【図53】



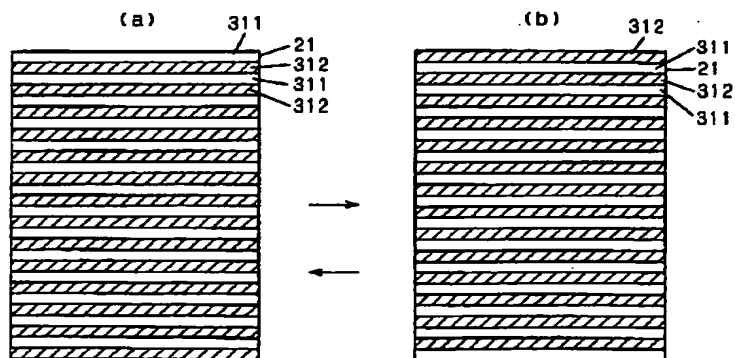
【図45】



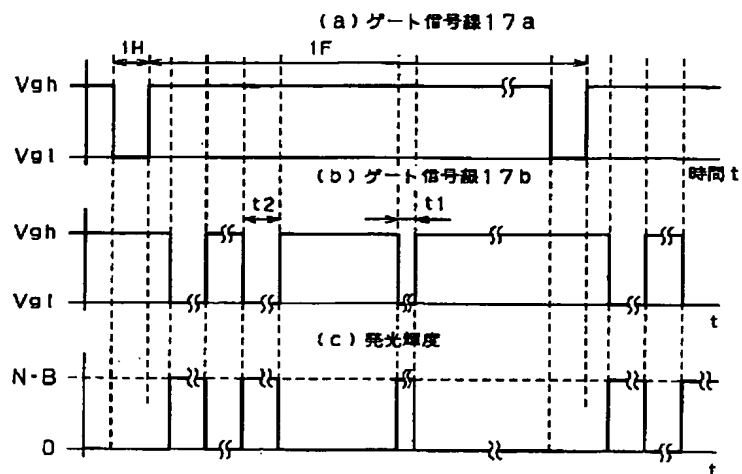
【図46】



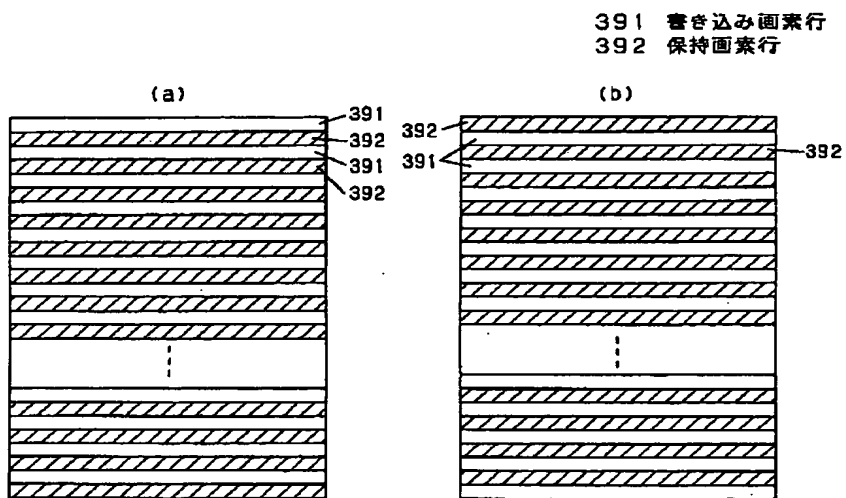
【図52】



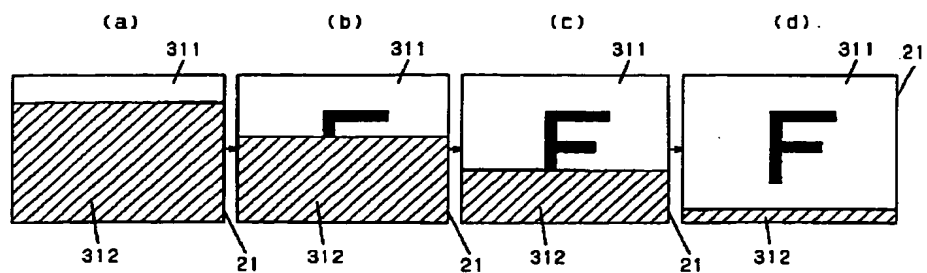
【図47】



【図48】

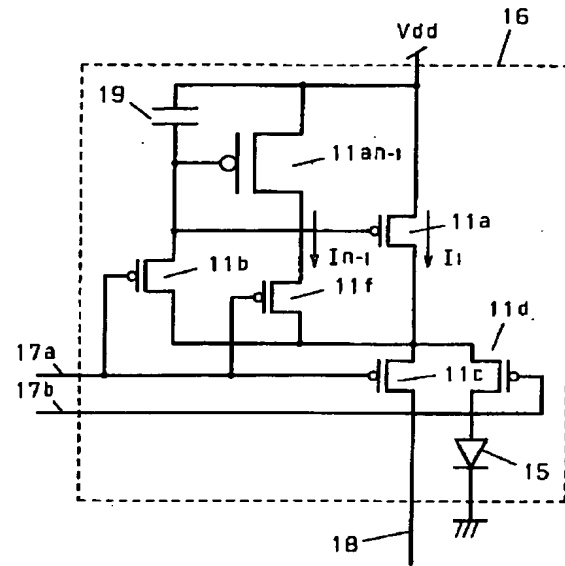


【図54】

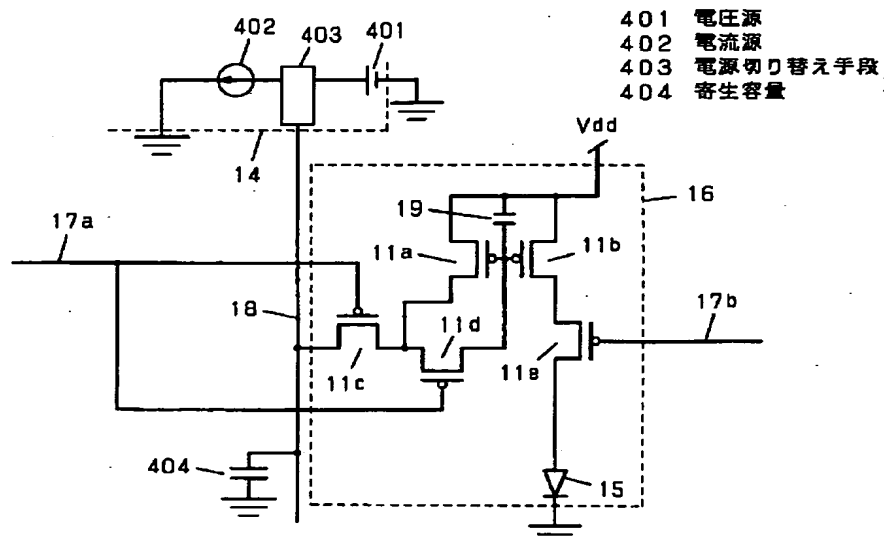


【図61】

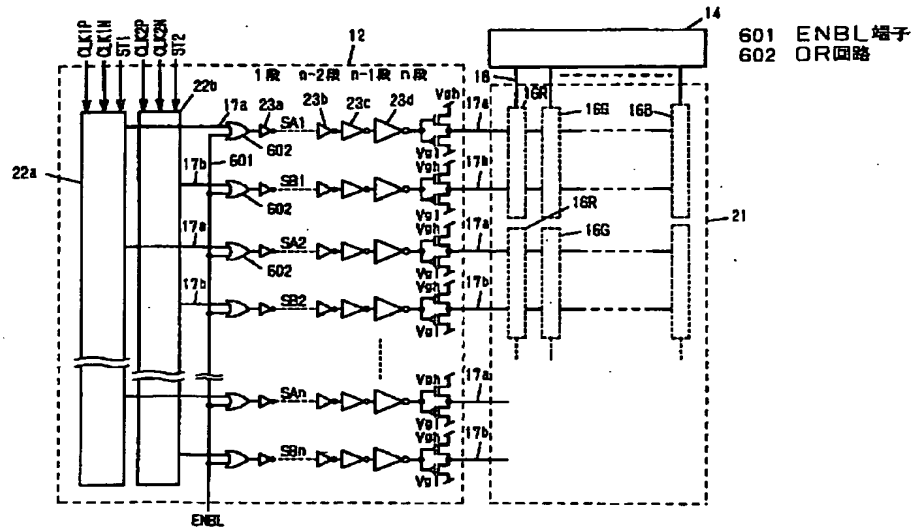
Figure 1 consists of four schematic diagrams labeled (a1), (b1), (a2), and (b2).
 (a1) and (b1) are top views of a semiconductor device. They show a central rectangular region 312a with vertical hatching. Surrounding this region is a layer 391 with diagonal hatching, which is further surrounded by a layer 392 with horizontal hatching. A bracket on the left of (a1) and (b1) indicates a width of 501.
 (a2) and (b2) are cross-sectional views of the device. They show a central rectangular region 312b with vertical hatching. Surrounding this region is a layer 391 with diagonal hatching, which is further surrounded by a layer 392 with horizontal hatching. A bracket on the left of (a2) and (b2) indicates a width of 501.
 The diagrams illustrate the arrangement of layers and regions in the device, showing the relationship between the central region 312a/b and the surrounding layers 391 and 392.



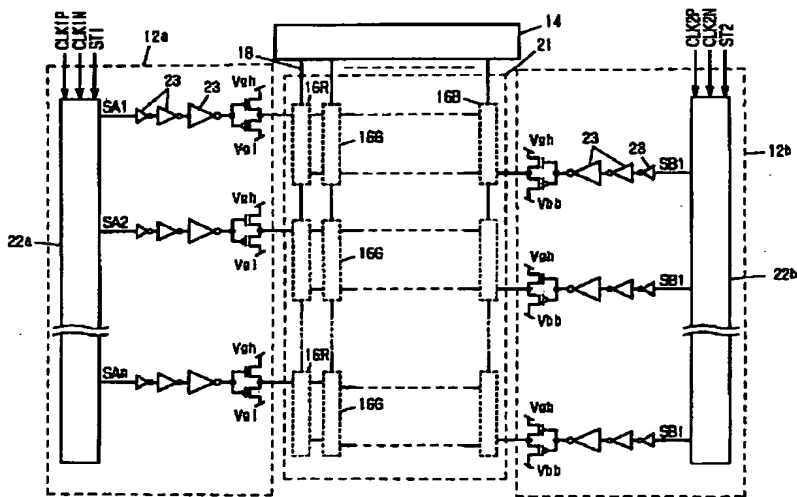
【図 5 1】



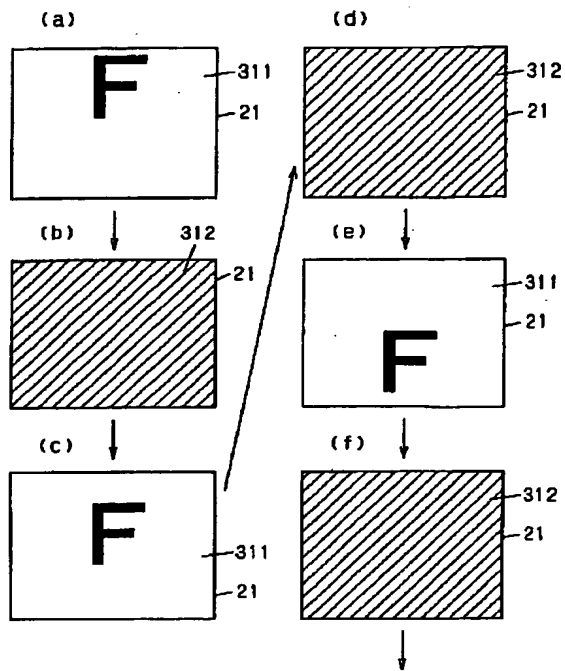
【図55】



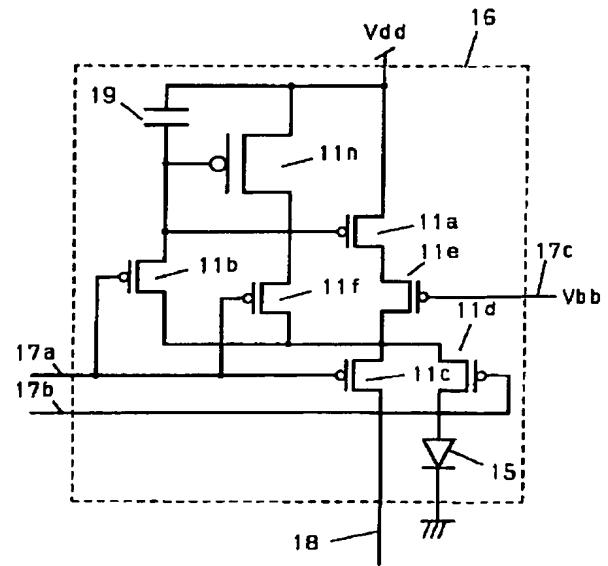
【図56】



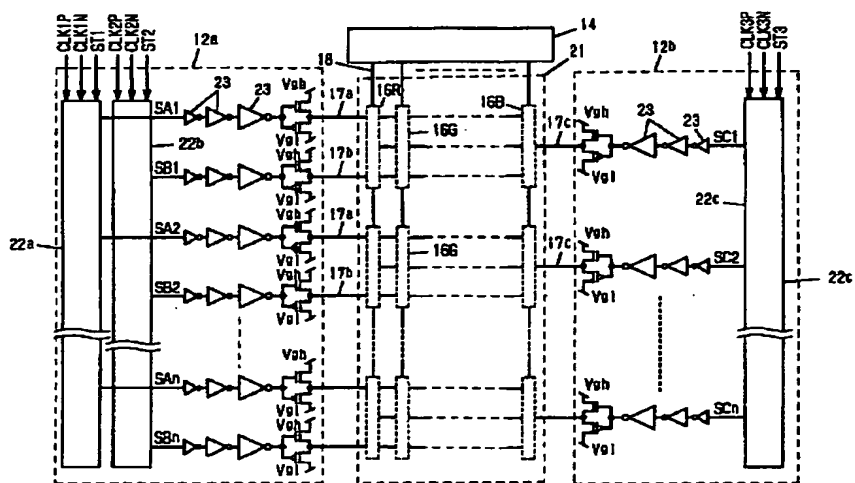
【図57】



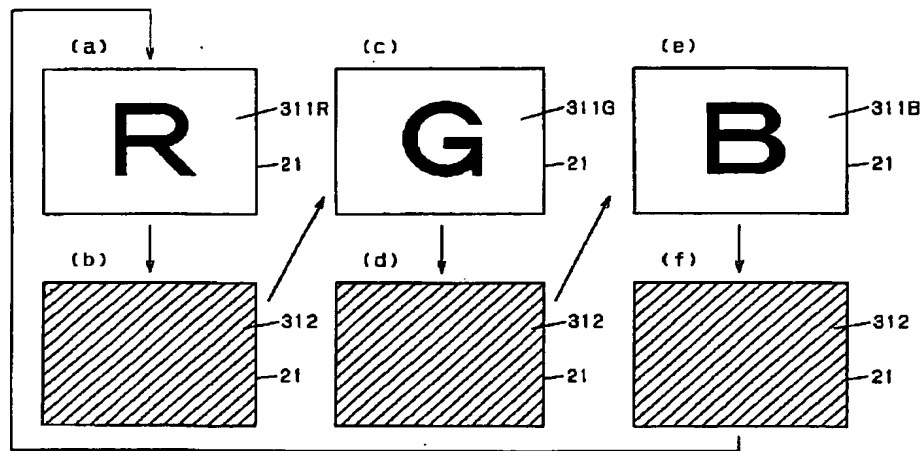
【図65】



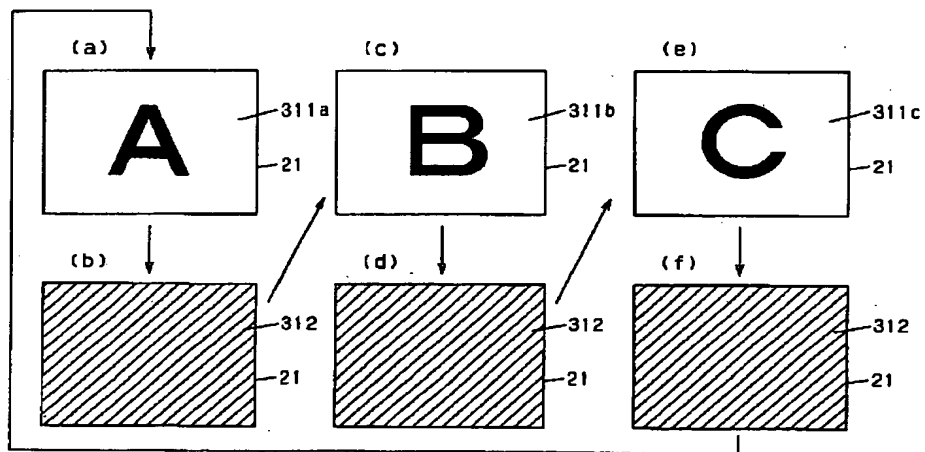
【図58】



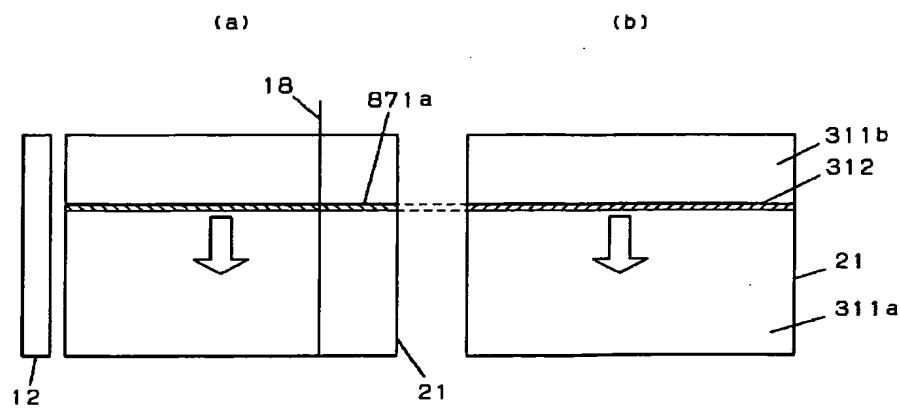
【図59】



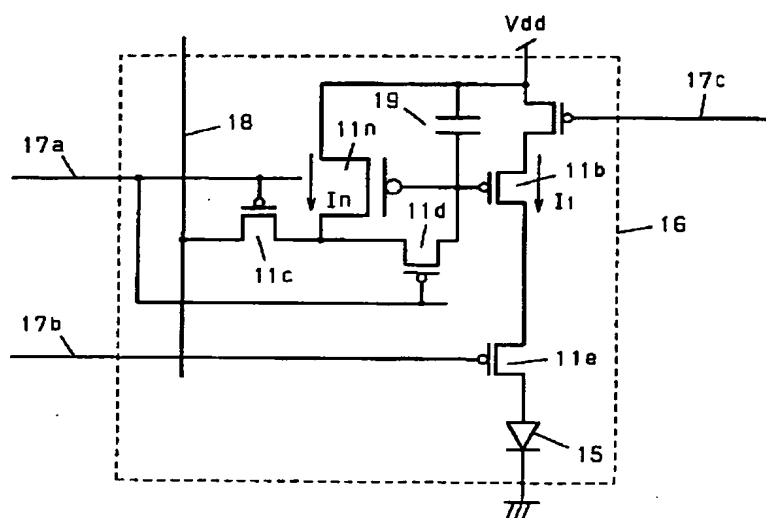
【図60】



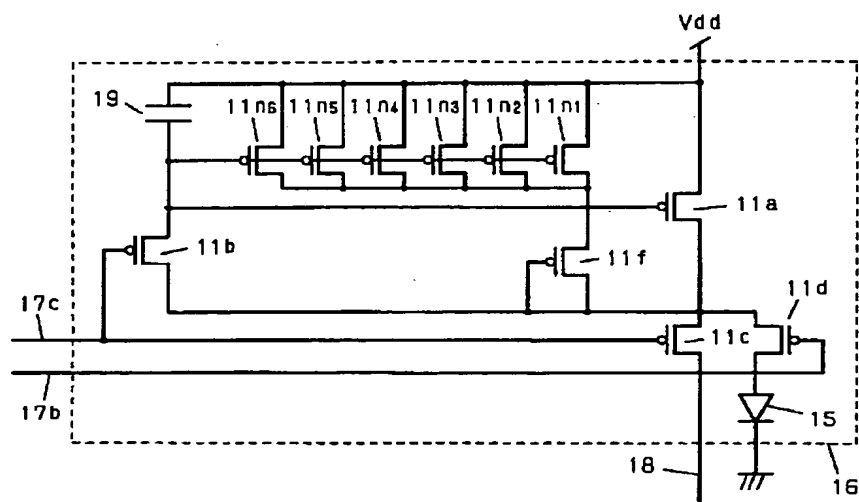
【図73】



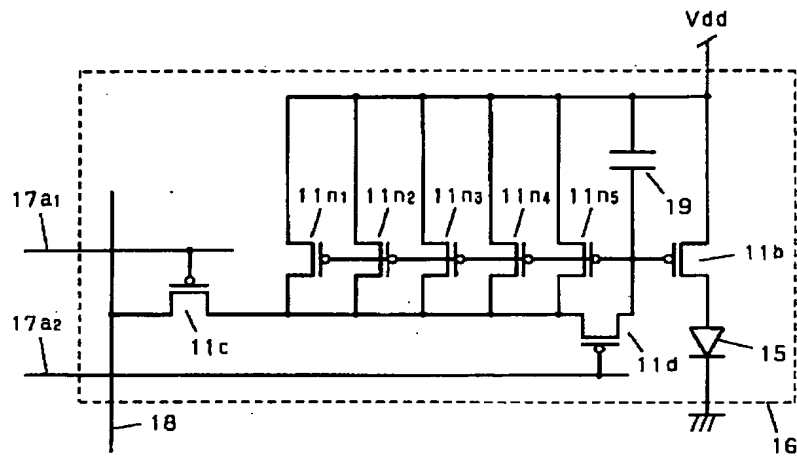
【図62】



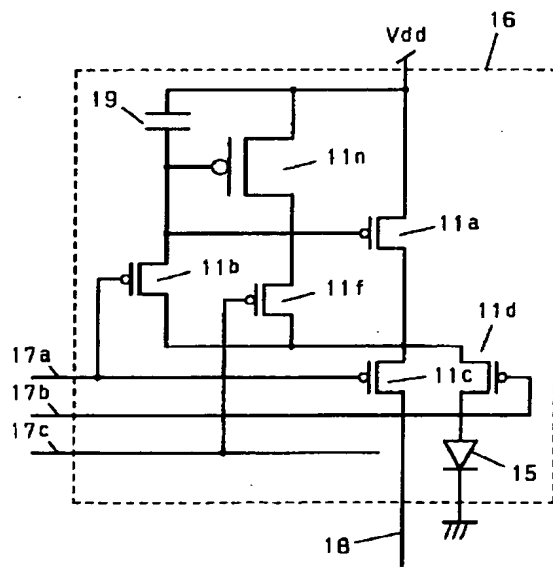
【図63】



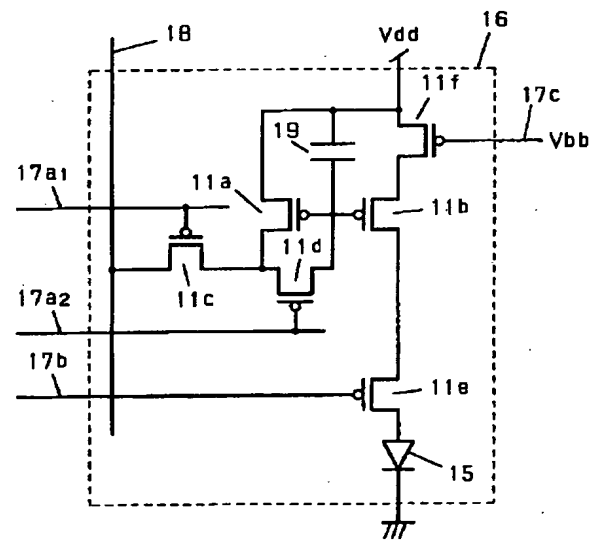
【図64】



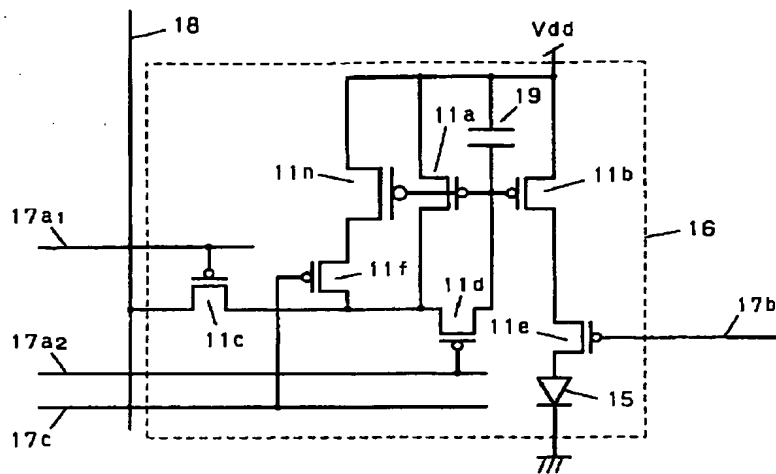
【図66】



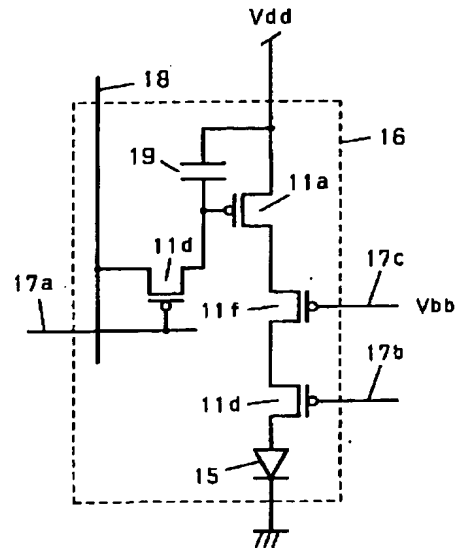
【図68】



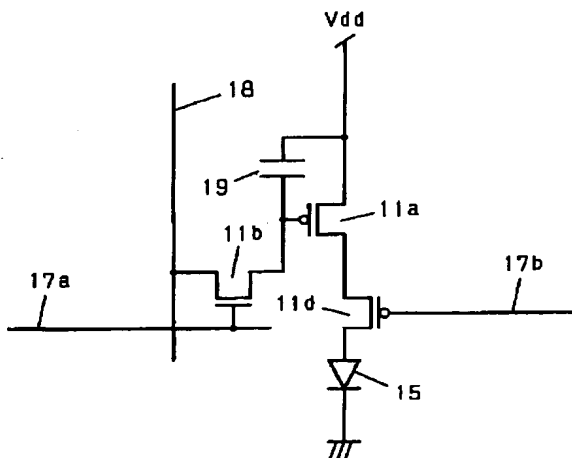
【図67】



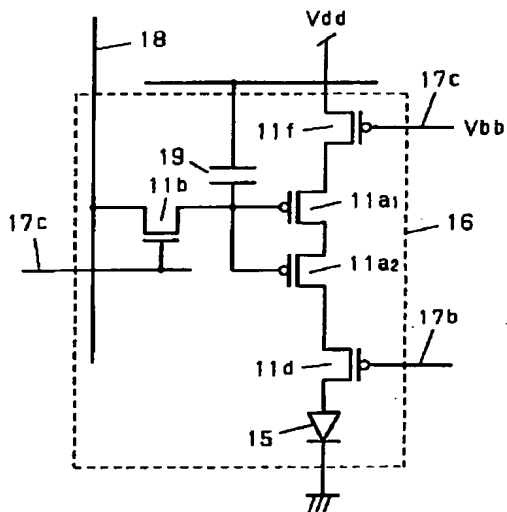
【図69】



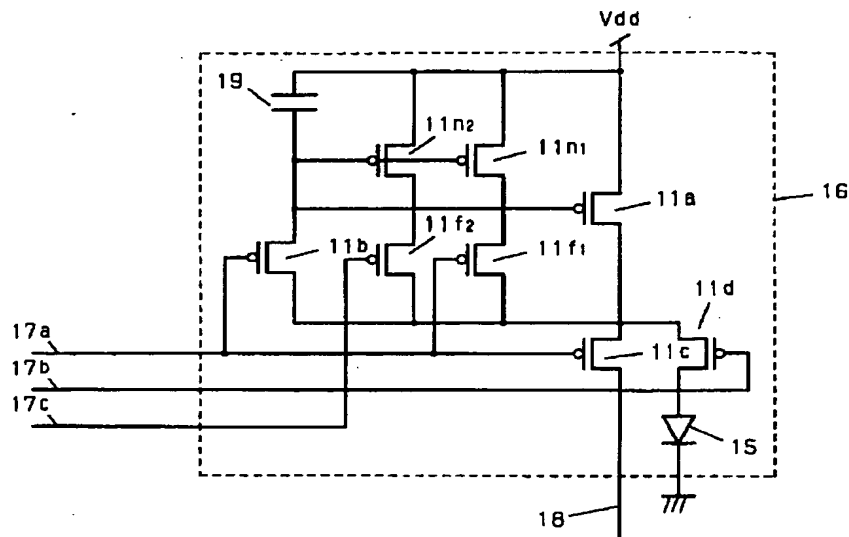
【図70】



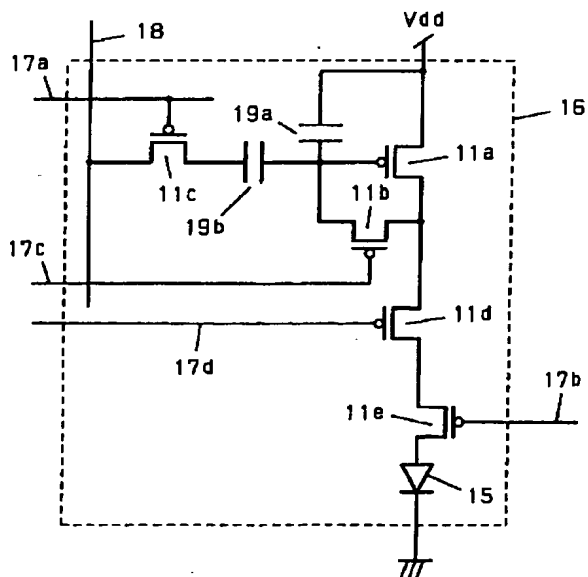
【図71】



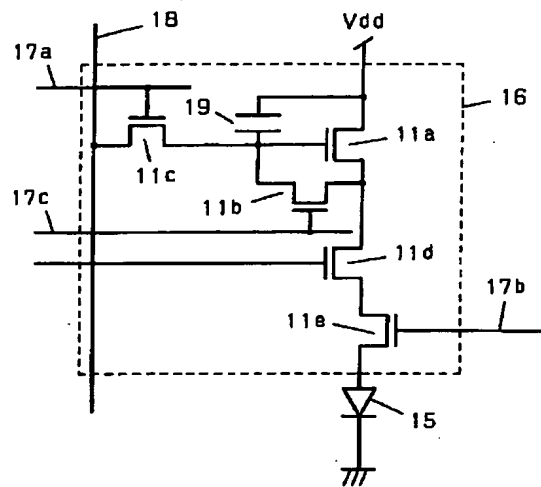
【図72】



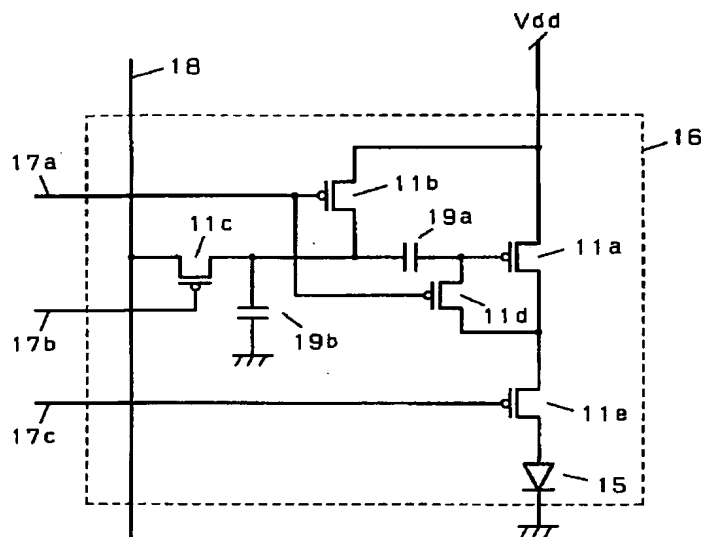
【図74】



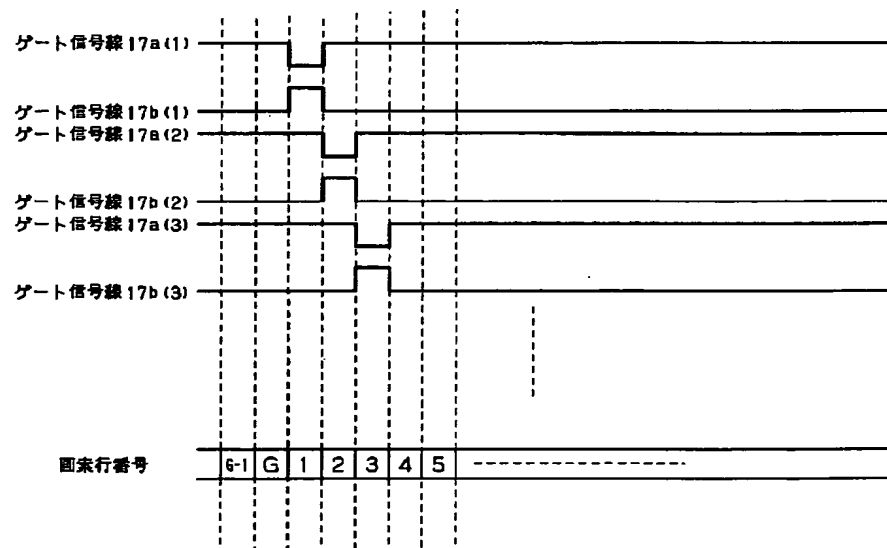
【図75】



【圖 76】

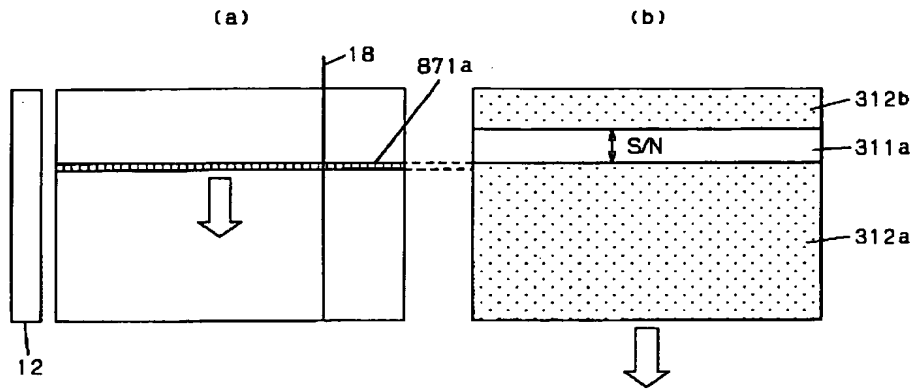


【图 7 7】



图案行番号	G-1	G	1	2	3	4	5	-----
-------	-----	---	---	---	---	---	---	-------

【図78】



【図201】

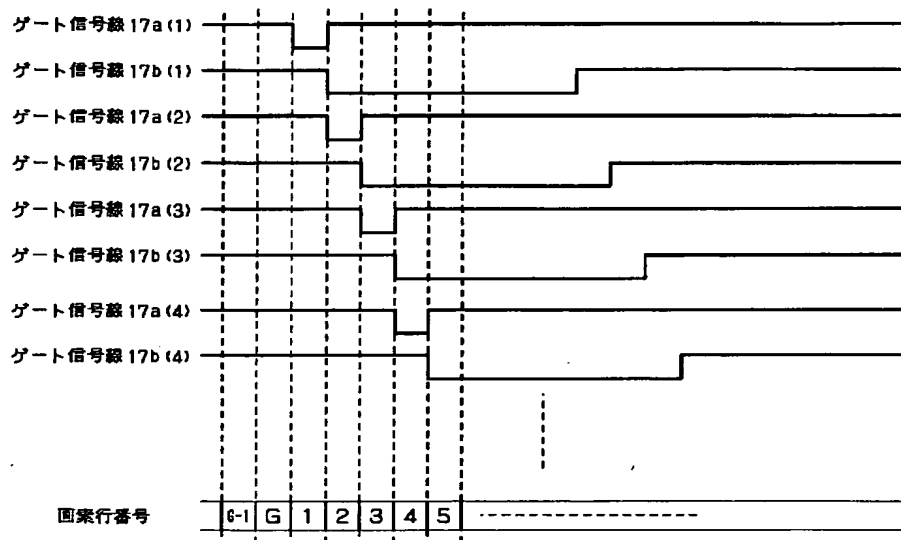
(a)
色数

数値	表示色
0	白黒
1	8色
2	256色
3	4096色
4	65K色
5	260K色
6	フルカラー
7	予約

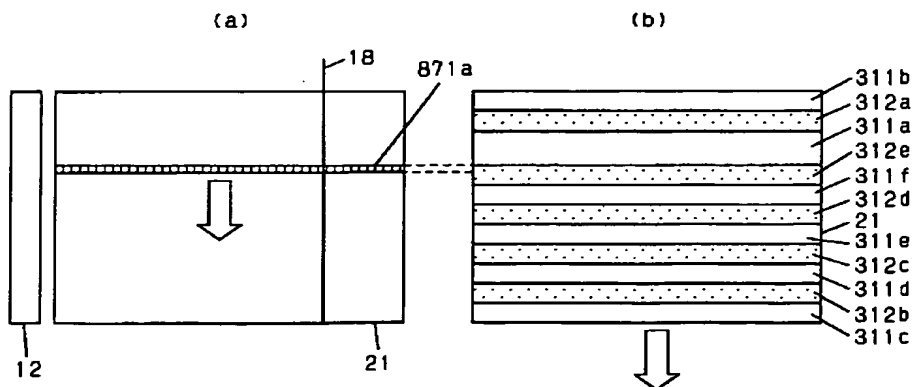
(b)
レート

数値	レート
0	20
1	40
2	60
3	80
4	100
5	120
6	160
7	予約

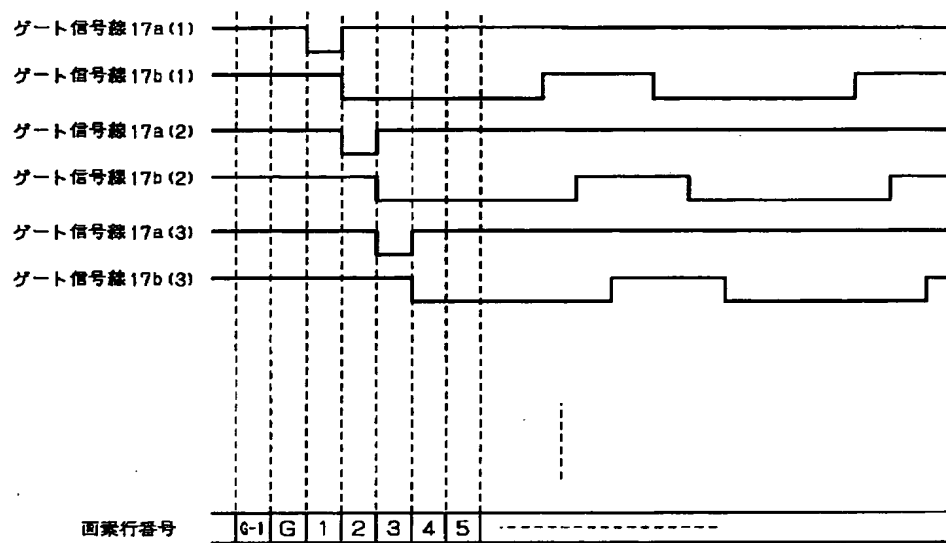
【図79】



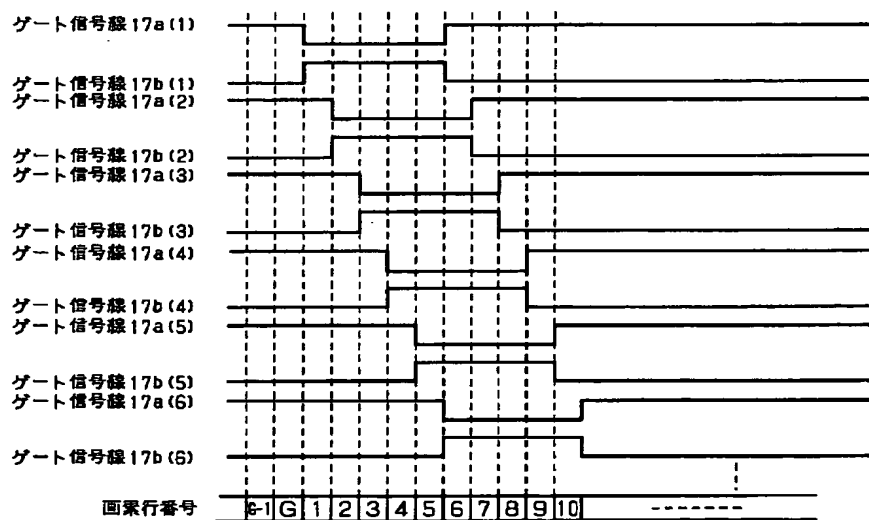
【図80】



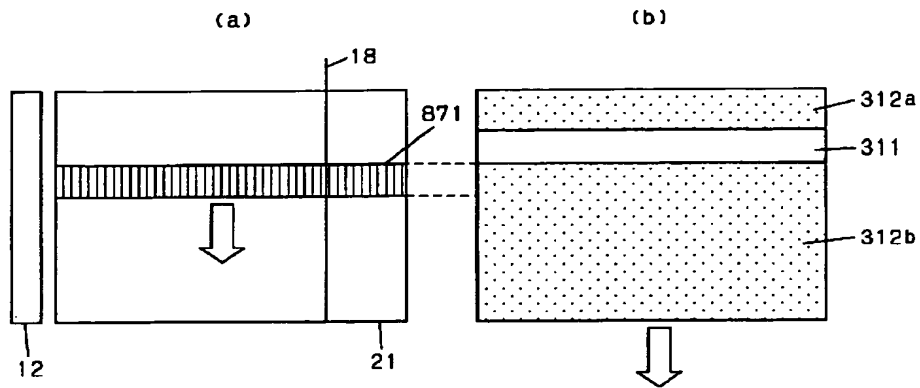
【図81】



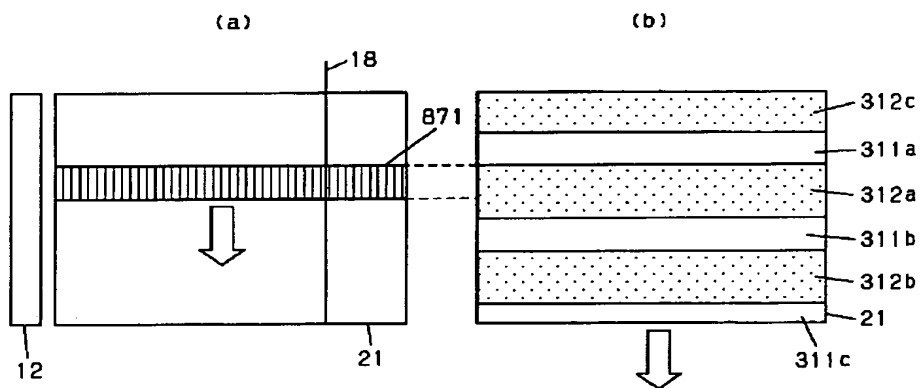
【図82】



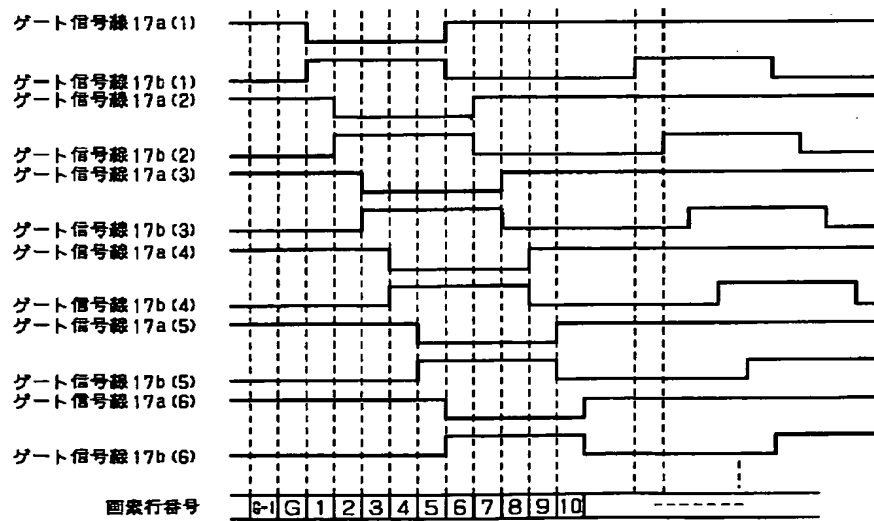
【図83】



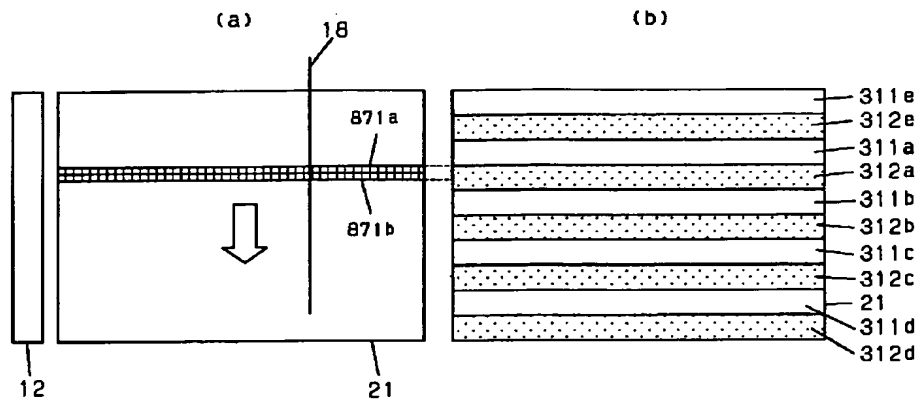
【図84】



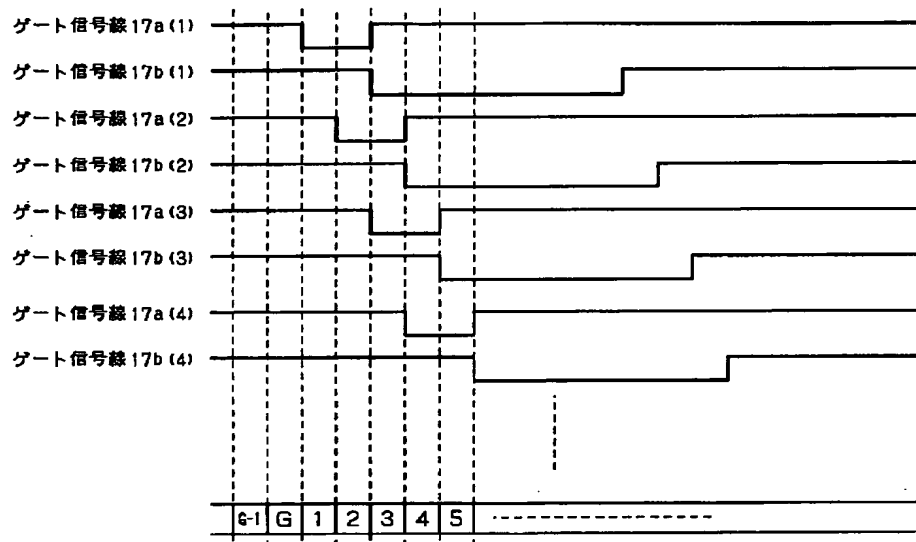
【図85】



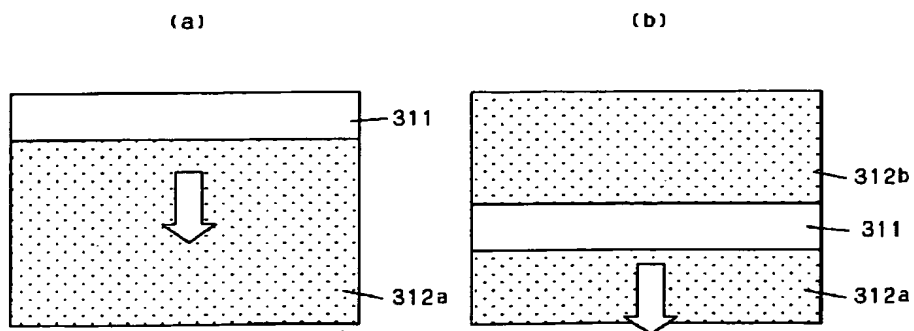
【図86】



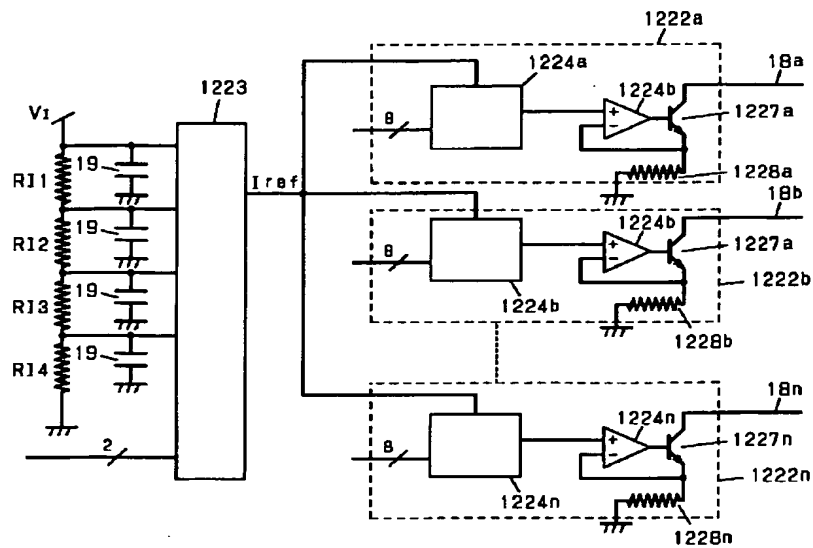
【図87】



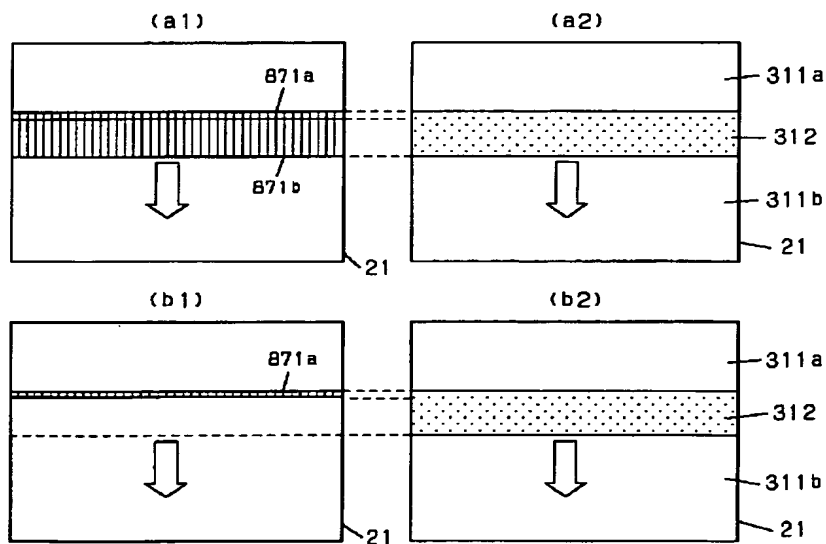
【図93】



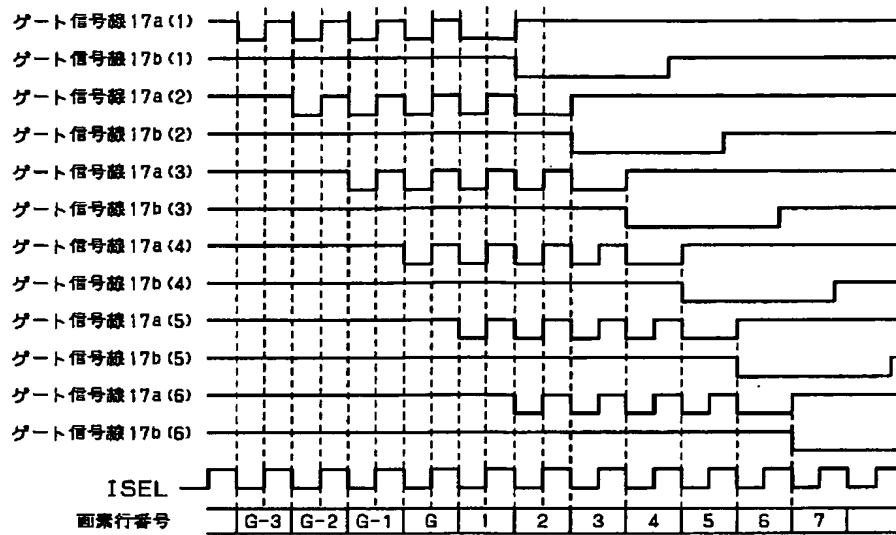
【図88】



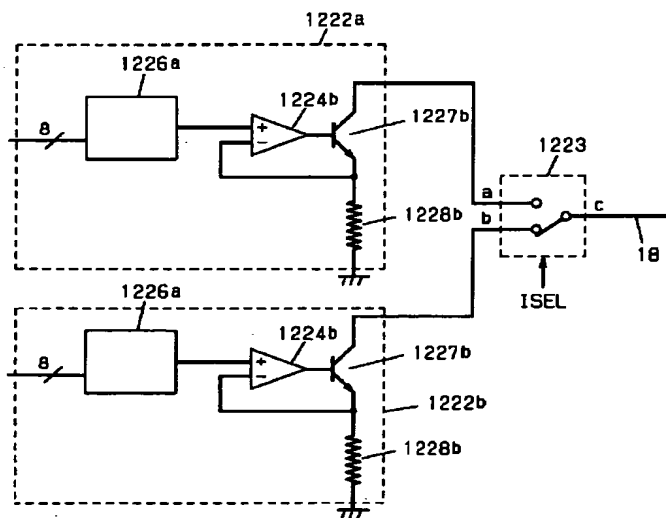
【図89】



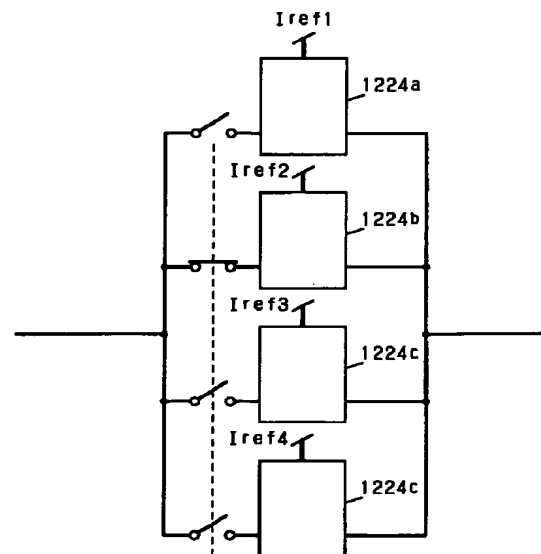
【圖90】



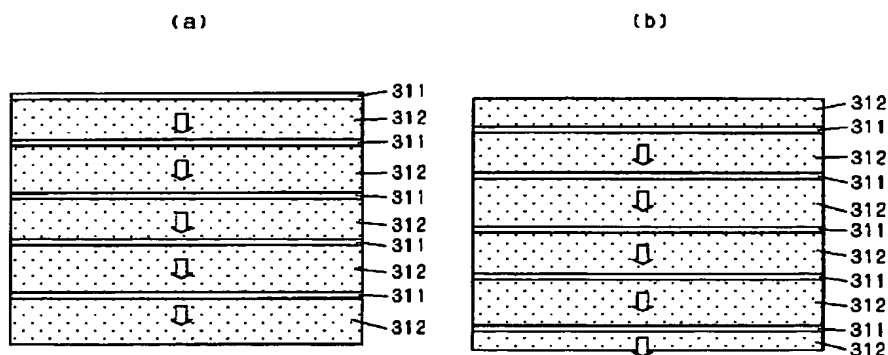
【図9 1】



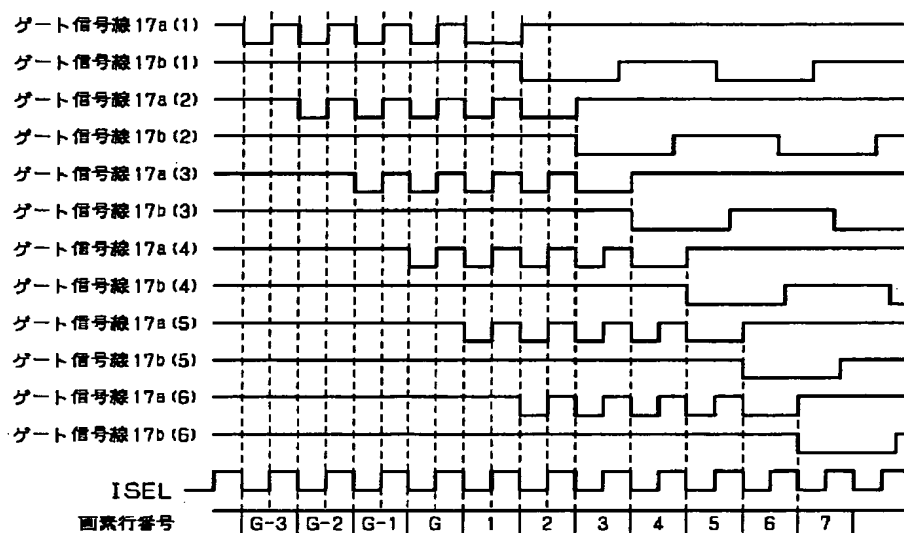
【図92】



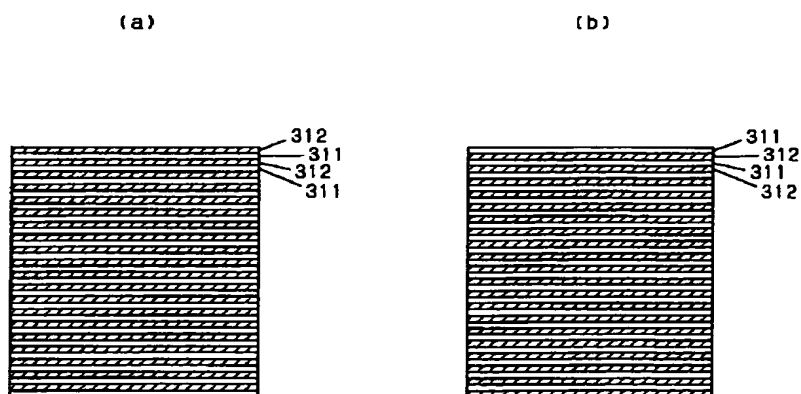
【図94】



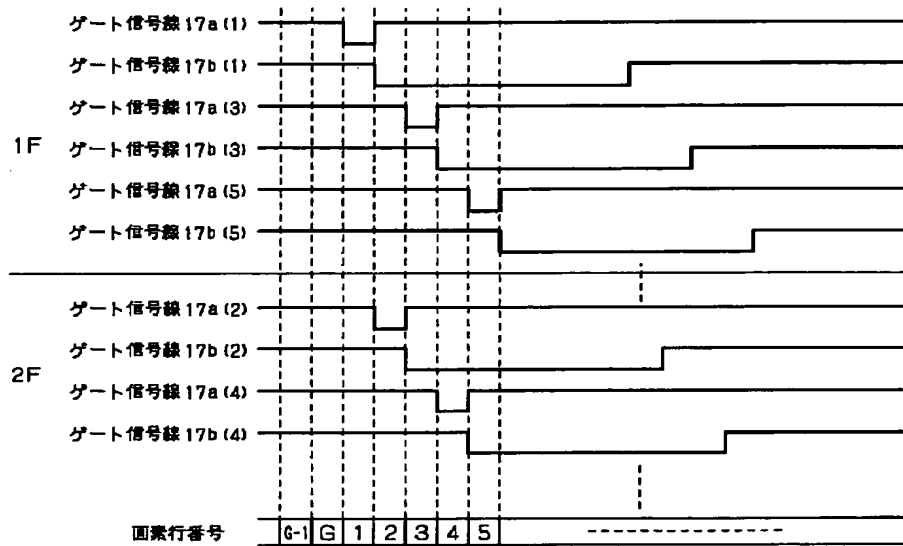
【図95】



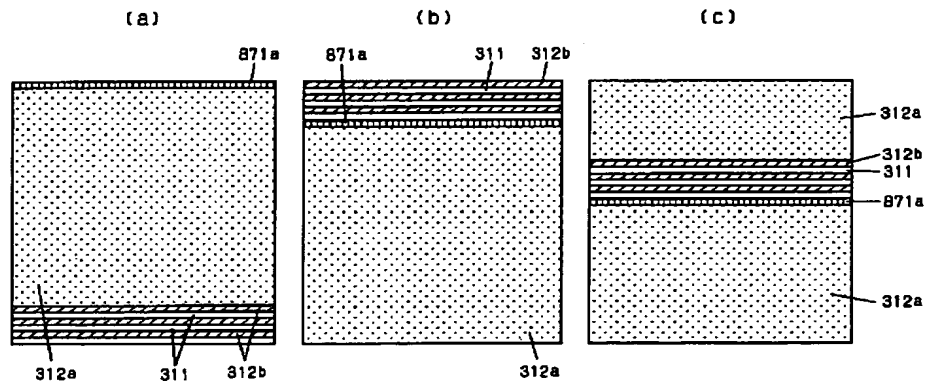
【図96】



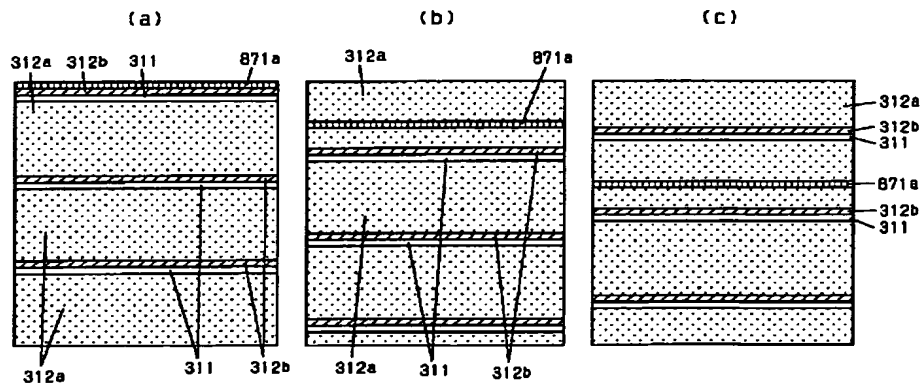
【図97】



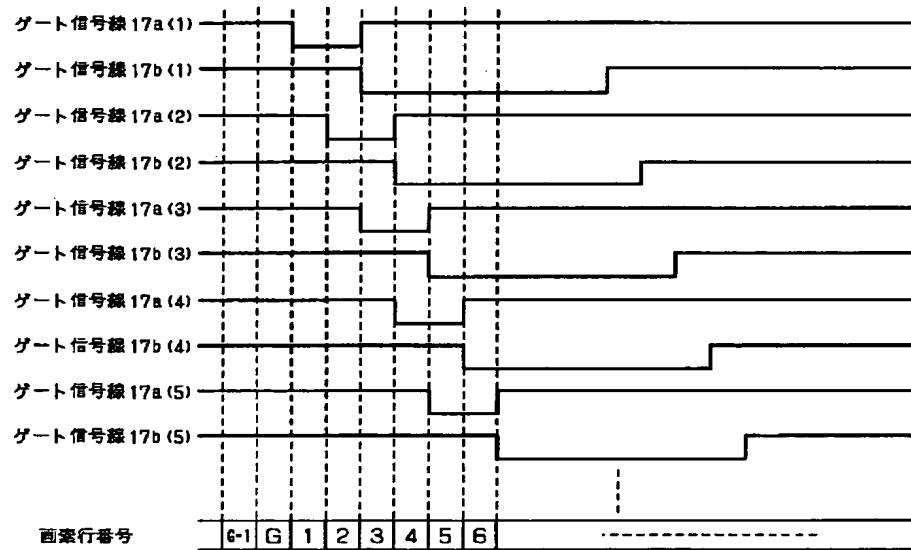
【図98】



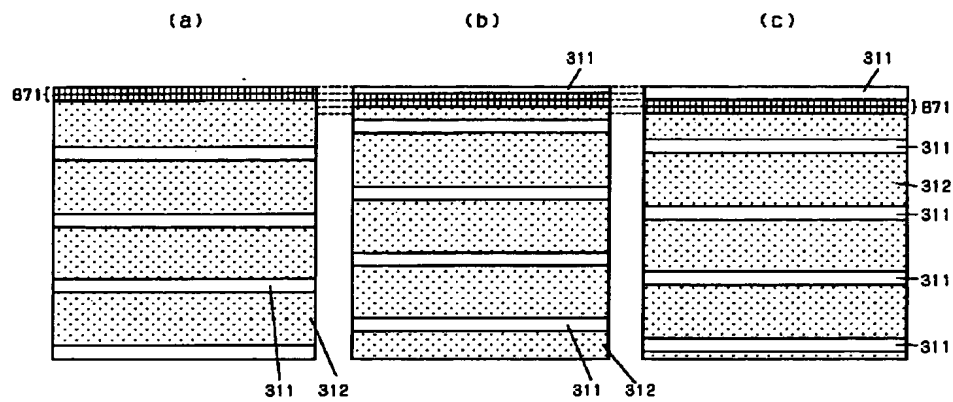
【図99】



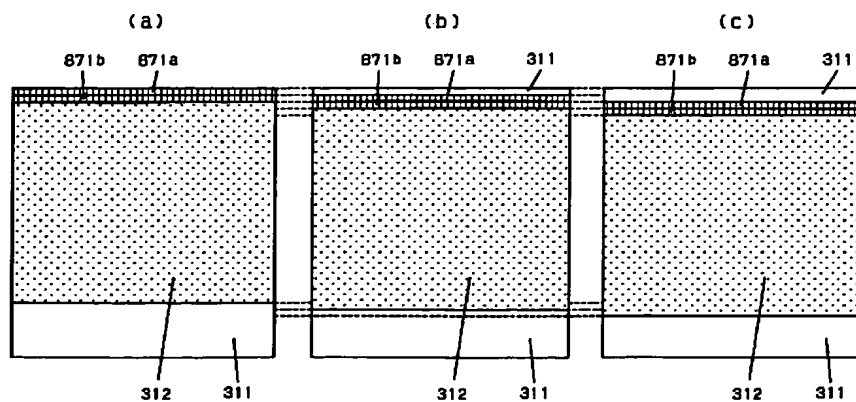
【図100】



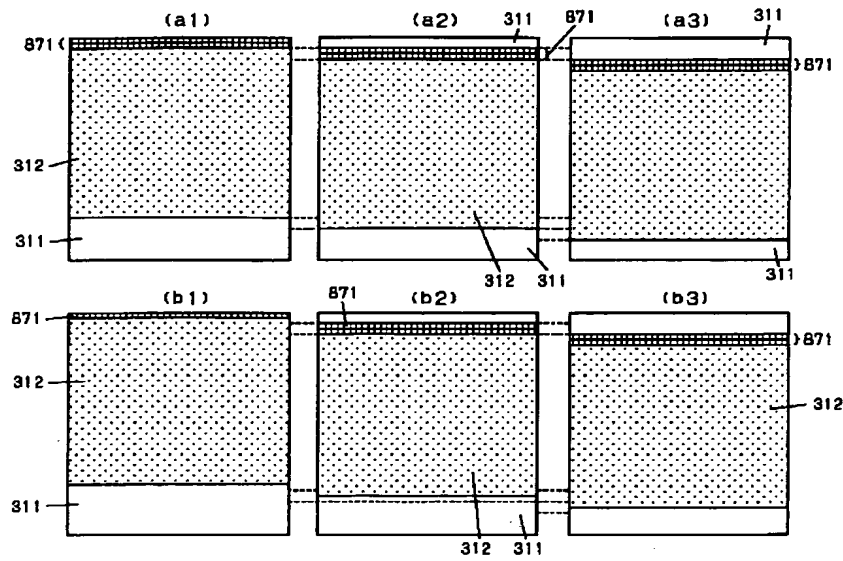
【図101】



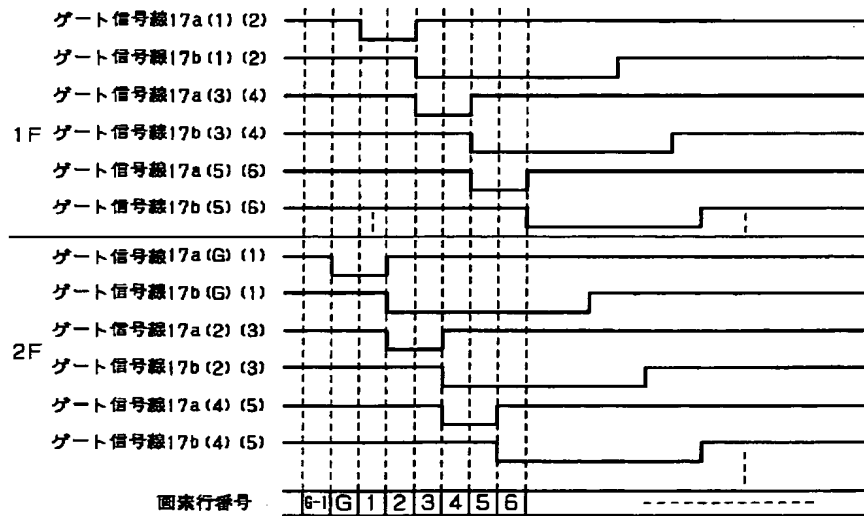
【図102】



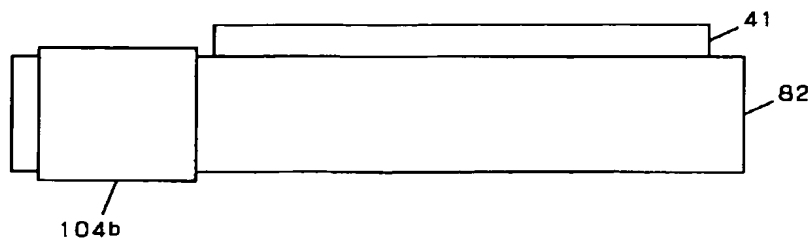
【図103】



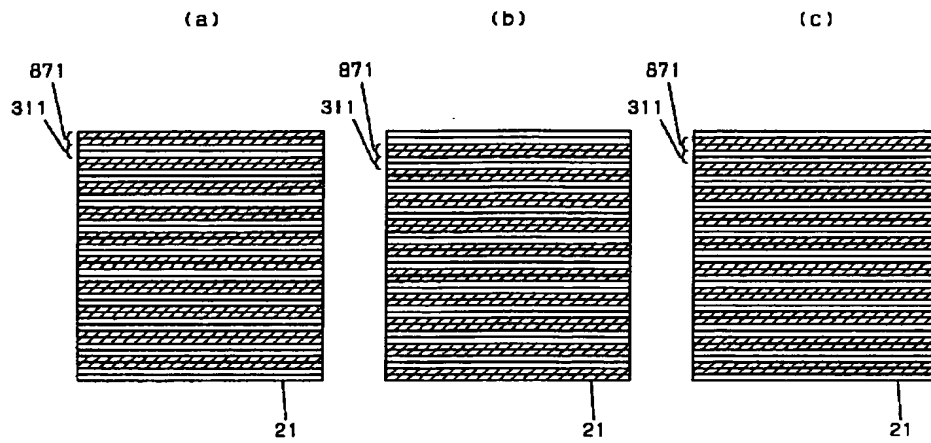
【図104】



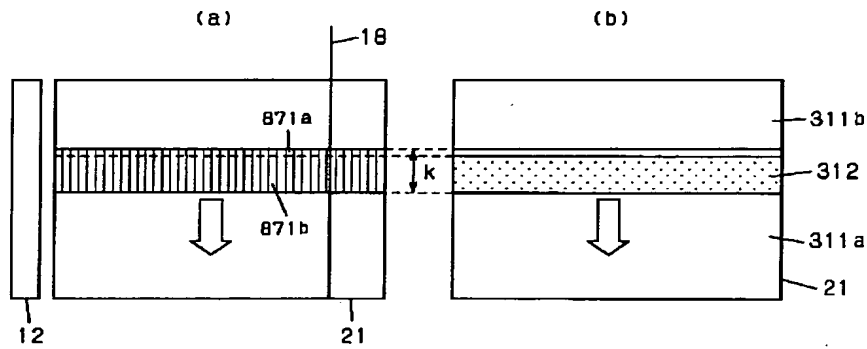
【図122】



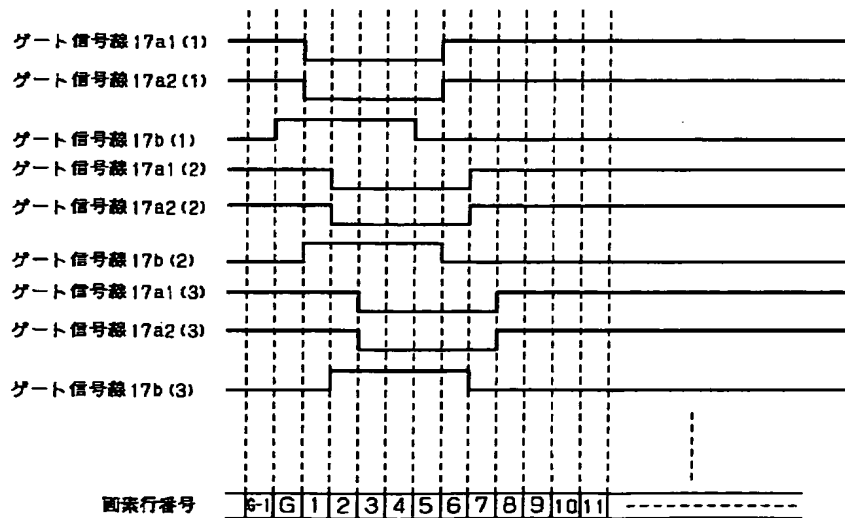
【圖 105】



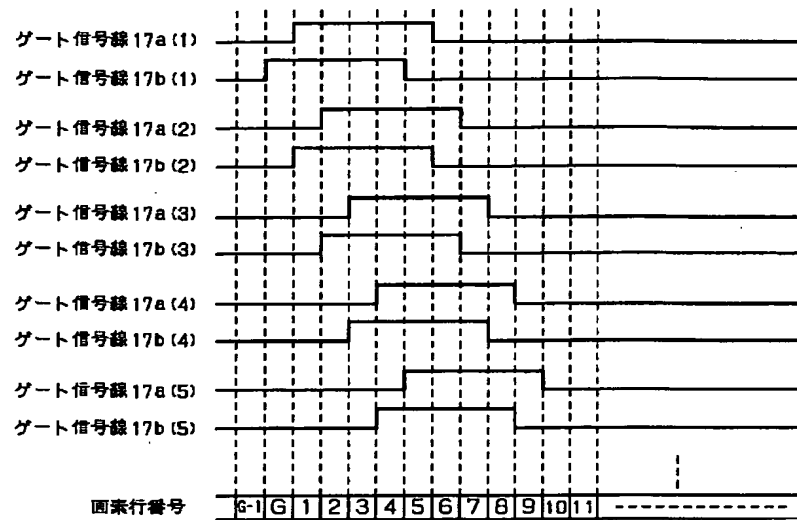
【圖 106】



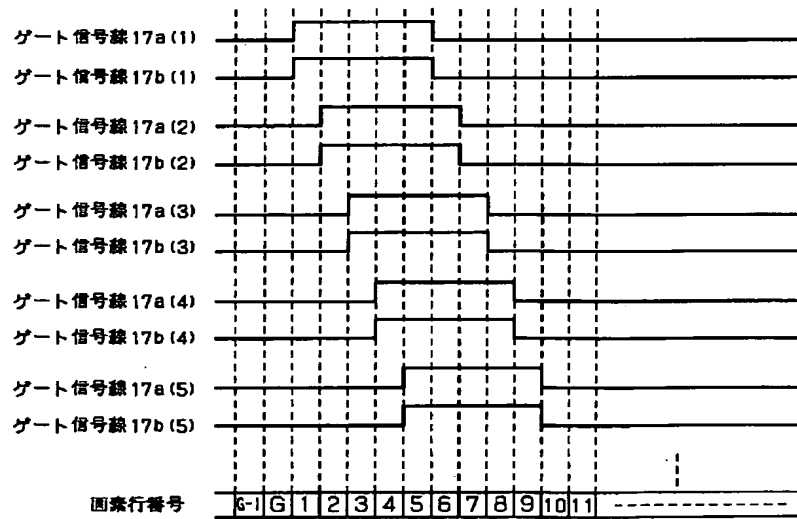
【圖 107】



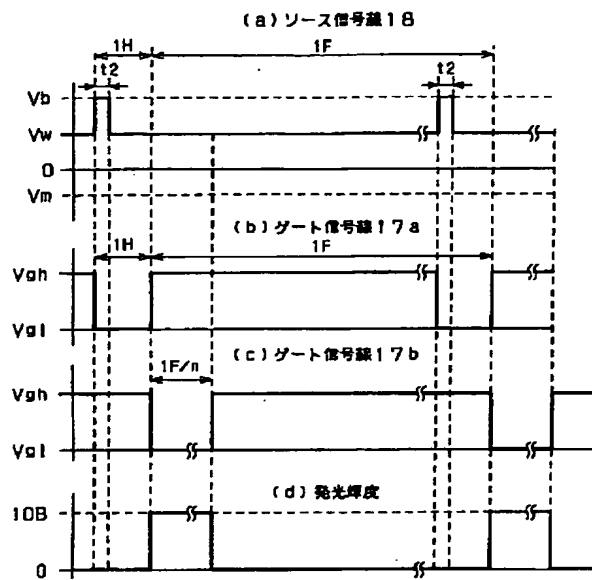
【図108】



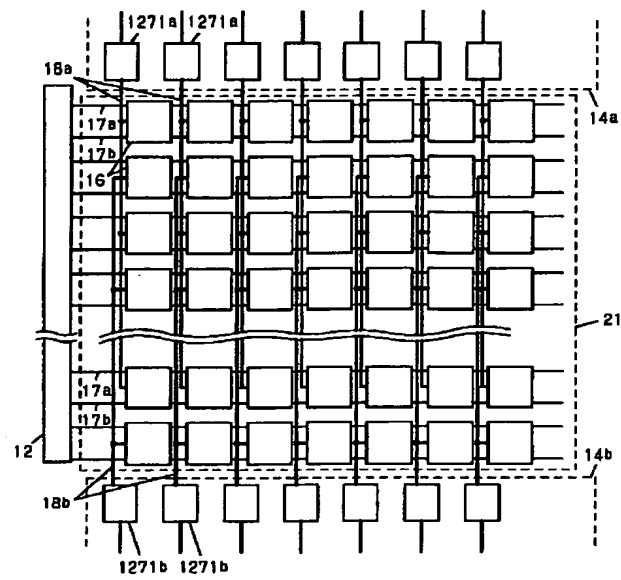
【図109】



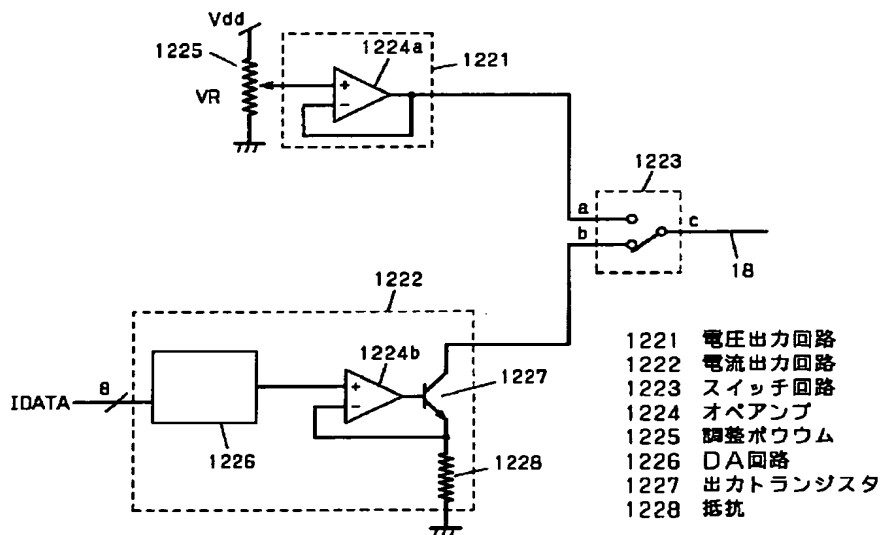
【図110】



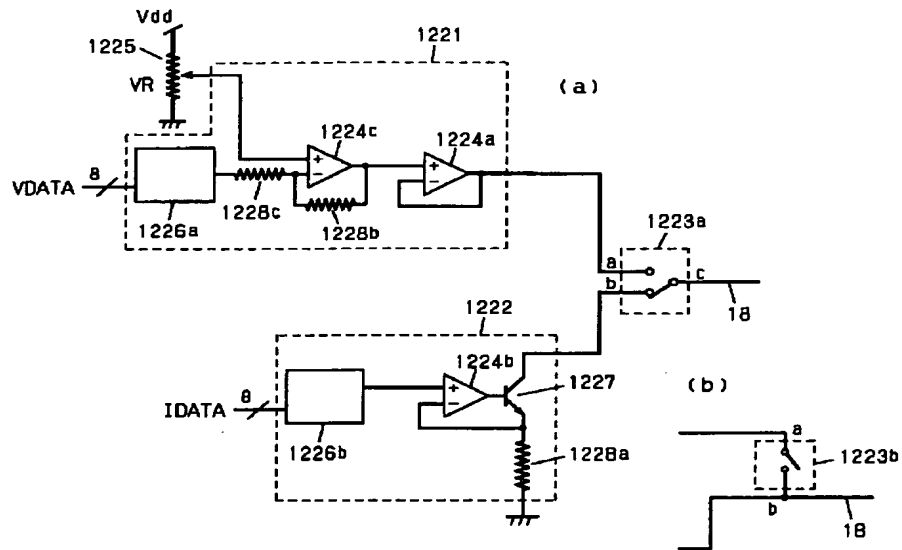
【図118】



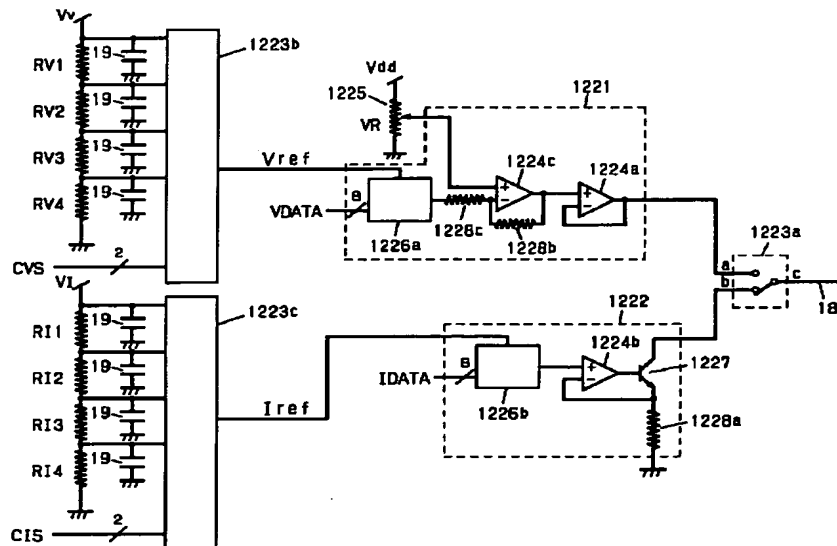
【図111】



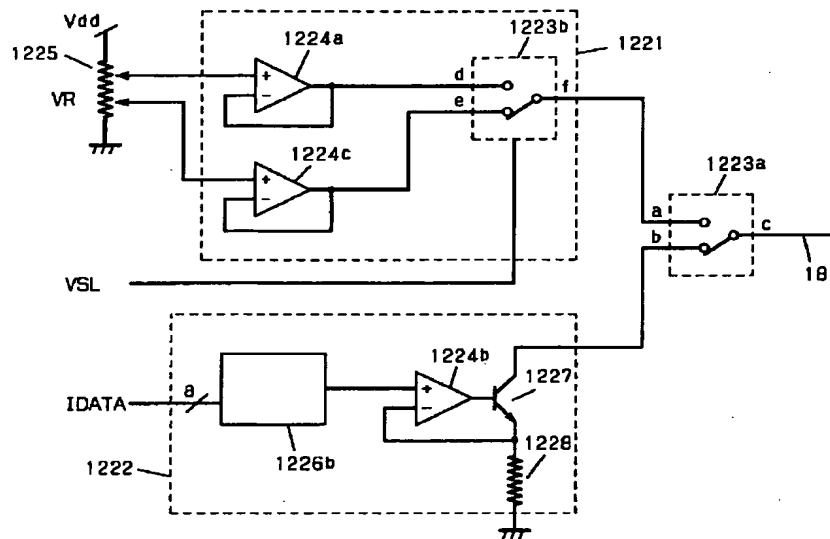
【図112】



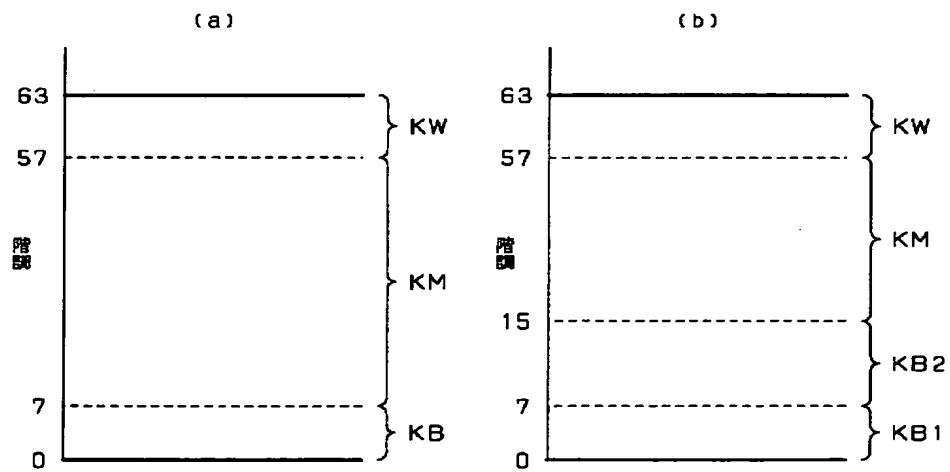
【図113】



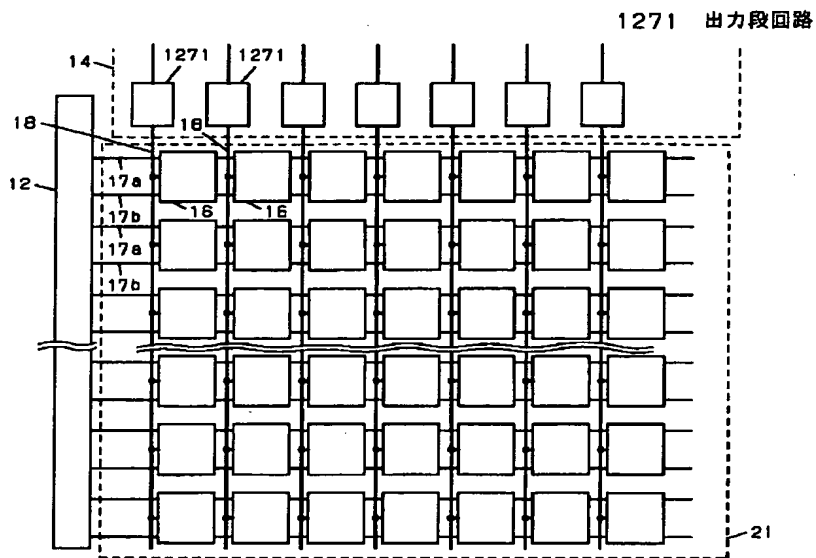
【図114】



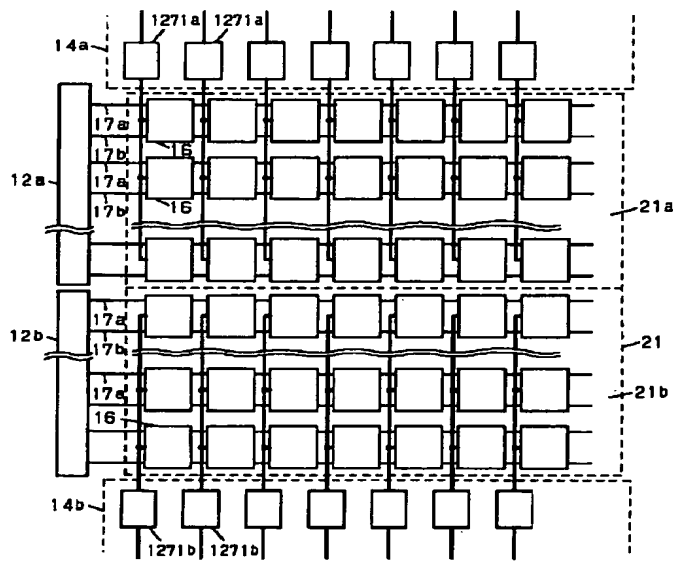
【図115】



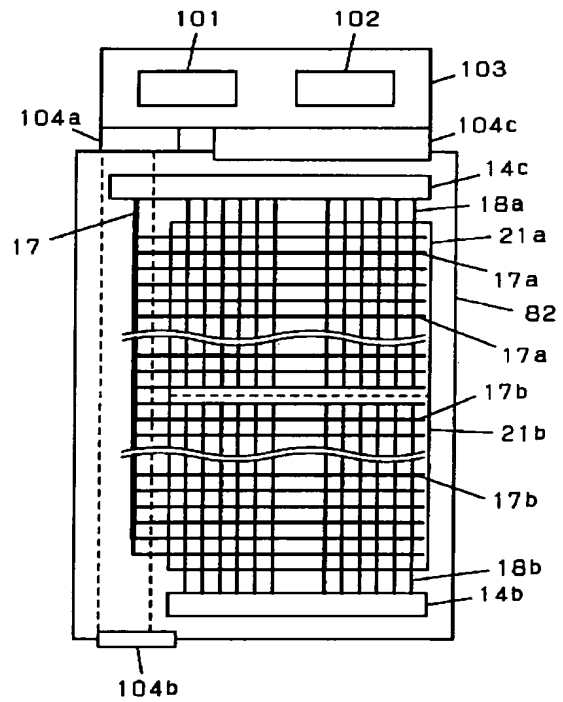
【図116】



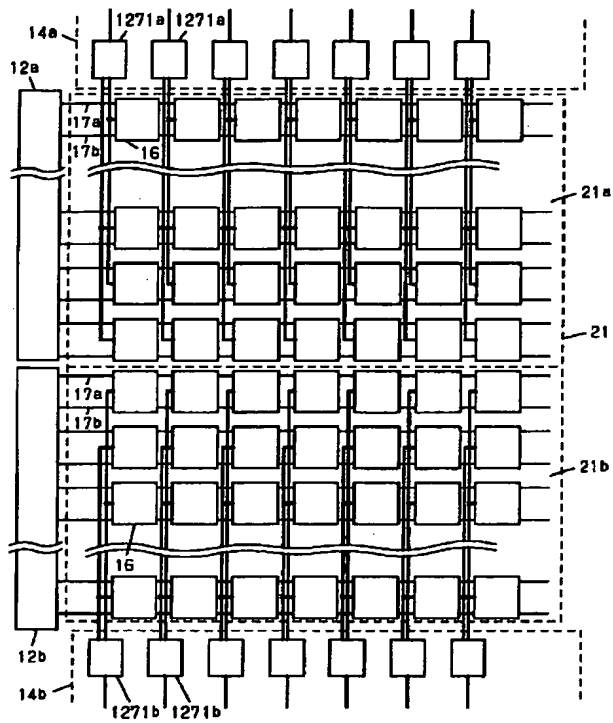
【図117】



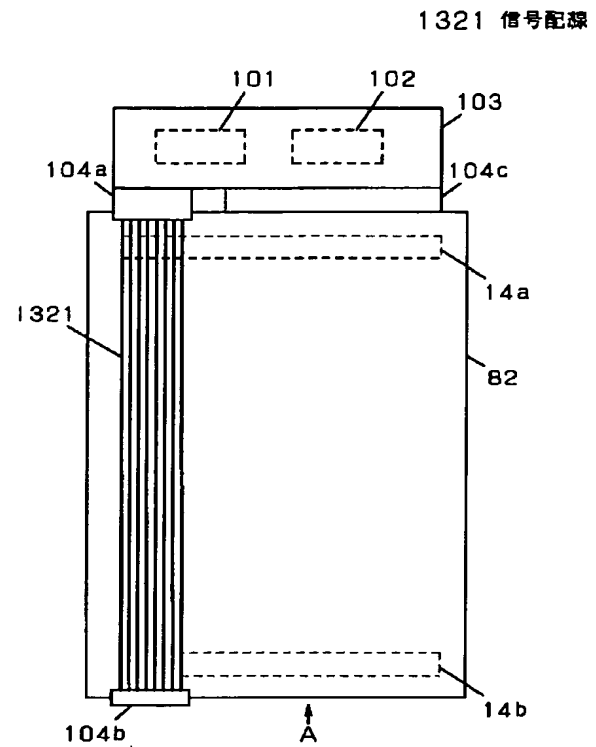
【図120】



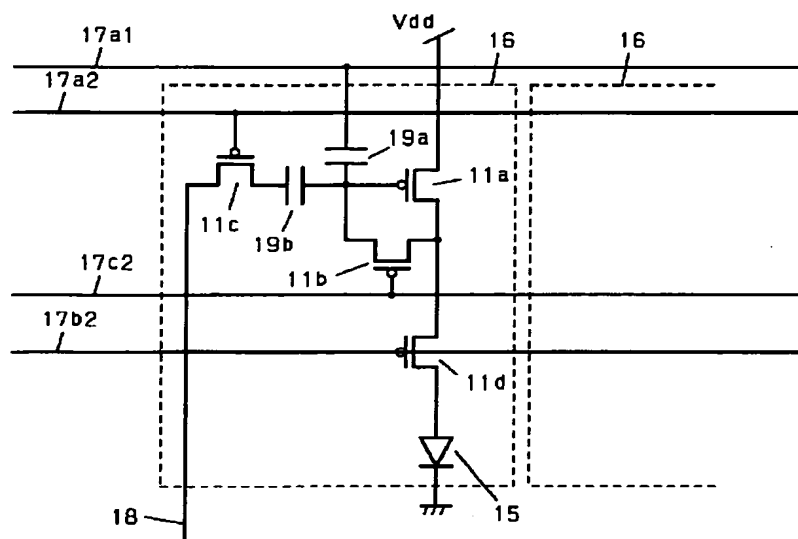
【図119】



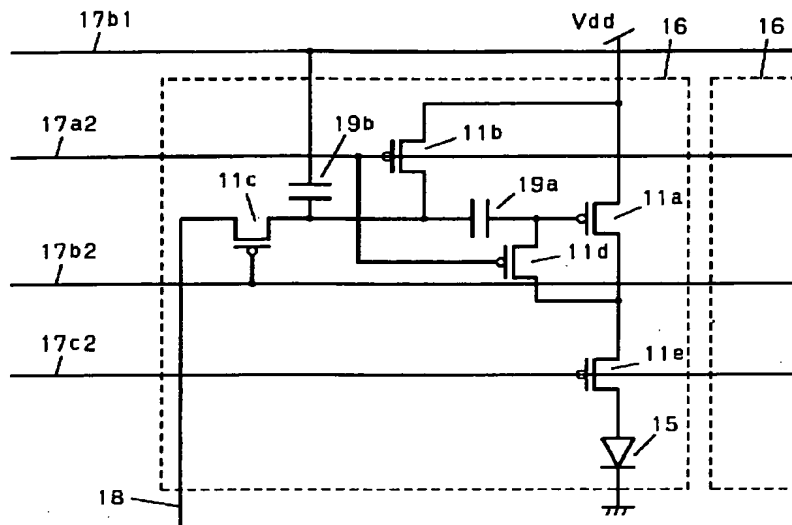
【図121】



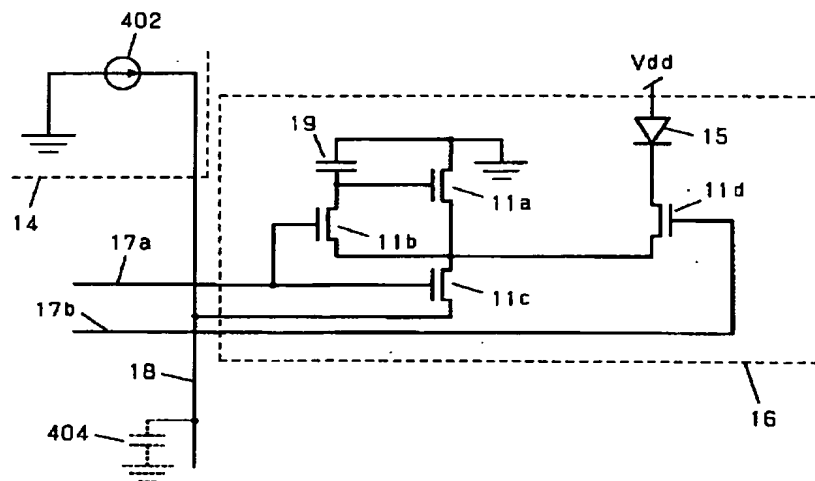
【図123】



【図124】

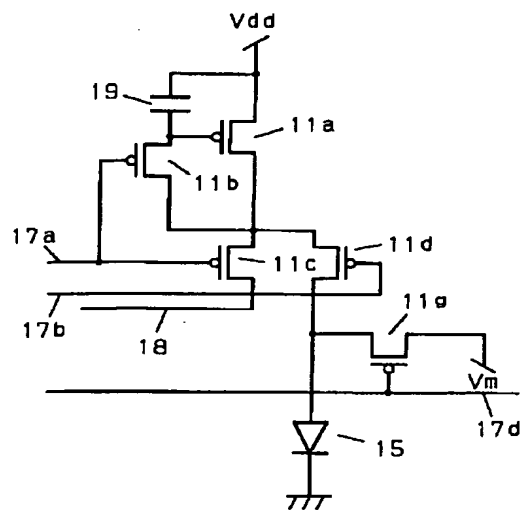
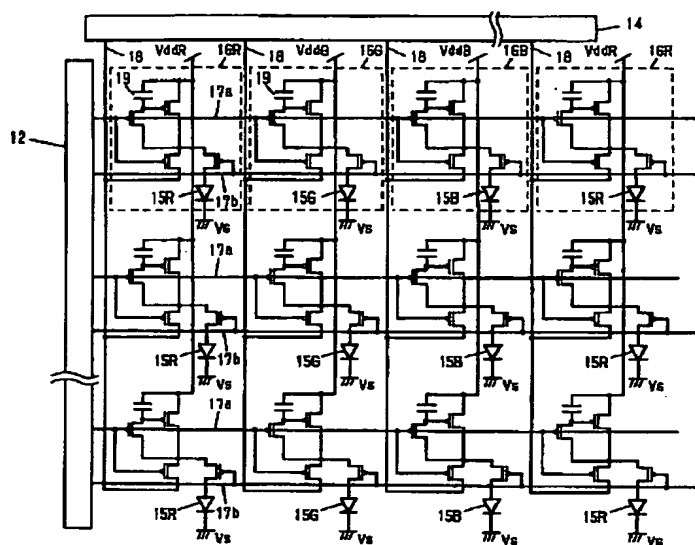


【図125】

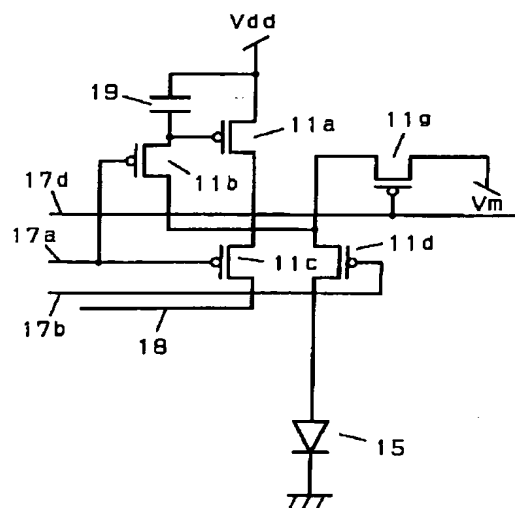
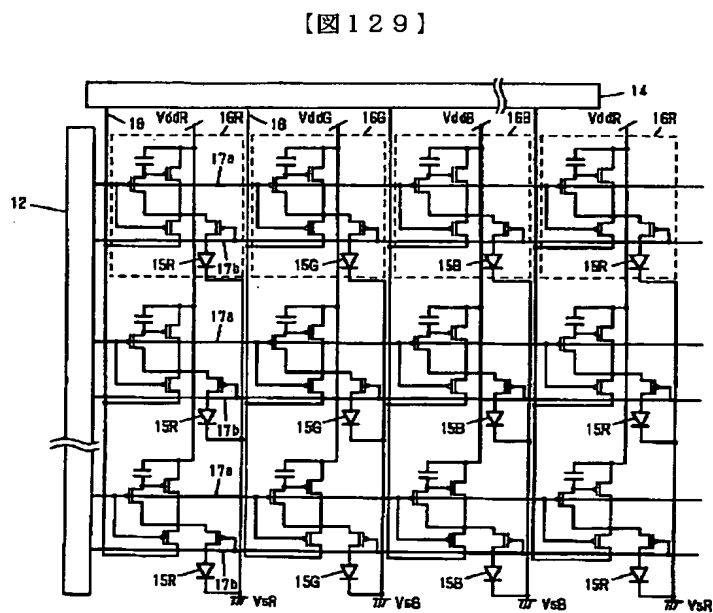


[illegible][illegible][illegible]

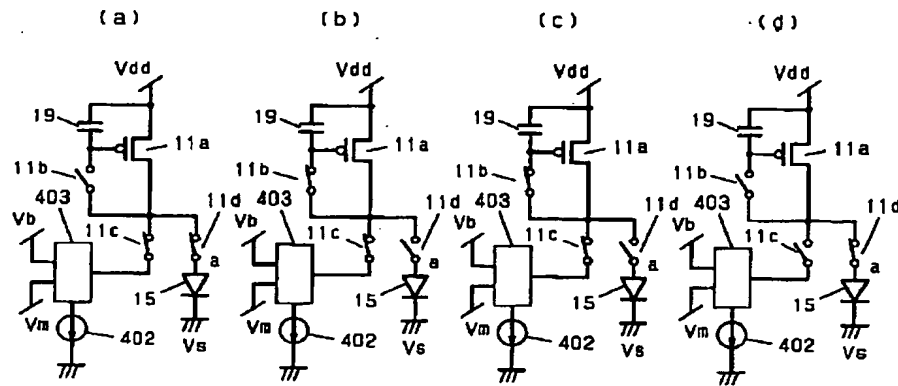
【圖 137】



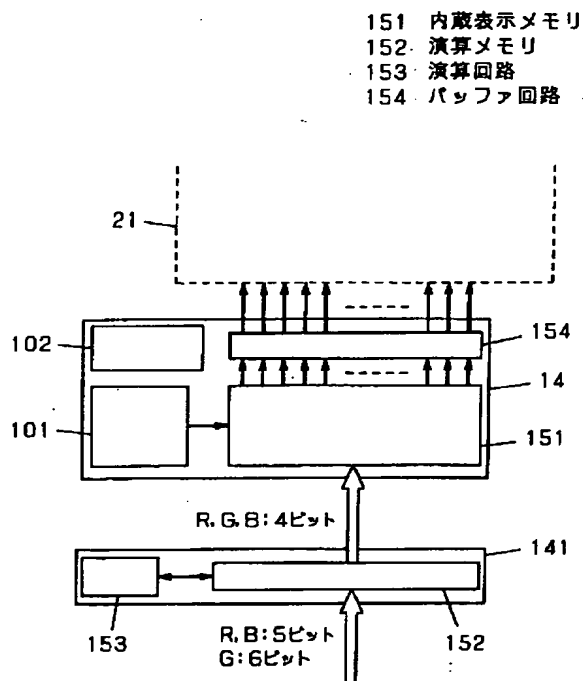
【図 141】



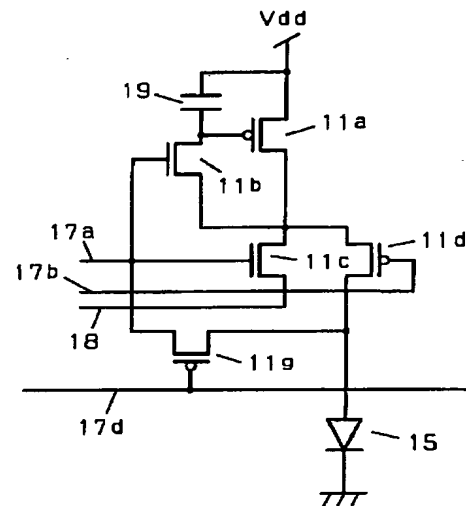
【图 131】



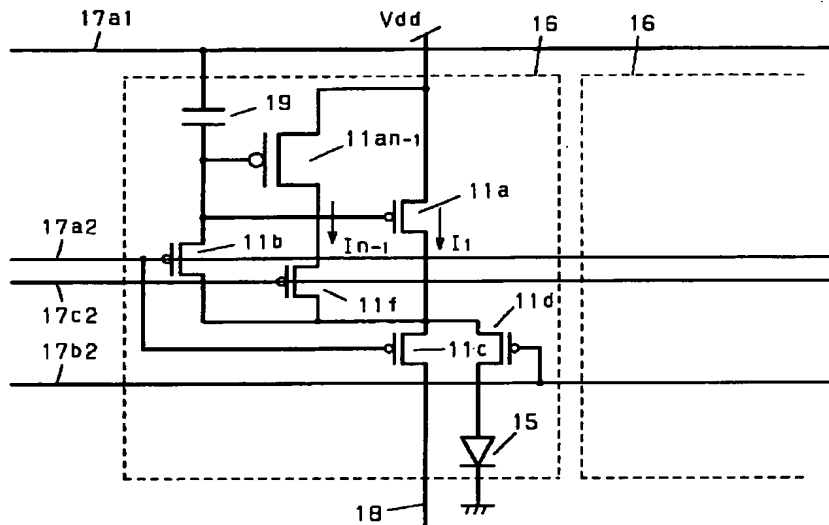
【圖 132】



【图 142】



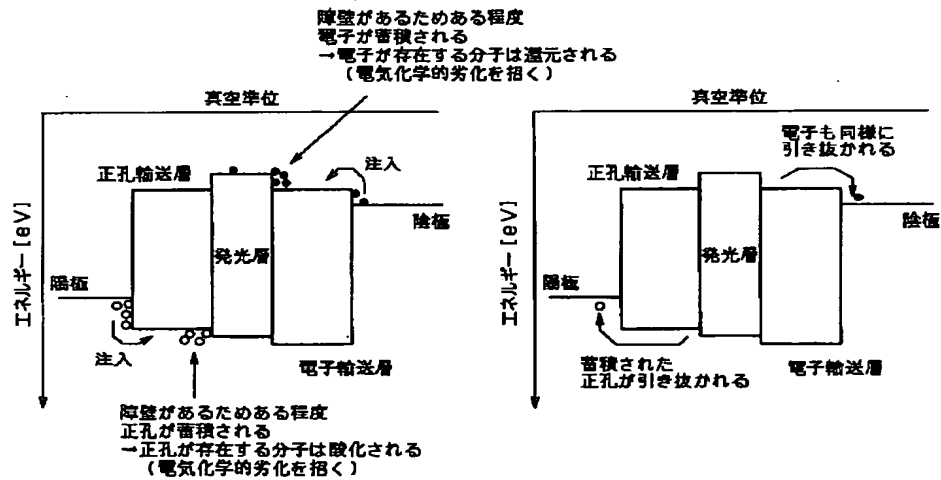
【図133】



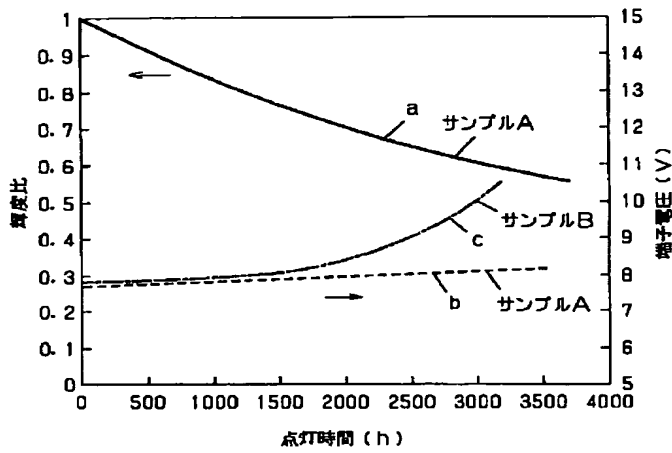
【図134】

(a) 発光時のキャリアの挙動

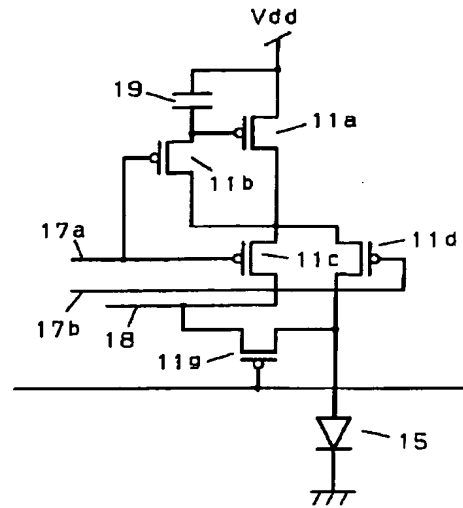
(b) 逆電流印加時



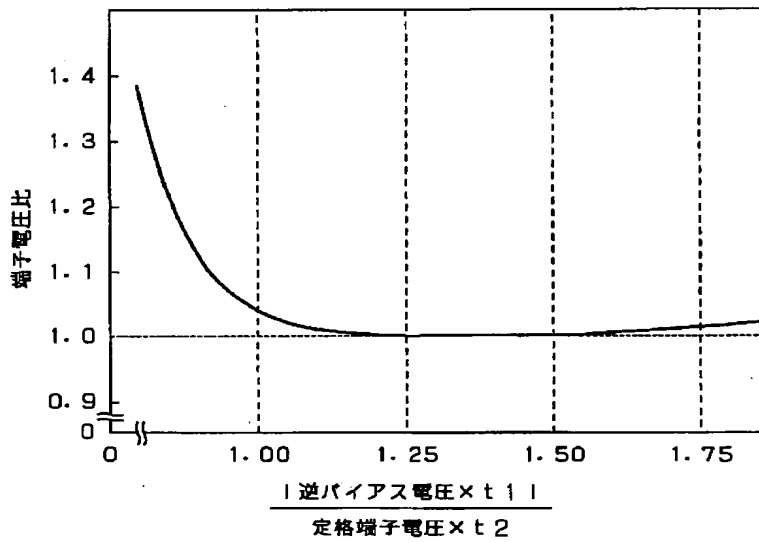
【図135】



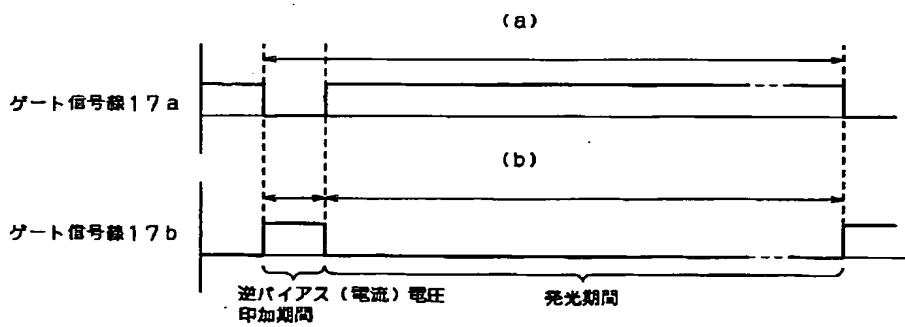
【図143】



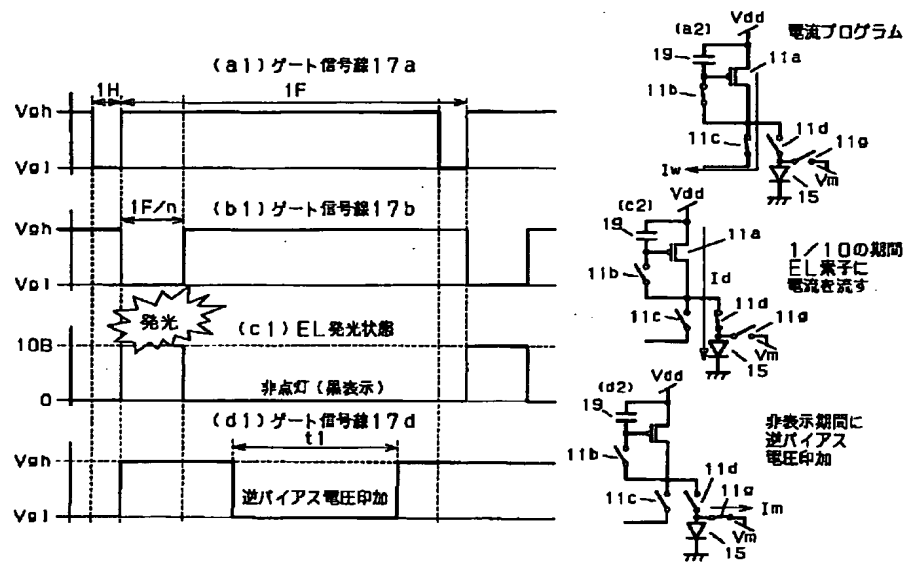
【図136】



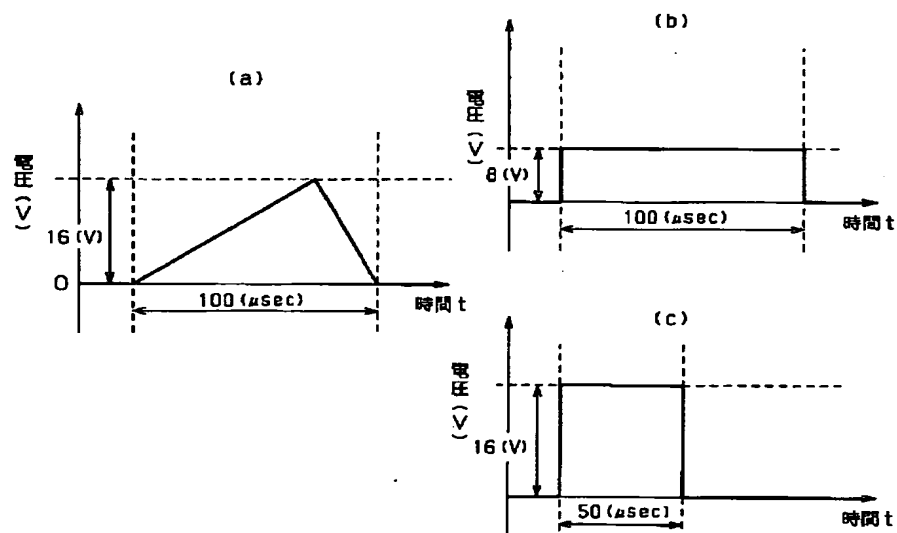
【図147】



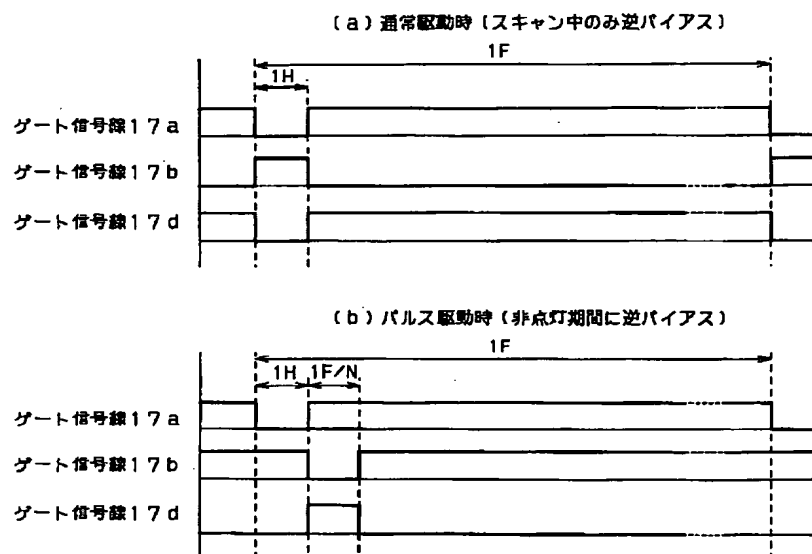
【図138】



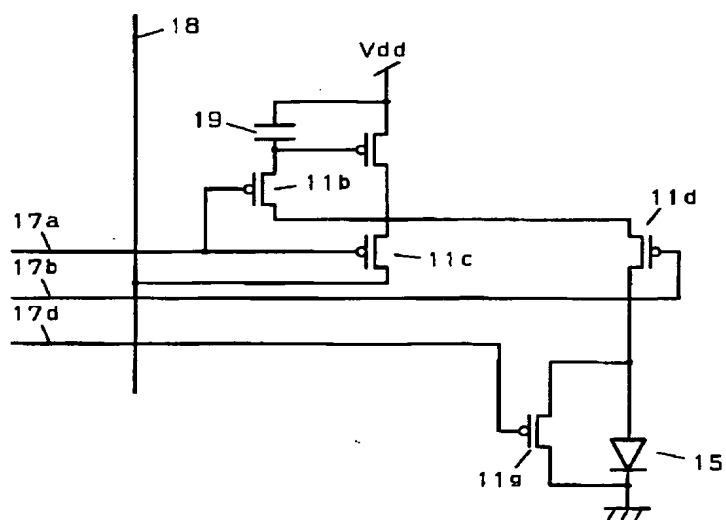
【図139】



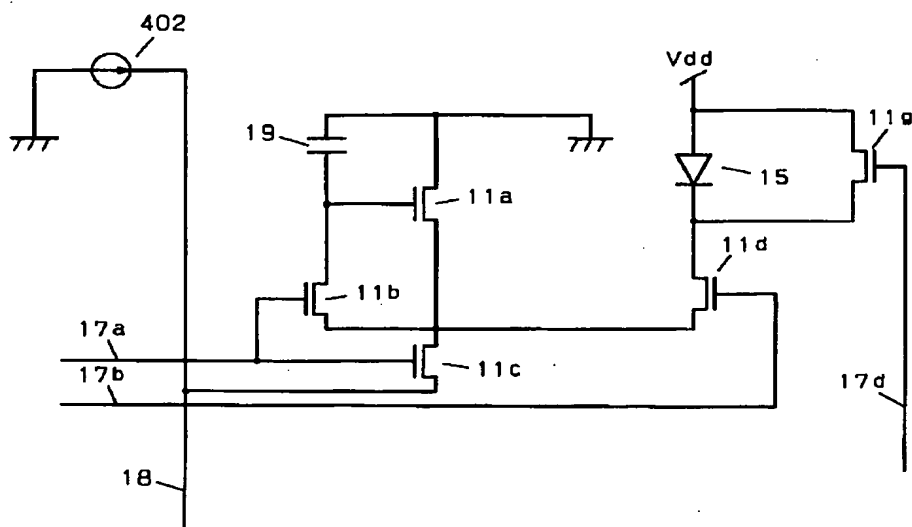
【図140】



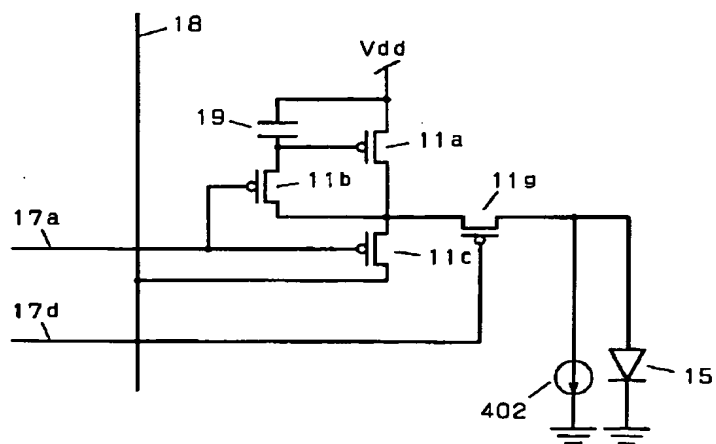
【図144】



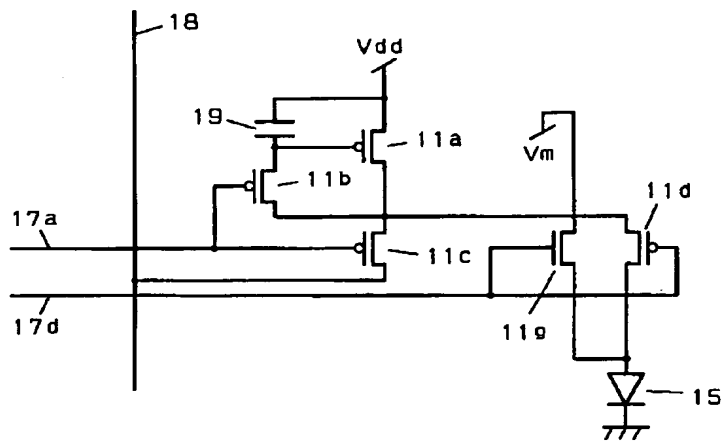
【図145】



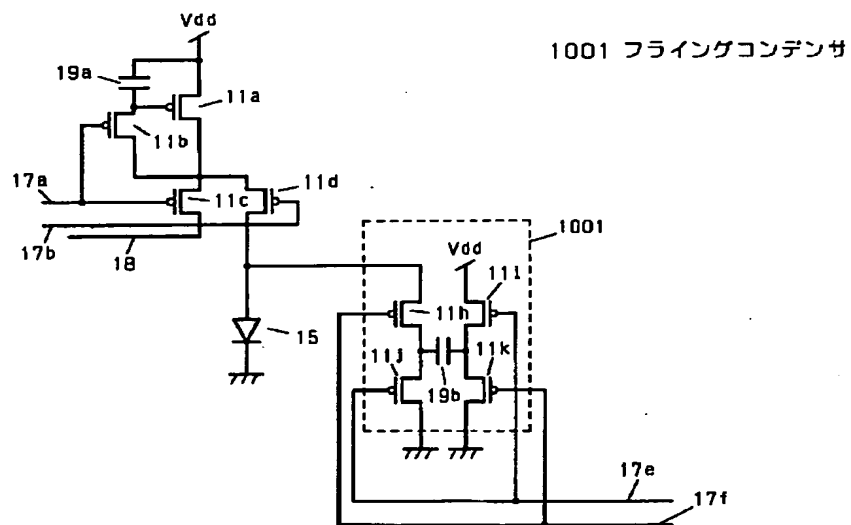
【図146】



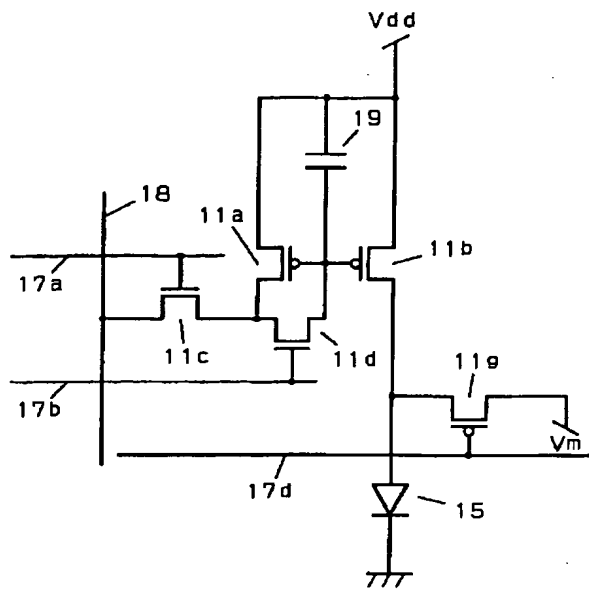
【図148】



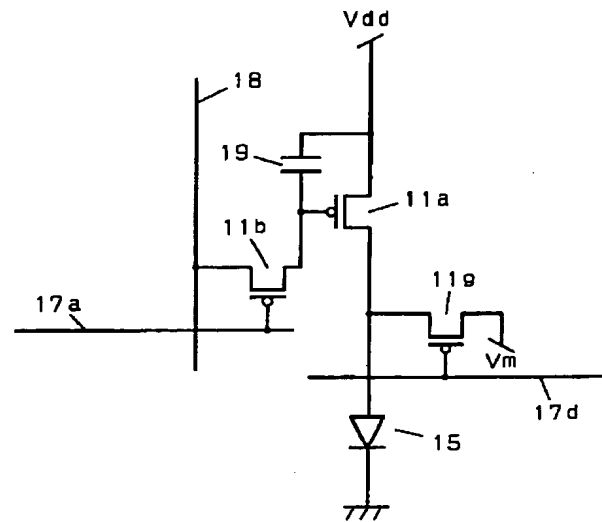
【図149】



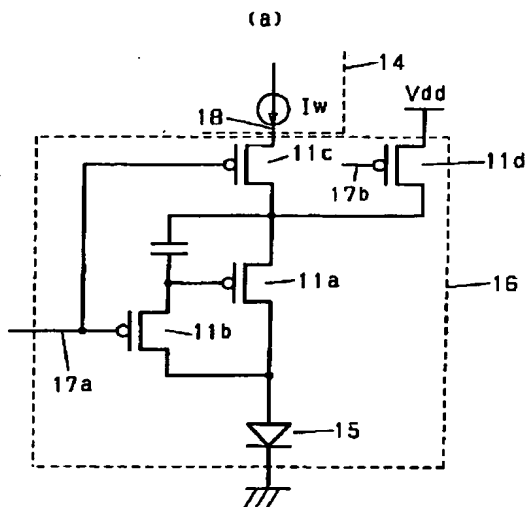
【図150】



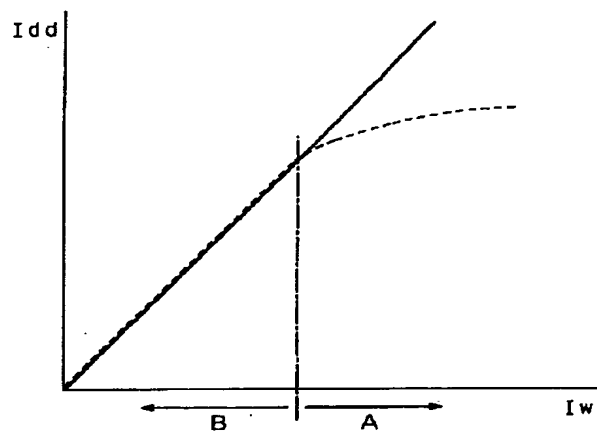
【図151】



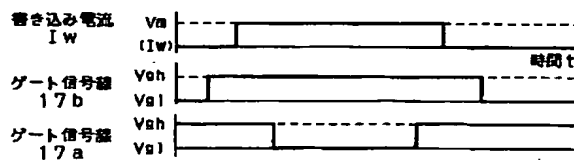
【図152】



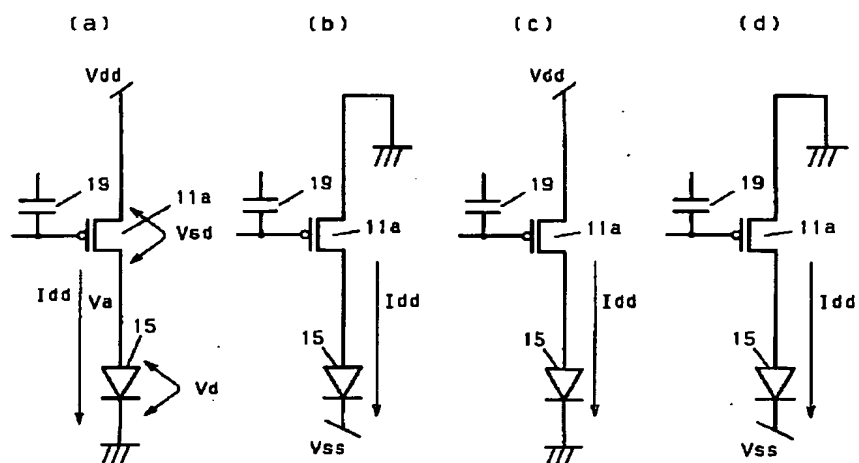
【図154】



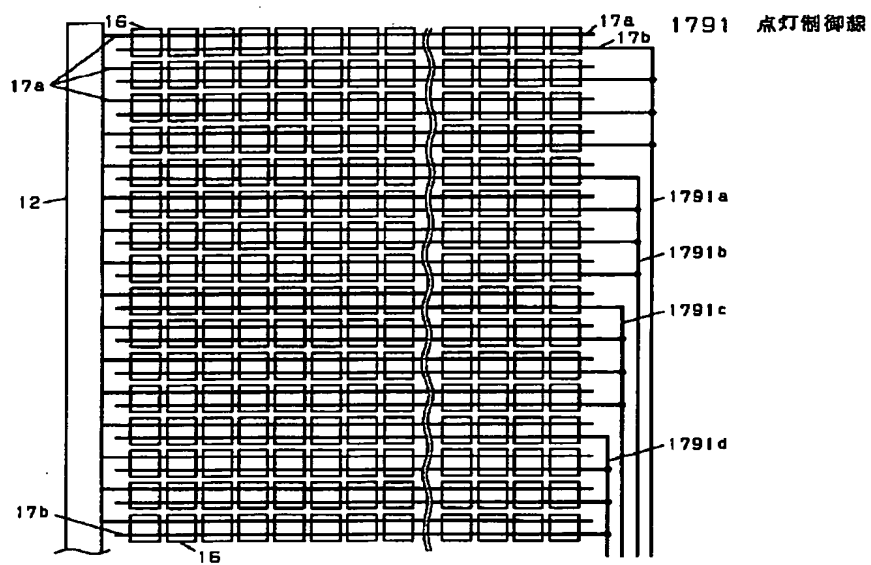
(b)



【図153】



【図155】

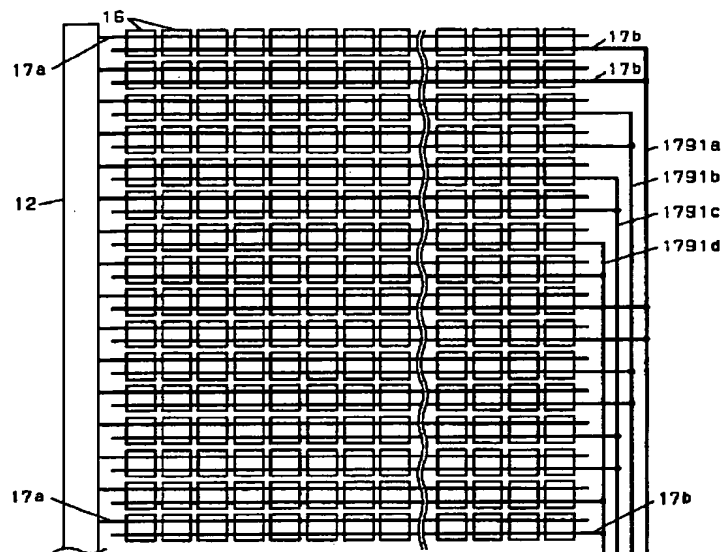


[illegible]

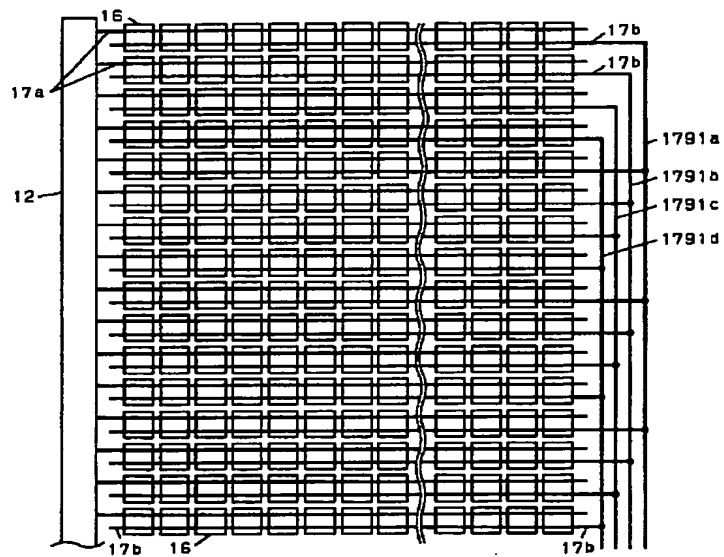
The diagram shows two identical circuit blocks arranged side-by-side. They are connected to two common horizontal buses, 17a and 17b. Each block contains:
 - A PMOS transistor 11a with its gate connected to bus 17a and its source to Vdd.
 - An NMOS transistor 11d with its gate connected to bus 17b and its drain to bus 17a.
 - A diode 15 connected between bus 17a and ground.
 - Two capacitors, 18 and 19, connected in parallel between Vdd and bus 17a.

Figure 1 is a schematic diagram of a semiconductor device. The top portion is a cross-sectional view showing a substrate 14 with a gate stack 12. The bottom portion is a plan view showing a grid of gates 17a, 17b, 17c, and 17d. Transistors 11a, 11b, 11c, and 11d are formed in the grid. A central vertical line 15 is also shown.

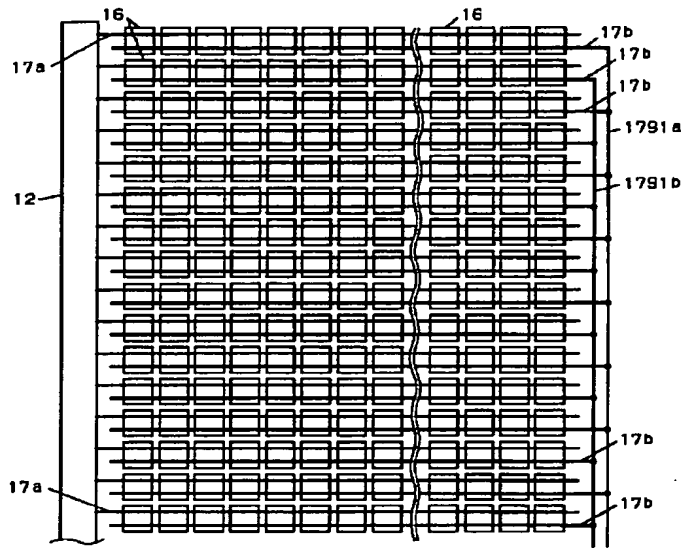
【図160】



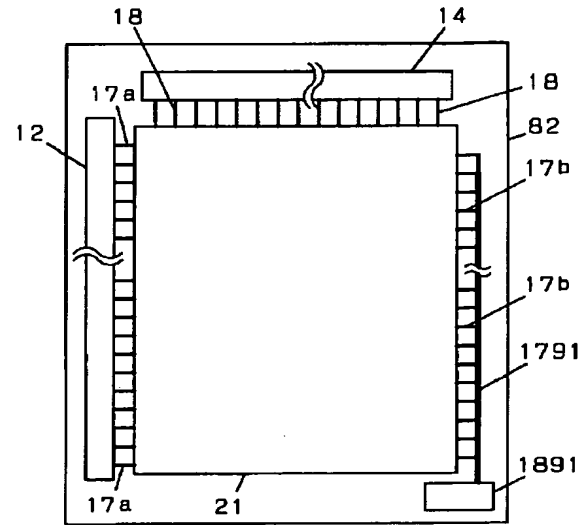
【図161】



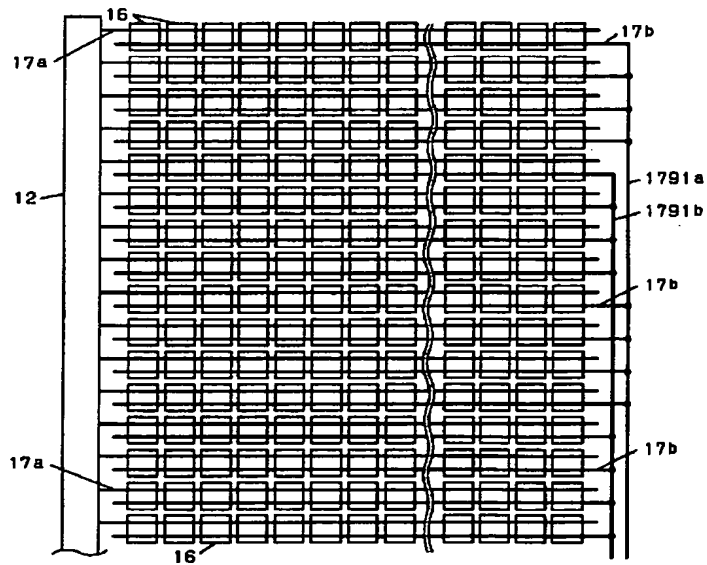
【図162】



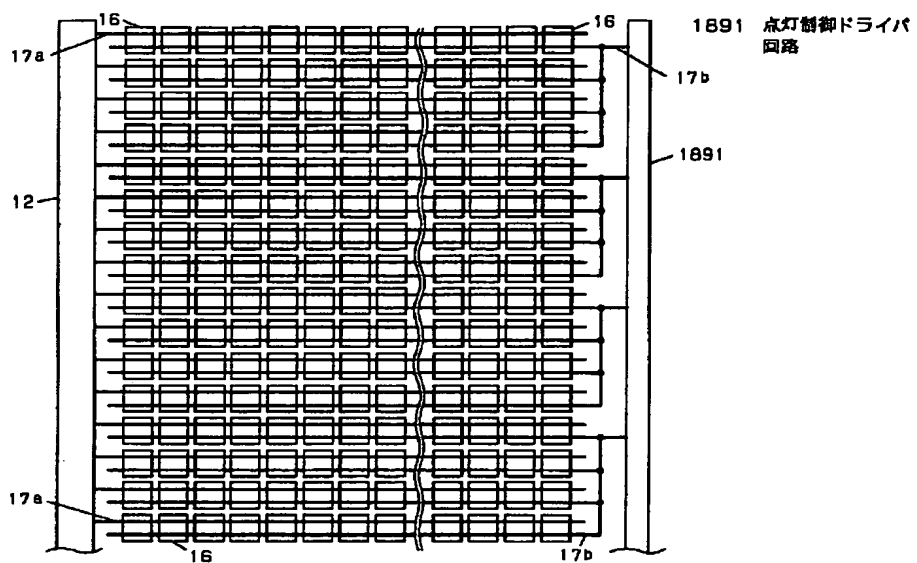
【図168】



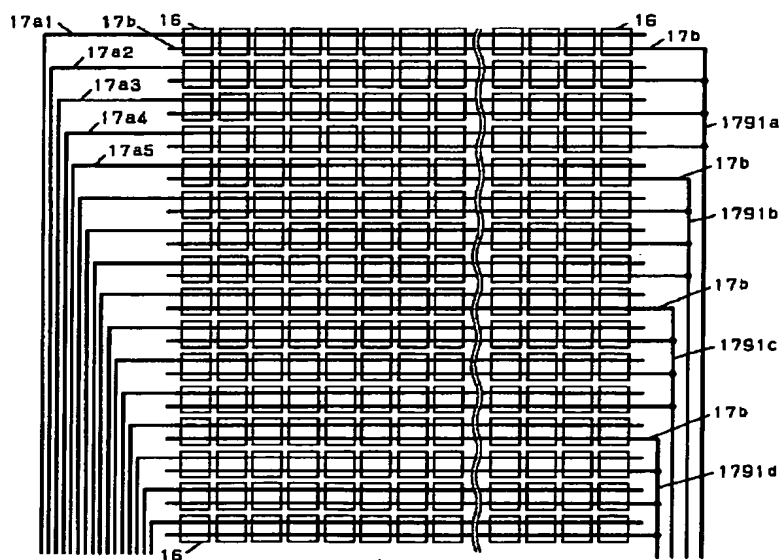
【図163】



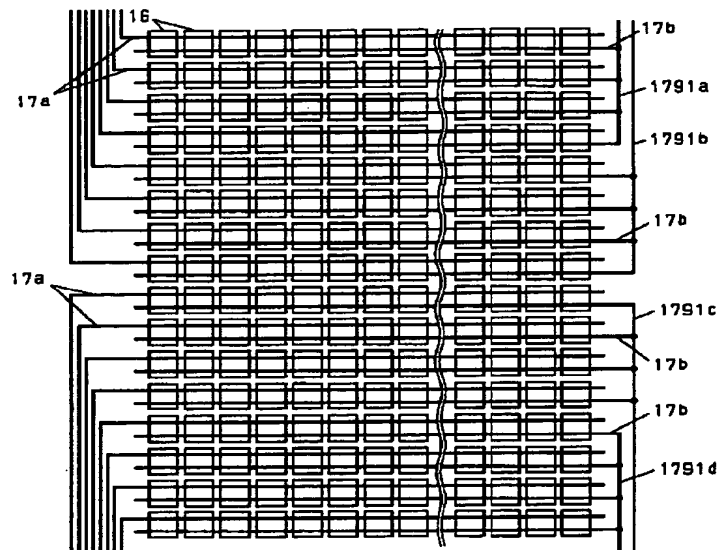
【図164】



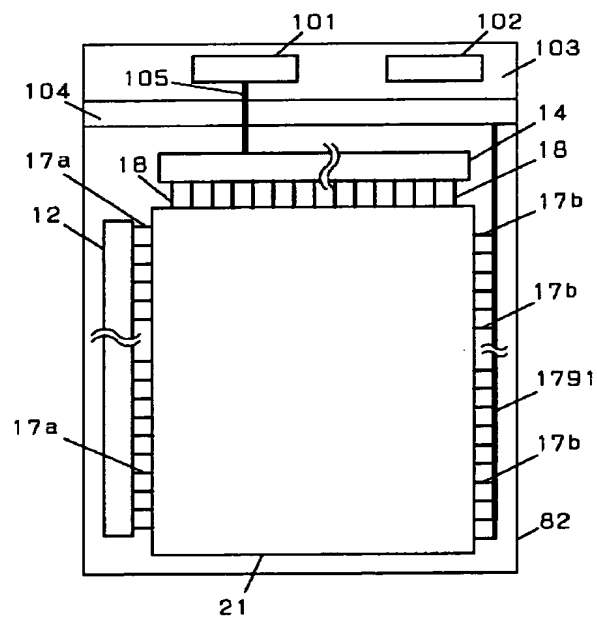
【図165】



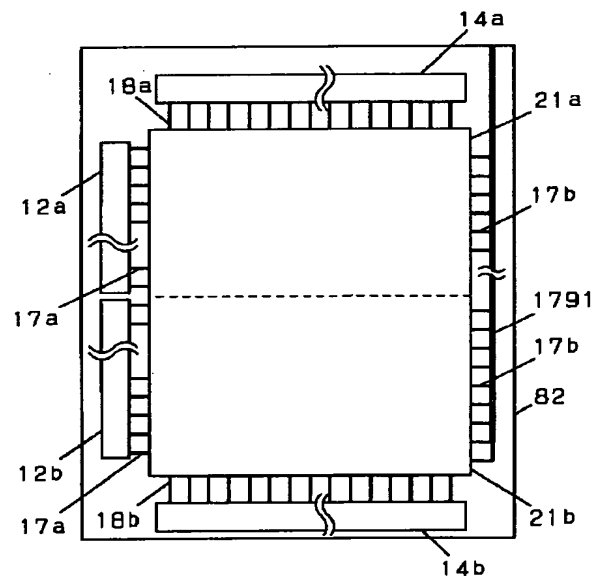
【図166】



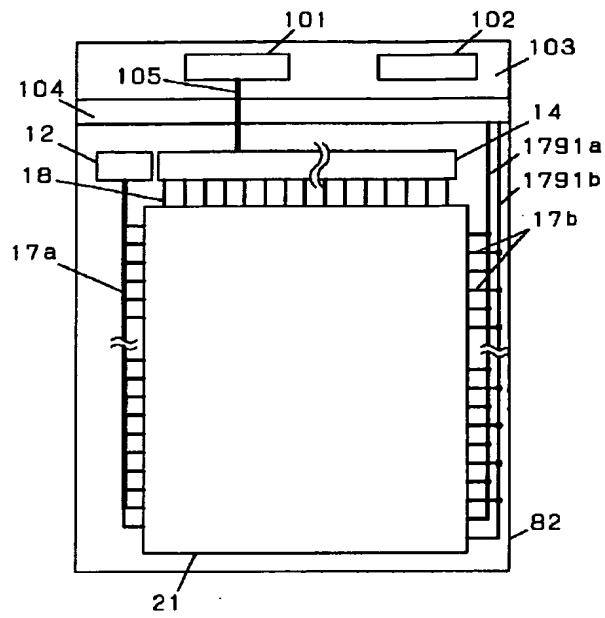
【図169】



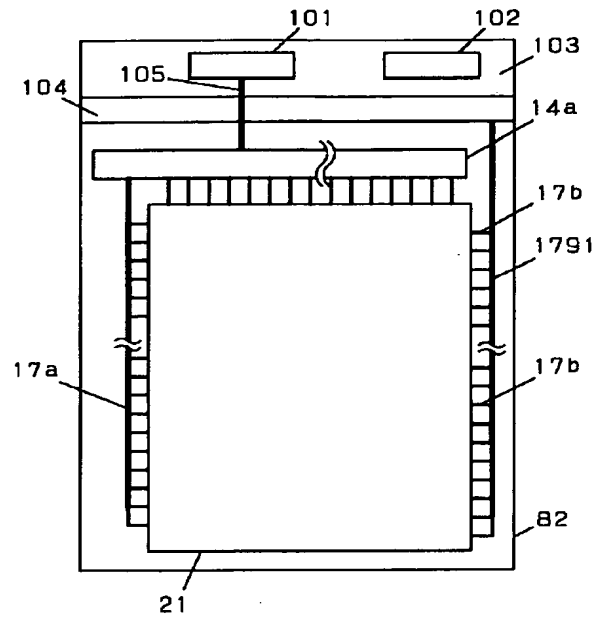
【図170】



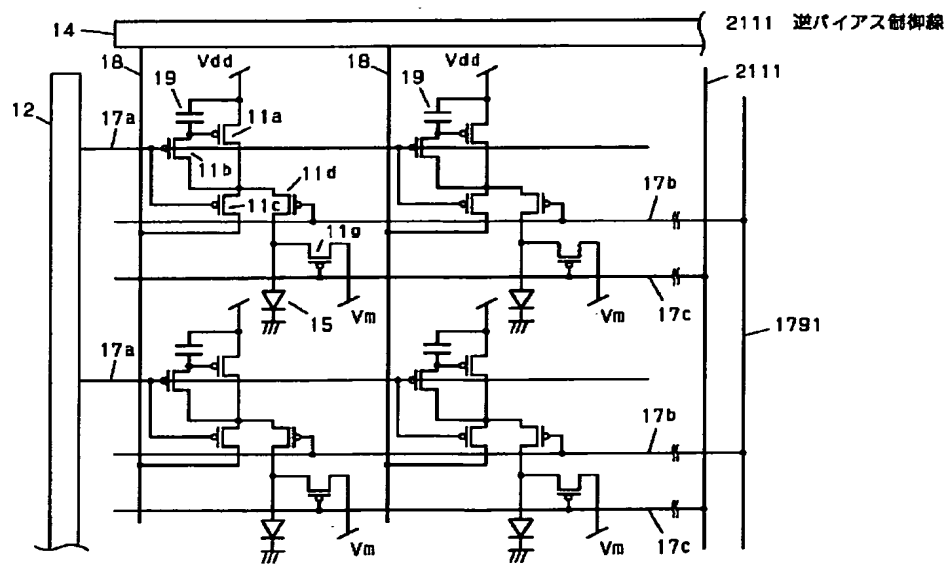
【図171】



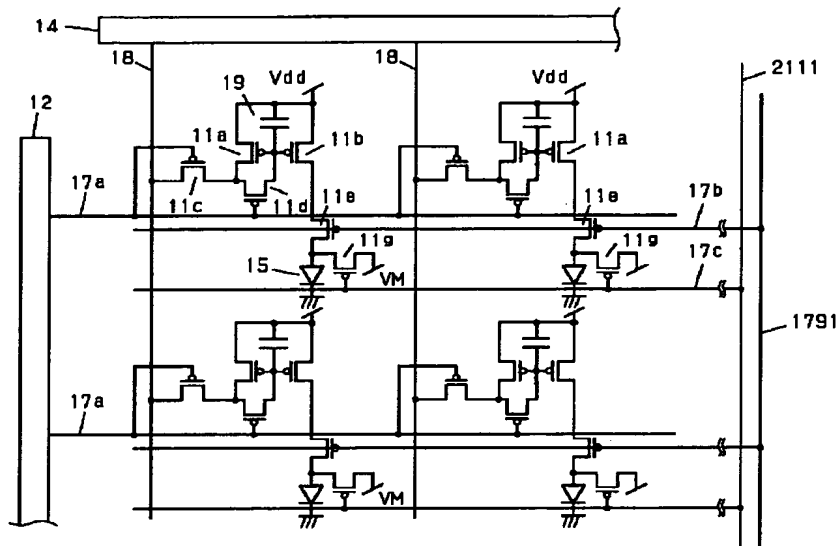
【図172】



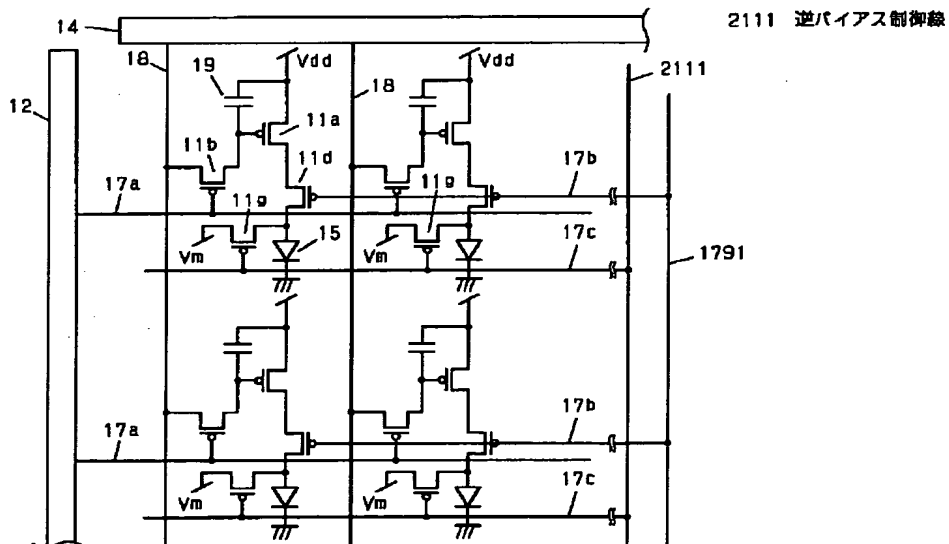
【図173】



【図174】

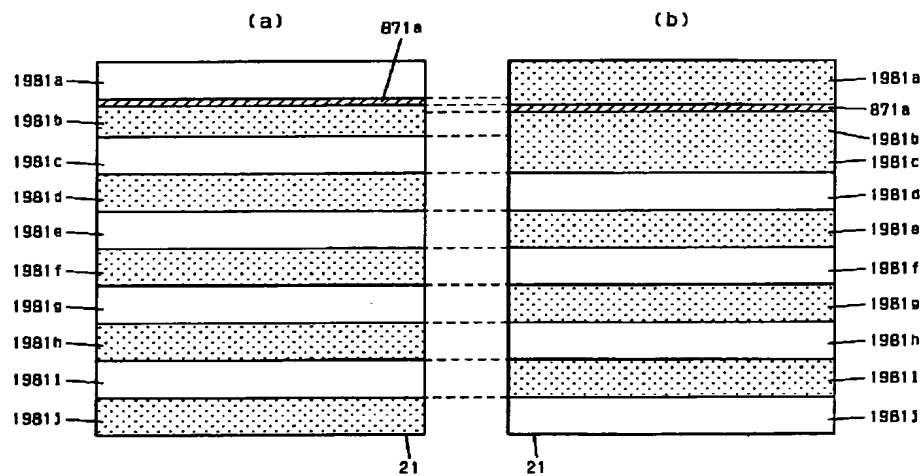


【図175】

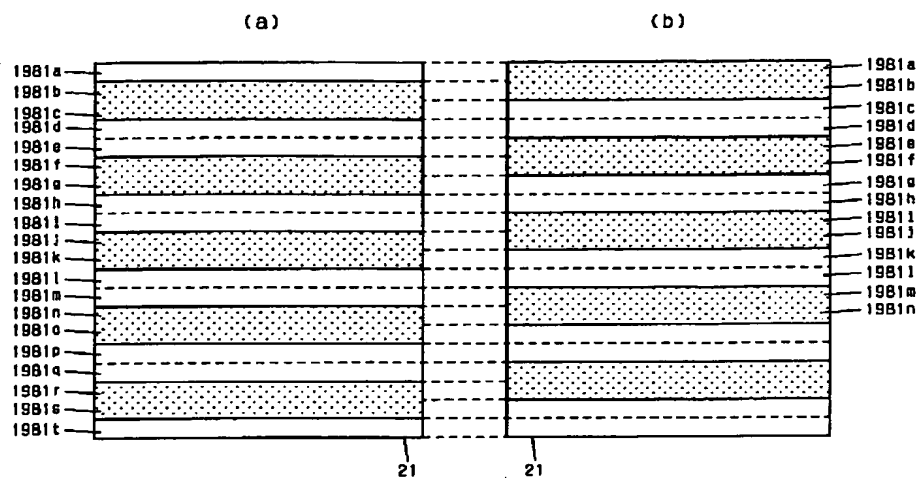


[illegible]

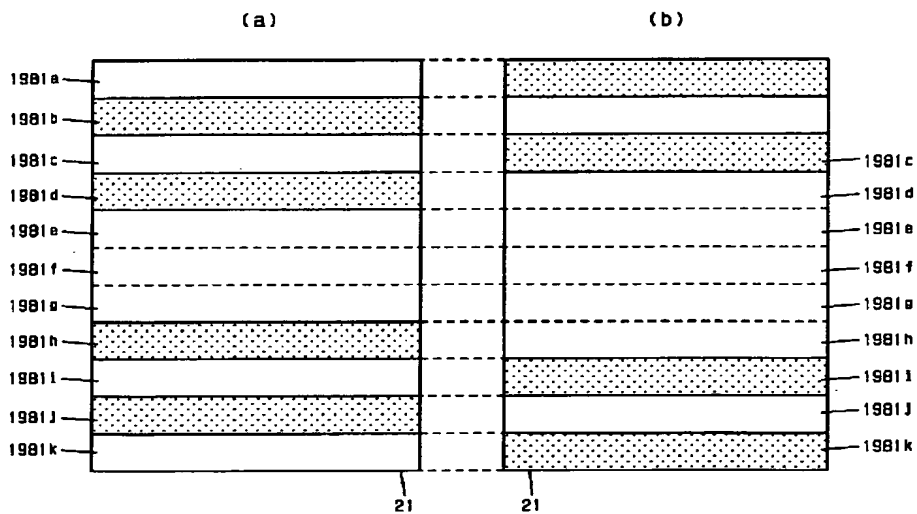
1981 ブロック



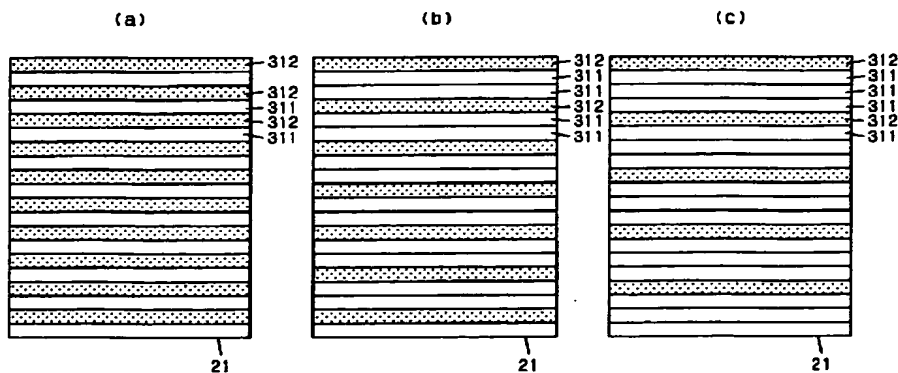
【図178】



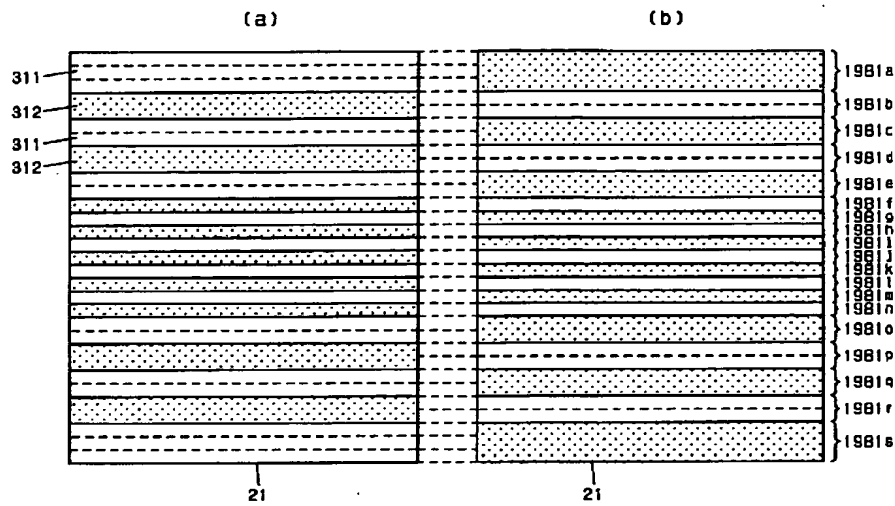
【図179】



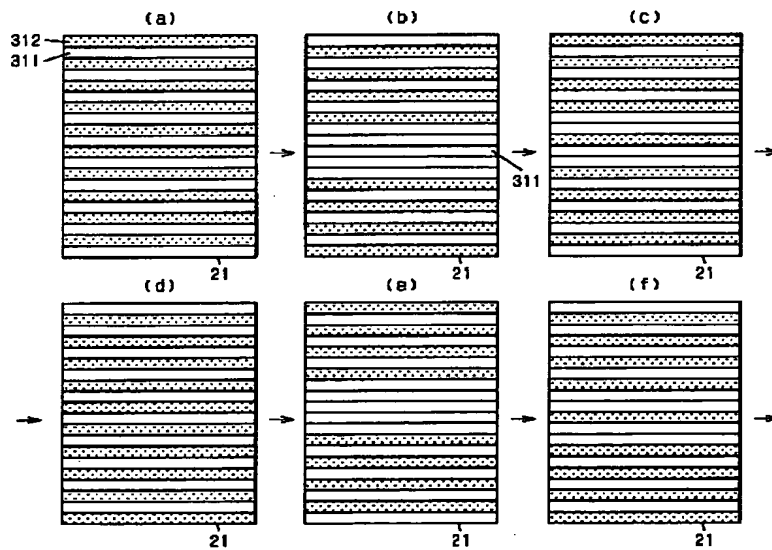
【図182】



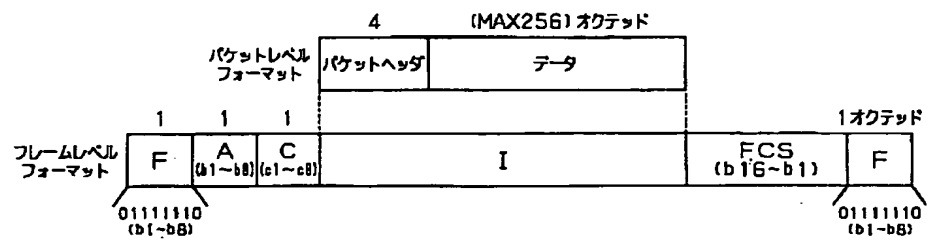
【図180】



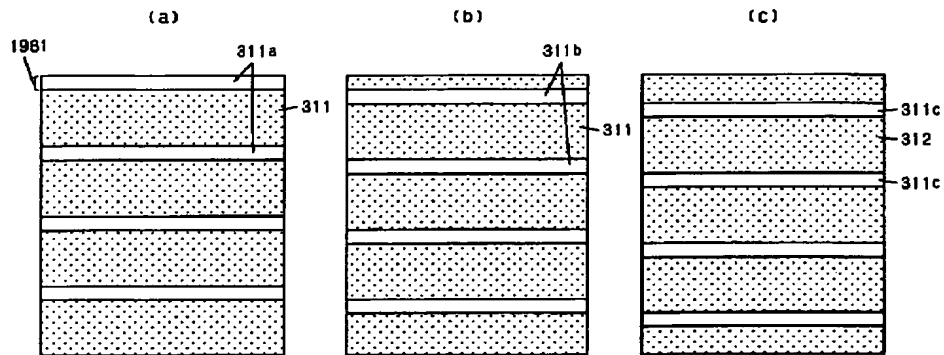
【図181】



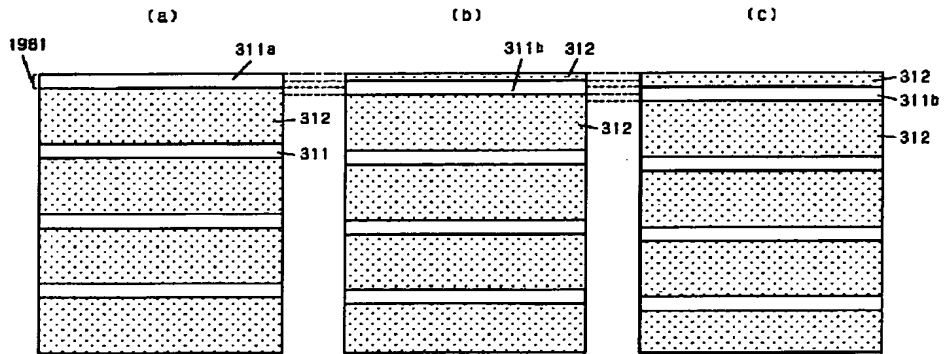
【図202】



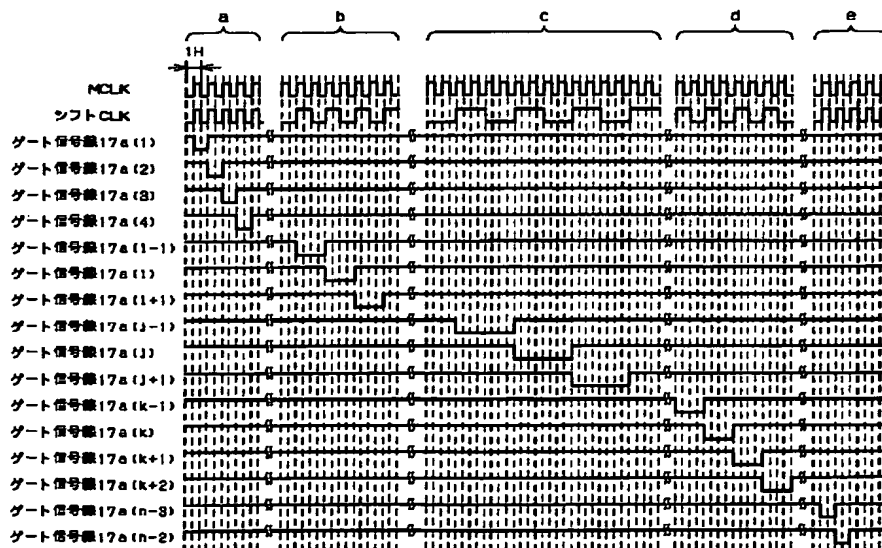
【図183】



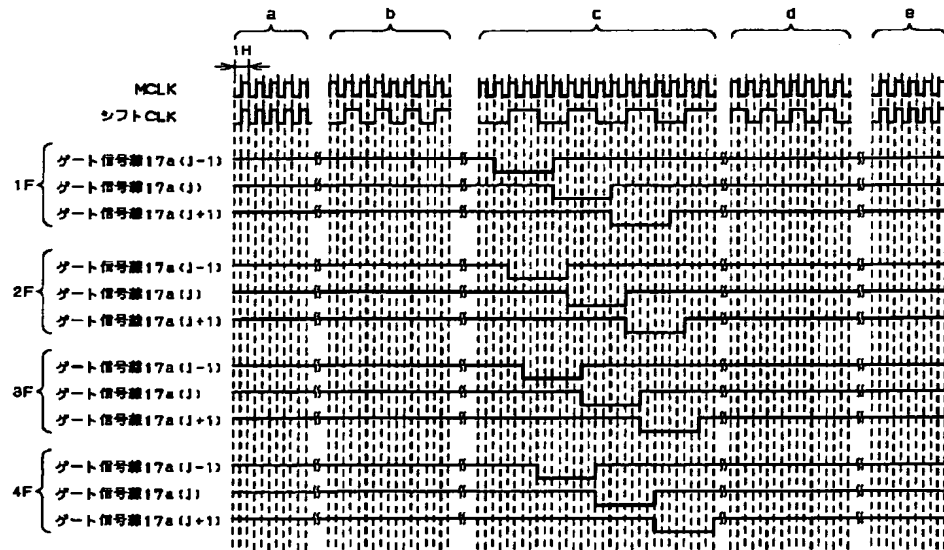
【図184】



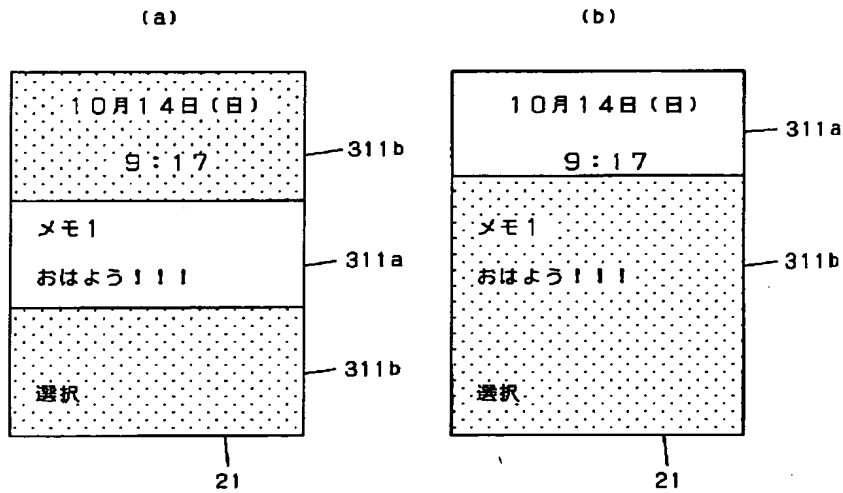
【図186】



【図187】



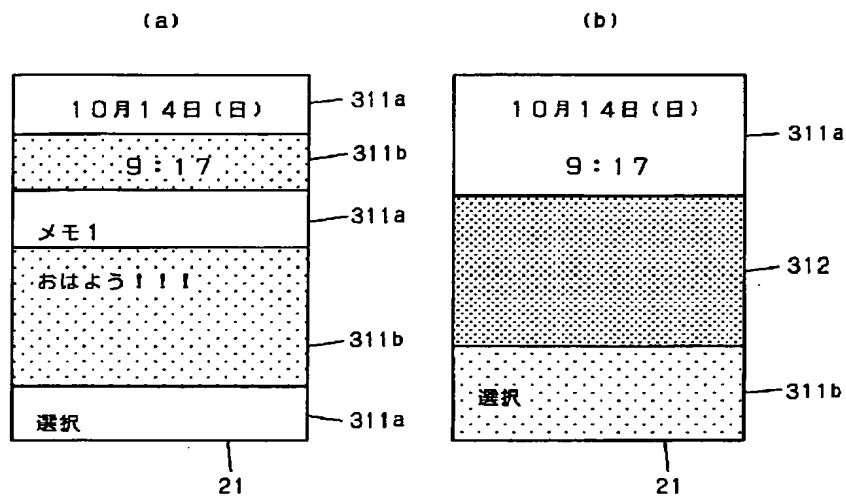
【図188】



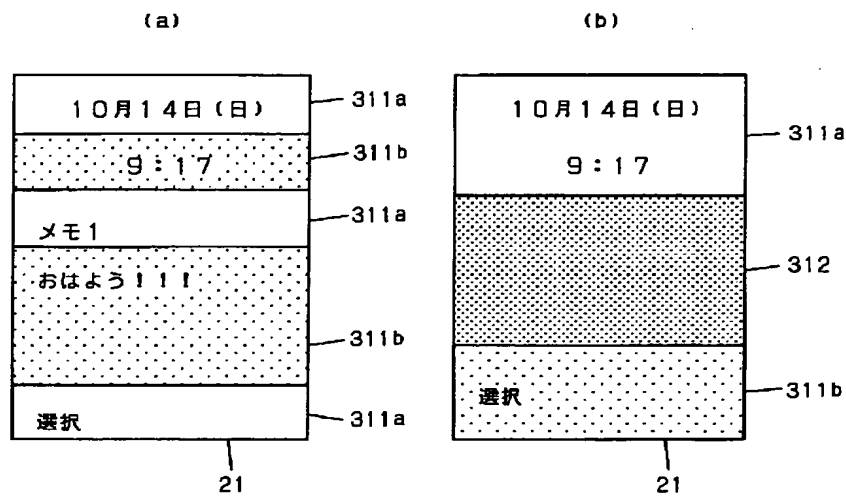
【図203】

形式	ビットシーケンス							
	b ₈	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁
情報転送形式 Iフレーム	受信順序 番号 N(R)			P	送信順序 番号 N(S)			0
	2 ²	2 ¹	2 ⁰		2 ²	2 ¹	2 ⁰	
監視形式 Sフレーム	受信順序 番号 N(R)			P/F	監視機能 ビット S		0	1
	2 ²	2 ¹	2 ⁰					
非番号型形式 Uフレーム	修飾機能 ビット M			P/F	修飾機能 ビット M		1	1

【図189】

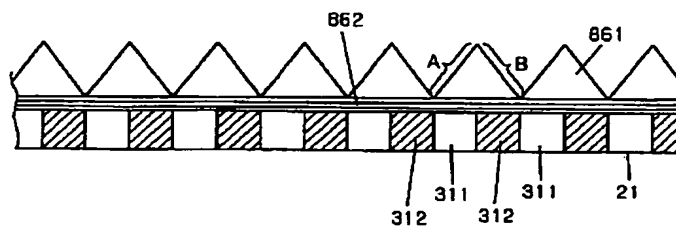


【図190】

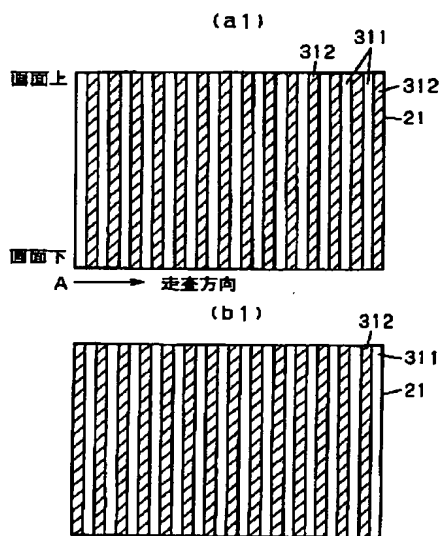


【図192】

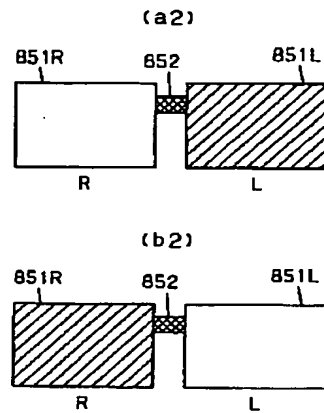
861 プリズム
862 光結合材



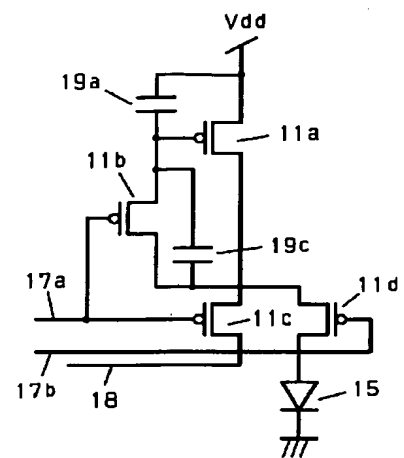
【図191】



851 シャッタ
852 観察用眼鏡（切り替え手段）

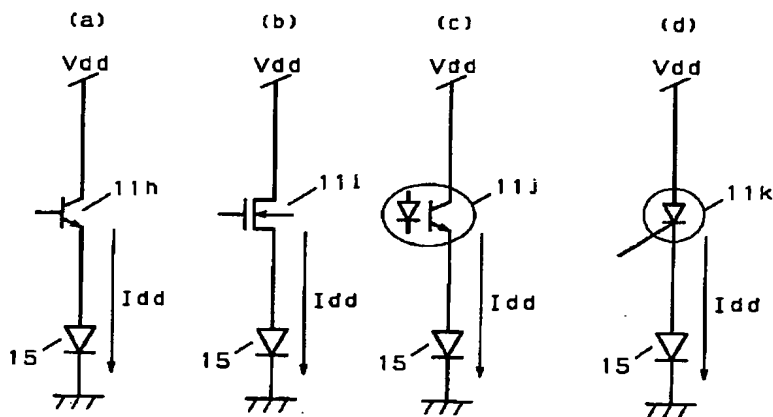


【図212】



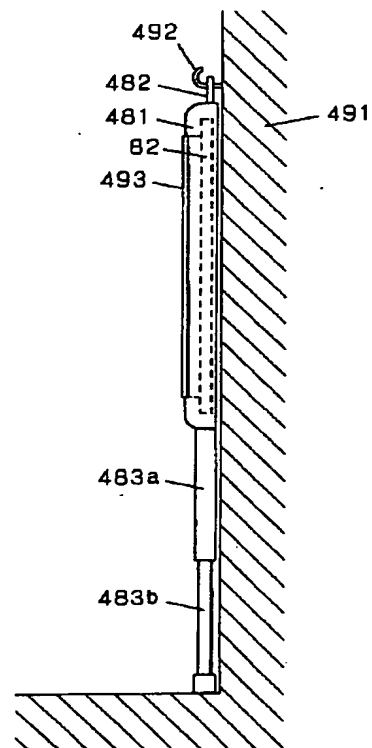
【図193】

11h パイポーラトランジスタ
11i MOSトランジスタ
11j ホトトランジスタ
11k サムリスタ

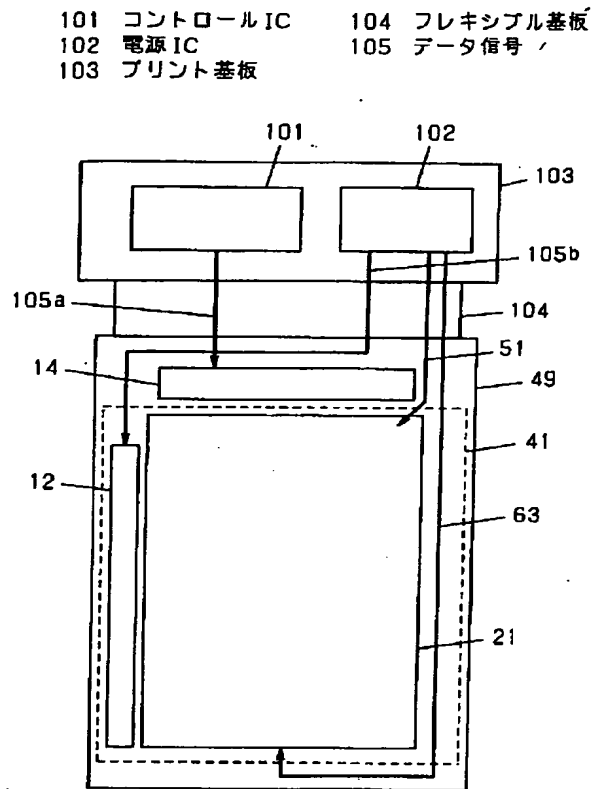


【図210】

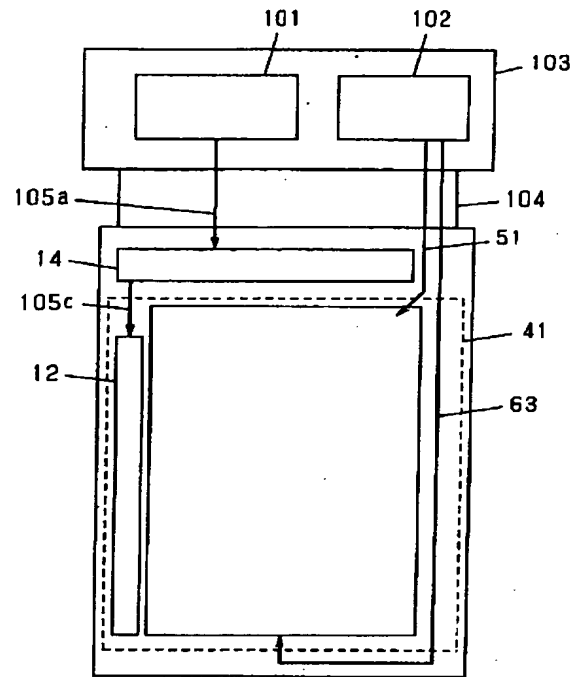
491 壁
492 固定金具
493 保護フィルム（保護板）



【図194】

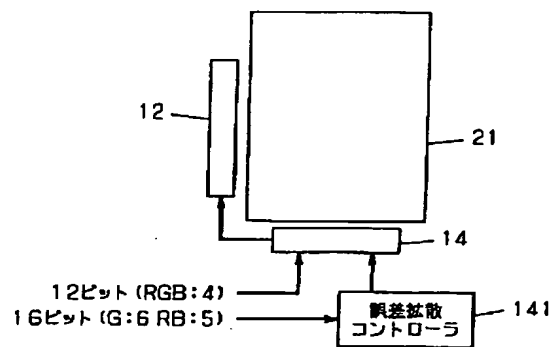


【図195】

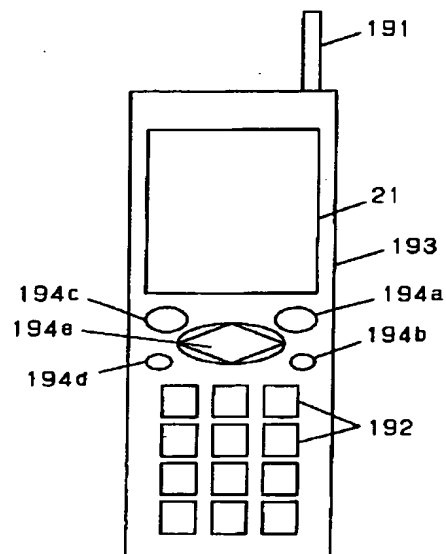


【図199】

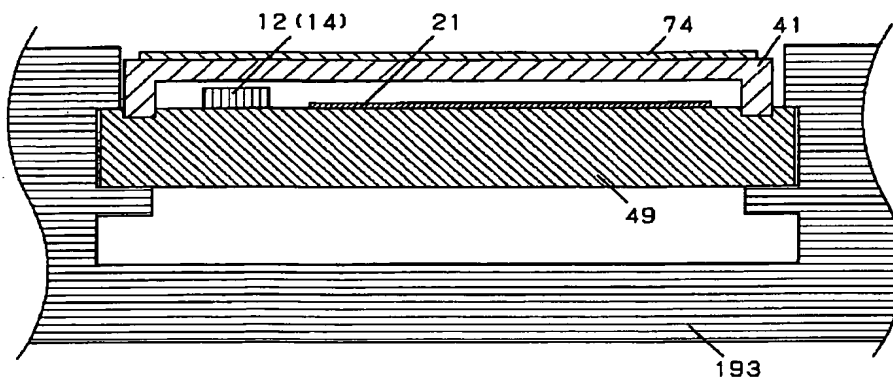
【図196】



191 アンテナ
192 テンキー
193 筐体
194 キー

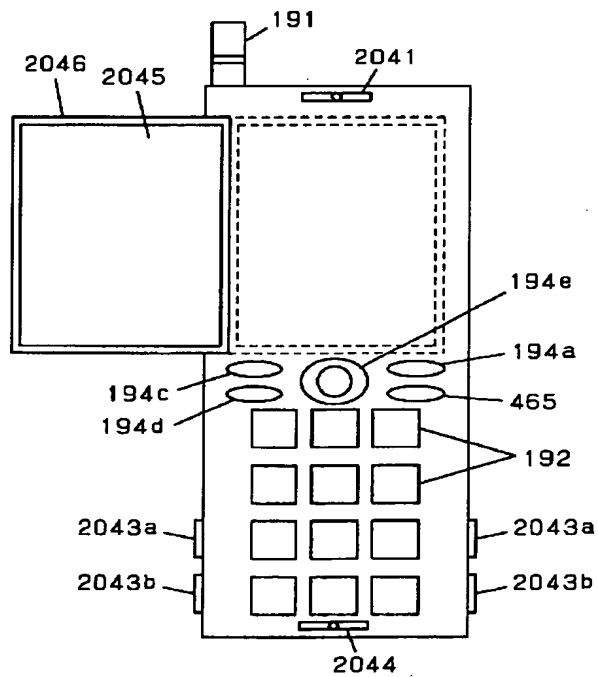


【図197】

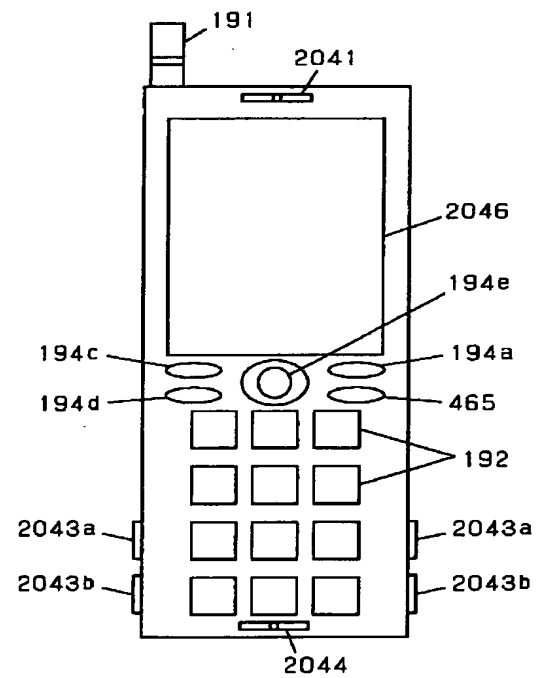


【図198】

- 2041 スピーカー
- 2043 ファンクションスイッチ
- 2044 マイク
- 2045 ミラー
- 2046 表示パネル

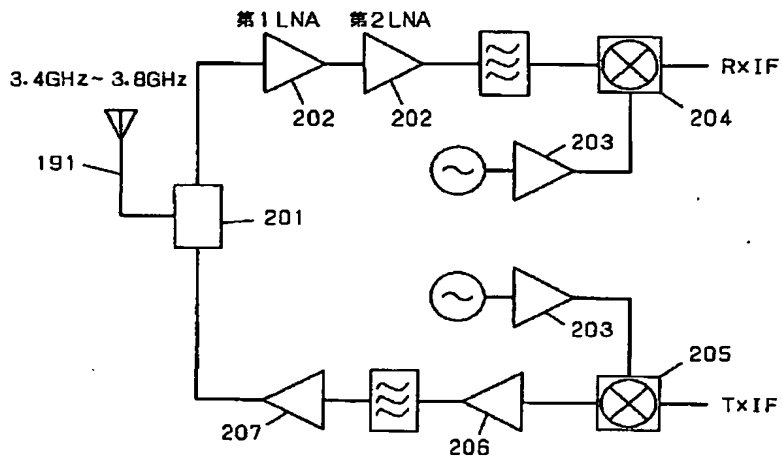


【図200】

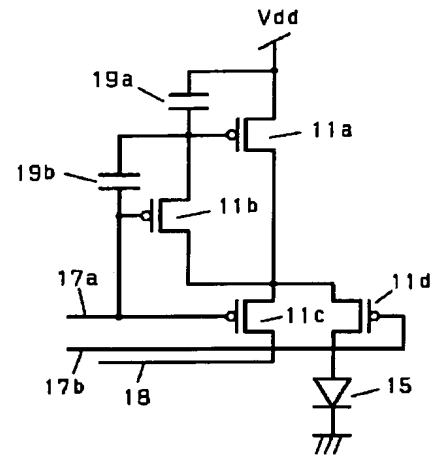


【図204】

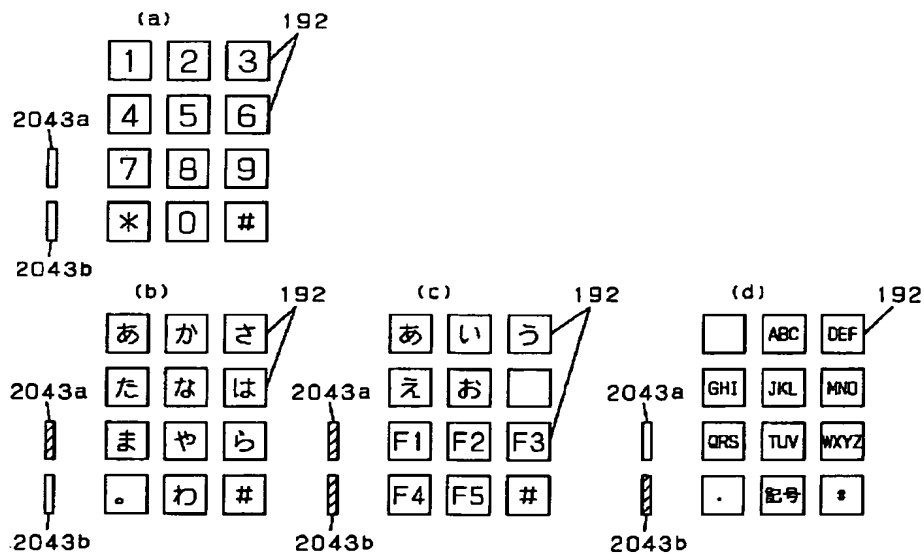
201 デプレクサ 204 ダウンコンバータ 206 PAブリドライバ
 202 LNA 205 アップコンバータ 207 PA
 203 LOバッファ



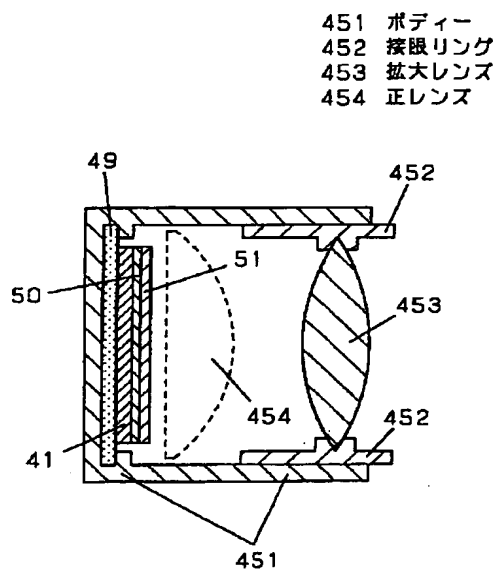
【図211】



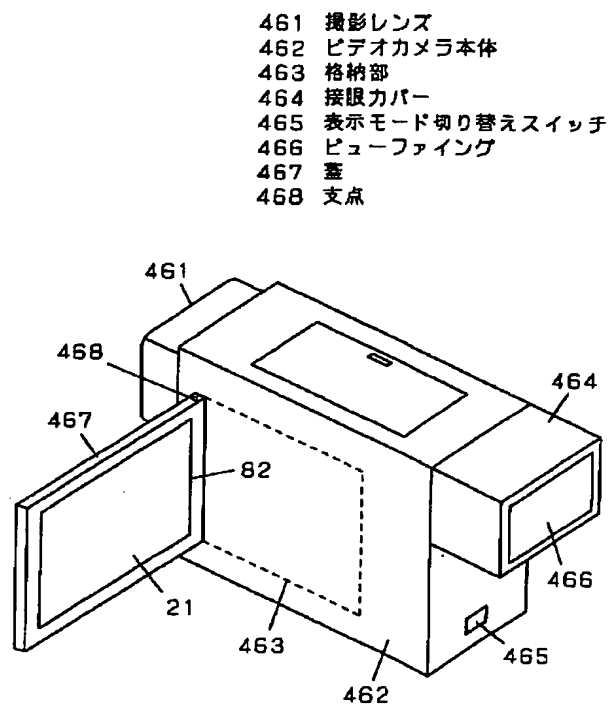
【図205】



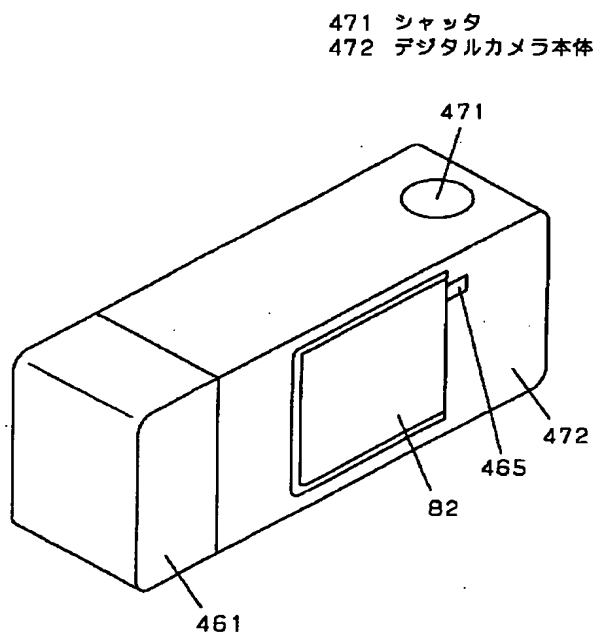
【図206】



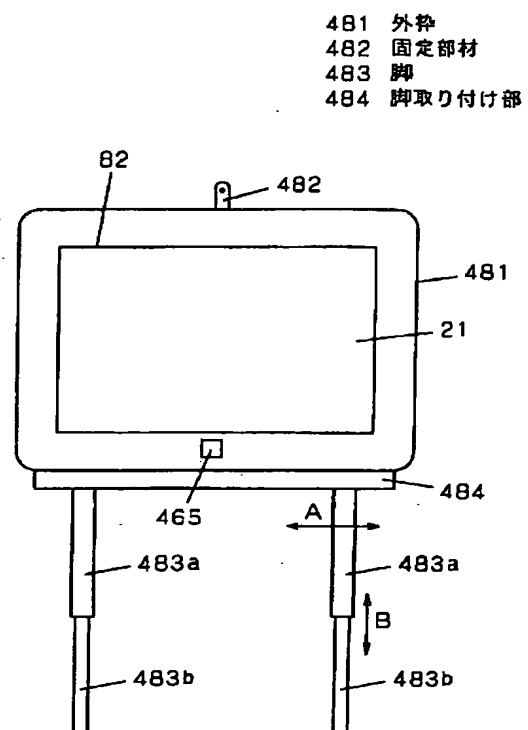
【図207】



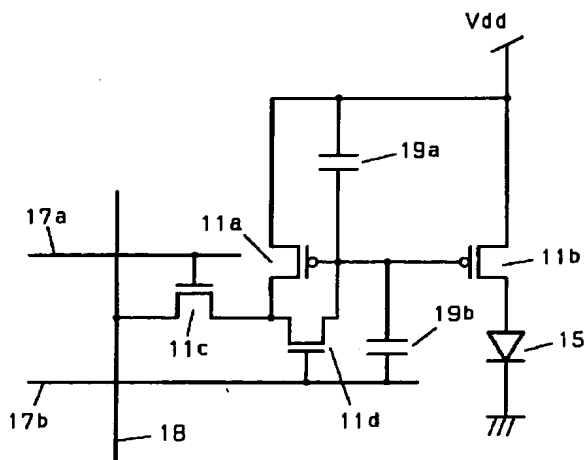
【図208】



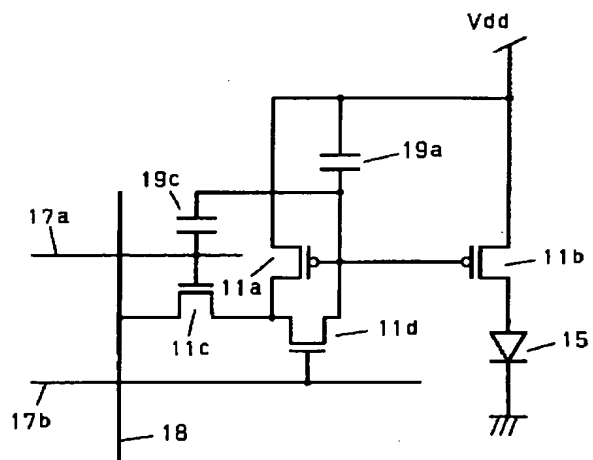
【図209】



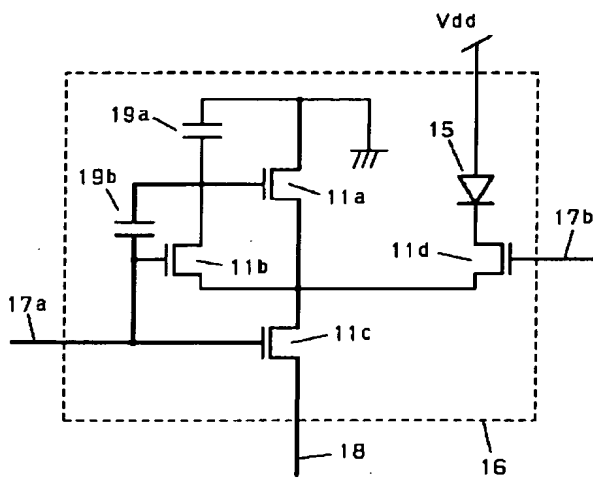
【図213】



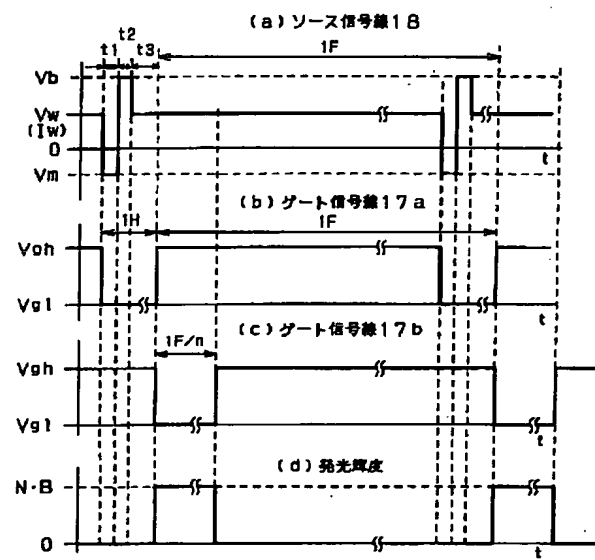
【図214】



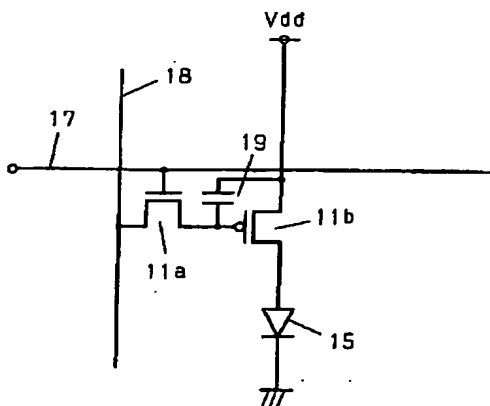
【図215】



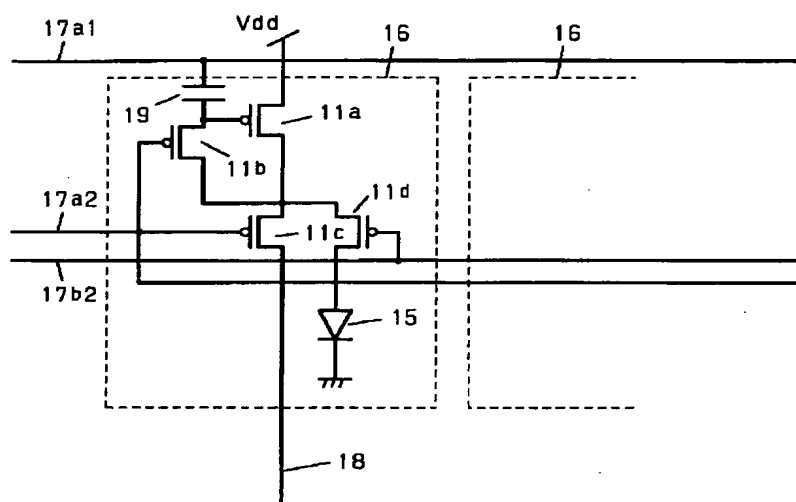
【図216】



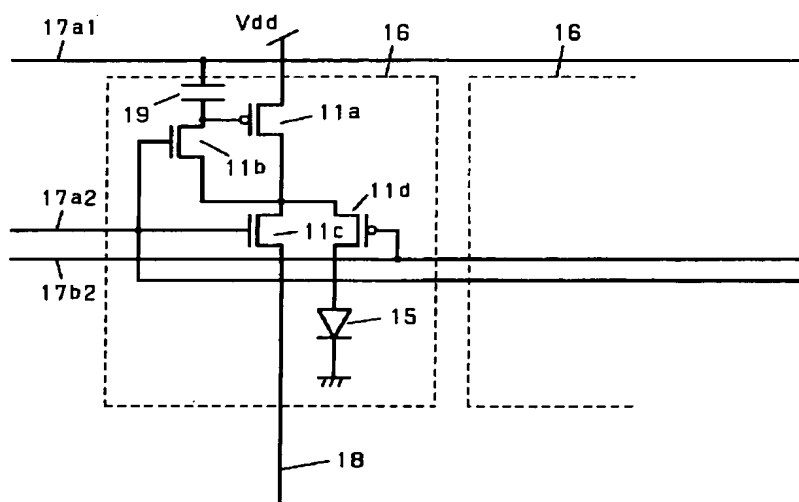
【図220】



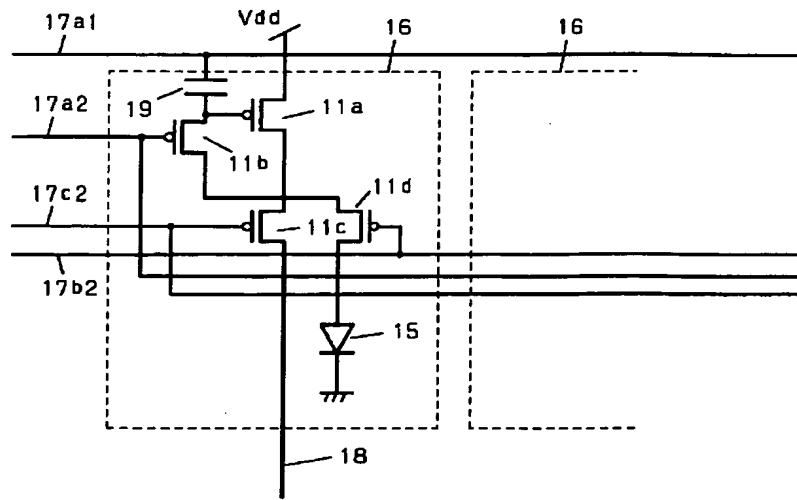
【図217】



【図218】



【図219】



フロントページの続き

(51)Int.Cl.	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 E
	6 2 2		6 2 1 M
	6 2 4		6 2 2 Z
	6 4 1		6 2 4 B
	6 8 0		6 4 1 D
			6 8 0 G
H 0 5 B 33/10		H 0 5 B 33/10	
33/12		33/12	B
33/14		33/14	A
33/26		33/26	Z

F ターム(参考) 3K007 AB02 AB04 AB05 AB17 AB18
BA06 BB01 BB07 CB01 CC05
DB03 EB00 FA01 FA02 GA02
GA04
5C080 AA06 BB05 CC03 DD02 DD05
DD26 DD27 EE28 FF11 JJ01
JJ02 JJ03 JJ04 JJ05 JJ06
KK43 KK47
5C094 AA04 AA05 AA07 AA08 AA10
AA13 AA22 AA43 AA44 AA48
AA51 AA53 AA56 BA03 BA12
BA27 CA19 CA20 CA24 CA25
DA07 DA09 DA12 DA13 DB01
DB03 DB04 EA04 EA05 EA07
FA01 FB01 FB12 FB14 FB15
FB20 GA10 HA10
5G435 AA03 AA04 AA16 AA17 BB05
CC09 CC12 EE37 EE41 HH01
HH20 KK05 LL07